

**UNIVERSIDADE DO ESTADO DE SANTA CATARINA
CENTRO DE CIÊNCIAS TECNOLÓGICAS - CCT
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
BACHARELADO EM ENGENHARIA ELÉTRICA**

HENRIQUE FERNANDES DE SOUZA

**INVERSOR PONTE COMPLETA PARA UTILIZAÇÃO COMO SUBMÓDULO DE
CONVERSORES MODULARES MULTINÍVEIS ACIONADO POR FPGA**

JOINVILLE

2017

HENRIQUE FERNANDES DE SOUZA

**INVERSOR PONTE COMPLETA PARA UTILIZAÇÃO COMO SUBMÓDULO DE
CONVERSORES MODULARES MULTINÍVEIS ACIONADO POR FPGA**

Trabalho de Conclusão de Curso submetido ao Bacharelado em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, para a obtenção do Grau de Engenheiro Eletricista.

Orientador: Dr. Sérgio Vidal Garcia Oliveira

JOINVILLE

2017

HENRIQUE FERNANDES DE SOUZA

**INVERSOR PONTE COMPLETA PARA UTILIZAÇÃO COMO SUBMÓDULO DE
CONVERSORES MODULARES MULTINÍVEIS ACIONADO POR FPGA**

Trabalho de Conclusão de Curso submetido ao Bacharelado em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, para a obtenção do Grau de Engenheiro Eletricista.

Banca Examinadora

Prof. Dr. Sérgio Vidal Garcia Oliveira
(Orientador)

Prof. Dr. Yales Rômulo de Novaes
(Avaliador)

Prof. Dr. Alessandro Luiz Batschauer
(Avaliador)

JOINVILLE, 30 de junho de 2017

AGRADECIMENTOS

Um agradecimento especial ao Prof. e orientador Dr. Sérgio Vidal Garcia Oliveira por estar há três anos me apoiando nesta área de eletrônica de potência.

Ao Ms. (e futuro Dr.) Daniel Castellain por ser um coorientador para este TCC e toda jornada que o precedeu.

Ao mestrando Murilo pelo grande auxílio no projeto e teste da fonte auxiliar.

Aos amigos Nilton e Fabrício pelo apoio moral e auxílio nas áreas de programação.

A todos os colegas do grupo nPEE que direta e indiretamente colaboraram para que este trabalho fosse concluído com sucesso.

RESUMO

A necessidade de criação de um meio inteligente de integração dos consumidores e geradores de energia é um problema que exige soluções eletrônicas para adaptações dos diferentes tipos de tensão que as gerações alternativas propiciam. Este projeto visa a criação de um inversor ponte completa com acionamento por FPGA, próprio para cascadeamento de submódulos aplicado a conversores modulares multiníveis (MMC – *Modular Multilevel Converter*), viabilizando a utilização de transformadores eletrônicos (SST- *Solid State Transformer* – Transformadores de Estado Sólido). Serão apresentados os conceitos básicos do MMC, assim como suas principais estratégias de modulação, seguido do projeto de um dos submódulos, de potência 125 W, tensão de entrada 250 V, frequência de comutação de 20 kHz e frequência de saída com dois componentes frequenciais de 60 Hz e 1200 Hz. Entre as estruturas adjacentes será mostrado o projeto e implementação de uma: fonte auxiliar, condicionador de tensão, condicionador de corrente e também uma apresentação gráfica da programação utilizada para acionamento do conversor. Os resultados finais apresentam uma análise comparativa entre simulação/experimental de modo a comprovar a eficácia da estrutura, além de indicações para projetos futuros.

Palavras-chave: *Inversor ponte completa, MMC, FPGA.*

ABSTRACT

The need to create a smart way of integrating consumers and power generators is a problem that requires electronic solutions to adapt the different types of voltage that alternative power sources provide. The focus of this project is to create a full-bridge inverter with FPGA drive, suitable for the association of submodules applied to modular multilevel converters, enabling the use of electronic transformers (SST - Solid State Transformers). The basic concepts of the MMC will be presented, as well as its main modulation strategies, followed by the design of one of the submodules, with 125 W, input voltage 250 V, switching frequency of 20 kHz and output frequency with two components of 60 Hz and 1200 Hz. Among the adjacent structures, this work presents the design and implementation of an: supplementary power source, a voltage conditioner, a current conditioner and also a graphical presentation of the FPGA programming used in the converter. The final results show a comparative analysis between simulation/experimental mode to prove the effectiveness of the structure, as well as indications for future projects.

Keywords: *Full-Bridge Inverter, MMC, FPGA.*

LISTA DE FIGURAS

Figura 1 - Etapas SST.....	18
Figura 2 - Estrutura conceitual de um MMC.....	20
Figura 3 - Estrutura de um semibraço e seus módulos.....	21
Figura 4 - Classificação das estratégias de modulação.....	22
Figura 5 - Modulação PWM unipolar para inversor ponte completa.....	24
Figura 6 - Inversor trifásico conceitual.....	25
Figura 7 - Representação vetorial dos estados de um inversor trifásico.....	26
Figura 8 - Modulação SHE com frequência da portadora 13.5x maior que da modulante.....	28
Figura 9 - Controle por histerese de um conversor.....	30
Figura 10 - Modelo conceitual de controle preditivo.....	31
Figura 11 - Etapas de operação MMC no sistema $N+1$ com $N=2$	33
Figura 12 - Etapas de operação MMC no sistema $2N+1$ com $N=2$	34
Figura 13 - Modulação com portadoras dispostas em fase (PD).....	35
Figura 14 - Modulação com portadoras dispostas em oposição de fase (POD).....	36
Figura 15 - Modulação com portadoras dispostas em oposição alternada de fase (APOD).....	37
Figura 16 - Modulação com portadoras dispostas em deslocamento de fase (PS).....	38
Figura 17 - Forma de onda das modulantes para MMC CA-CA.....	39
Figura 18 - Estrutura interna de um FPGA.....	41
Figura 19 - Estrutura de potência de um submódulo do conversor modular multinível.....	44
Figura 20 - Modelo de <i>driver</i> utilizado.....	48
Figura 21 - Metodologia de fonte isolada utilizada por [3].....	51
Figura 22 - Esquemático flyback utilizado como fonte auxiliar.....	53
Figura 23 - Diagrama elétrico do compensador passa-baixas.....	62
Figura 24 - Topologia de conversão AD serial isolada utilizada.....	67

Figura 25 - Exemplo do conceito apresentado de "trem de pulso".....	69
Figura 26 - Topologia de condicionamento de sinal de tensão utilizado.	70
Figura 27 - Topologia de condicionamento de sinal de corrente utilizado.....	72
Figura 28 - Fluxograma da programação das modulantes.....	74
Figura 29 – Fluxograma da programação da portadora.	76
Figura 30 - Fluxograma referente a programação de acionamento das saídas e tempo morto.	78
Figura 31 - Fluxograma referente a programação do trem de pulso dos conversores AD – serial.....	80
Figura 32 - Conversor <i>flyback</i> simulado.	82
Figura 33 - Circuito experimental do conversor <i>flyback</i> utilizado.....	83
Figura 34 - Tensão e corrente do primário (x30) para conversor <i>flyback</i> simulado...	84
Figura 35 - Tensão e corrente do primário para conversor <i>flyback</i> experimental.....	84
Figura 36 - Corrente no primário para <i>flyback</i> experimental.	85
Figura 37 - Tensão e corrente no interruptor para <i>flyback</i> experimental.	87
Figura 38 - Tensões de saída 24V para conversor <i>flyback</i> simulado.....	88
Figura 39 - Tensões de saída 24V para conversor <i>flyback</i> experimental.....	88
Figura 40 - Tensões de saída 15V para conversor <i>flyback</i> simulado.....	89
Figura 41 - Tensões de saída 15V para conversor <i>flyback</i> experimental.....	90
Figura 42 - Inversor ponte completa simulado para modulante puramente senoidal de 60 Hz.	92
Figura 43 - Inversor ponte completa simulado para modulante senoidal com componentes frequenciais de 60 Hz e 1200 Hz.	93
Figura 44 - Protótipo do inversor ponte completa com fonte auxiliar acoplada utilizado para testes.....	94
Figura 45 - Pulsos de gatilho para inversor ponte completa experimental.	95
Figura 46 - Pulsos de gatilho antes e depois do <i>driver</i> com zoom no tempo morto para inversor ponte completa experimental.....	96
Figura 47 - Tensão <i>drain-source</i> de interruptores S1 e S2 para inversor ponte completa simulado.....	97

Figura 48 - Tensão coletor-emissor de interruptores S1 e S2 para inversor ponte completa experimental.	99
Figura 49 - Tensão coletor-emissor de interruptor S2 com zoom na subida (a) e descida (b) para inversor ponte completa experimental.	99
Figura 50 - Tensão e corrente (x180) do interruptor e diodo S1 para modulante puramente senoidal de 60 Hz em inversor ponte completa simulado. ...	100
Figura 51 - Tensão e corrente do interruptor S1 para modulante puramente senoidal de 60 Hz em inversor ponte completa experimental.....	101
Figura 52 - Tensão e corrente do interruptor S1 para modulante puramente senoidal de 60 Hz e zoom em I_{smax} (a) e I_{smin} (b) para inversor ponte completa experimental.....	102
Figura 53 - Tensão e corrente do interruptor S1 para modulante puramente senoidal de 60 Hz e zoom na comutação com I_{smax}	102
Figura 54 - Tensão e corrente de saída (x100) para modulante puramente senoidal de 60 Hz em inversor ponte completa simulado.....	103
Figura 55 - Tensão e corrente de saída para modulante puramente senoidal de 60Hz em inversor ponte completa experimental.	104
Figura 56 - Componente harmônica da fundamental de tensão da saída com modulante puramente senoidal de 60 Hz em inversor ponte completa. .	105
Figura 57 - Tensão e corrente de saída (x100) para modulante senoidal com componentes frequenciais de 60 Hz e 1200 Hz em inversor ponte completa simulado.....	106
Figura 58 - Tensão e corrente de saída (x100) para modulante senoidal com componentes frequenciais de 60 Hz e 1200 Hz em inversor ponte completa experimental.	106
Figura 59 - Corrente de saída para modulante senoidal com componentes frequenciais de 60 Hz e 1200 Hz com zoom na ondulação em inversor ponte completa simulado.....	107
Figura 60 - Corrente de saída para modulante senoidal com componentes frequenciais de 60Hz e 1200Hz com zoom na ondulação em inversor ponte completa experimental.	108
Figura 61 - Trem de pulso do <i>clock</i> e sinal de leitura de tensão do conversor ad serial implementado.	109
Figura 62 - Trem de pulso do <i>clock</i> e sinal de leitura de corrente do conversor ad serial implementado.	110

LISTA DE TABELAS

Tabela 1 - Possíveis estados para um inversor trifásico.	26
Tabela 2 - Níveis de tensão de saída no MMC para sistema $N+1$ com $N=2$	32
Tabela 3 - Níveis de tensão de saída no MMC para sistema $2N+1$ com $N=2$	33
Tabela 4 - Parâmetros de projeto do conversor modular multinível.	43
Tabela 5 - Características elétricas do MOSFET STW20NM60.	45
Tabela 6 - Valores simulados para especificação dos interruptores e capacitores do submódulo.	46
Tabela 7 - Características elétricas do capacitor de barramento.	47
Tabela 8 - Correntes de trabalho diodo zener 1N4739.	50
Tabela 9 - Especificações de projeto do conversor <i>flyback</i>	52
Tabela 10 - Parâmetros de cálculo utilizados no projeto do conversor <i>flyback</i>	53
Tabela 11 - Características físicas núcleo de ferrite 20/10/5.	54
Tabela 12 - Diâmetro dos fios esmaltados utilizados.	56
Tabela 13 - Características elétricas do MOSFET STD7N52K3.	58
Tabela 14 - Características elétricas do diodo RS1J.	59
Tabela 15 - Características elétricas capacitor 10 μ F.	60
Tabela 16 - Correntes de trabalho do diodo zener 1N4747.	64
Tabela 17 - Características elétricas do diodo GS1J.	64
Tabela 18 - Características elétricas do optoacoplador HCPL2601.	66
Tabela 19 - Características elétricas do conversor AD - serial MCP3201.	68
Tabela 20 - Correntes de trabalho diodo zener 1N4732.	71
Tabela 21 - Características elétricas do sensor Hall LTS 15-NP.	72
Tabela 22 - Parâmetros e variáveis usados no <i>script</i> de geração do vetor do seno.	77
Tabela 23 - Valores encontrados de tensão e corrente de entrada para conversor <i>flyback</i> simulado.	85
Tabela 24 - Valores encontrados de tensões de saída 24V para conversor <i>flyback</i> simulado.	89
Tabela 25 - Valores encontrados de tensões de saída 15V para conversor <i>flyback</i> simulado.	90
Tabela 26 - Características elétricas do IGBT IRG4PF50WD.	98
Tabela 27 - Valores encontrados para máxima e mínima tensão coletor-emissor de interruptores S1 e S2 para inversor ponte completa simulado.	98
Tabela 28 - Valores encontrados de corrente do interruptor S1 para modulante puramente senoidal de 60 Hz em inversor ponte completa simulado.	100

Tabela 29 - Valores encontrados para tensão e corrente de saída com modulante puramente senoidal de 60Hz para inversor ponte completa simulado.	104
Tabela 30 - Valores encontrados de corrente de saída para modulante senoidal com componentes frequenciais de 60 Hz e 1200 Hz em inversor ponte completa simulado.	107

LISTA DE ABREVIações E SIGLAS

- AD - *Analog to Digital* (Analógico para Digital)
- APOD – *Alternative Phase Opposite Disposition* (Disposição em Oposição Alternada de Fase)
- AWG – *American Wire Gauge* (Escala Americana de Bitola de Fios)
- BJT – *Bipolar-Junction Transistor* (Transistor com Junção Bipolar)
- CA - Corrente alternada
- CA-CA - Corrente alternada para corrente alternada
- CC - Corrente contínua
- CC – CC - Corrente contínua para Corrente Contínua
- CI - -Circuito Integrado
- DSP – *Digital Signal Processor* (Processador Digital de Sinais)
- FFT – *Fast Fourier Transformer* (Transformada Rápida de Fourier)
- FPGA – *Field-Programmable Gate Array*
- GaN – Nitreto de Gálio
- GND – *Ground* (Terra)
- GTO – *Gate Turn-Off Thyristor*
- IGBT - *Insulated Gate Bipolar Transistor* (Transistor Bipolar de Porta Isolada)
- LED – *Light Emitting Diode* (Diodo Emissor de Luz)
- MMC - *Modular Multilevel Converter* (Conversor Modular Multinível)
- MOSFET – *Metal Oxide Semiconductor Field Effect Transistor* (Transistor de Efeito de Campo de Metal Óxido)
- PCB – *Printed Circuit Board* (Placa de Circuito Impresso)
- PD – *Phase Disposition* (Disposição em Fase)
- POD – *Phase Opposite Disposition* (Disposição em Oposição de Fase)
- PS – *Phase Shifted* (Fase Deslocada)
- PWM - *Pulse-Width Modulation* (Modulação por Largura de Pulso)
- RC – Resistor e Capacitor
- RCD – Resistor, Capacitor e Diodo
- RLC – Resistor, Indutor e Capacitor
- SHE – *Selective Harmonic Elimination* (Eliminação Seletiva de Harmônicos)
- SiC – Carbetto de Silício
- SHM – *Selective Harmonic Mitigation* (Atenuação Seletiva de Harmônicos)

SMD – *Surface-Mount Technology* (Tecnologia de Montagem Superficial)

SST - *Solid State Transformer* (Transformador de Estado Sólido)

SVM - *Space Vector Modulation* (Modulação por Espaços Vetoriais)

THD – *Total Harmonic Distortion* (Distorção Harmônica Total)

VHDL – *Very High Speed Integrated Circuit Hardware Description Language*

LISTA DE SÍMBOLOS

Símbolo	Descrição	Unidade
$2N+1$	Sistema de modulação para o conversor MMC com $2N$ portadoras	--
m	Índice de modulação	--
N	Número de submódulos por semibraço	--
$N+1$	Sistema de modulação para conversor MMC com N portadoras	--
X	Número de submódulos ativos	--
$\alpha\beta\gamma$	Transformação de Clarke ou transformação alfa-beta	--
V_{1n}	Tensão no semibraço superior esquerdo	V
V_{2n}	Tensão no semibraço inferior esquerdo	V
V_{3n}	Tensão no semibraço superior direito	V
V_{4n}	Tensão no semibraço inferior direito	V
V_{g+}	Tensão de gatilho positiva	V
V_{g-}	Tensão de gatilho negativa	V
V_z	Tensão de regulação do zener	V
V_{cc}	Tensão de alimentação	V
V_{gs}	Tensão <i>gate-source</i>	V
dv/dt	Varição de tensão pelo tempo	V/s

SUMÁRIO

1	INTRODUÇÃO	17
1.1	OBJETIVO GERAL	18
1.2	OBJETIVOS ESPECÍFICOS	19
2	REVISÃO BIBLIOGRÁFICA	20
2.1	CONVERSOR MODULAR MULTINÍVEL	20
2.2	ESTRATÉGIAS DE MODULAÇÃO	21
2.2.1	Modulações em alta frequência	22
2.2.1.1	Modulação por Largura de Pulso (<i>Pulse-Width Modulation</i> - PWM)	23
2.2.1.2	Modulação por espaços de estados (<i>Space Vector Modulation</i> - SVM)	24
2.2.2	Modulações em baixa frequência	27
2.2.2.1	Modulação por eliminação seletiva de harmônicas (<i>Selective Harmonic Elimination</i> - SHE).....	27
2.2.2.2	Modulação por atenuação seletiva de harmônicas (<i>Selective Harmonic Mitigation</i> - SHM).....	28
2.2.3	Modulação em frequência variável	29
2.2.3.1	Modulação por controle de histerese	29
2.2.3.2	Modulação por controle preditivo	30
2.2.4	Modulação PWM aplicada ao MMC	31
2.2.4.1	Modulação com Portadoras Dispostas em Fase (<i>Phase Disposition</i> – PD).....	35
2.2.4.2	Modulação com Portadoras Dispostas em Oposição de Fase (<i>Phase Opposition Disposition</i> – POD).....	35
2.2.4.3	Modulação com Portadoras Dispostas em Oposição Alternada de Fase (<i>Alternative Opposition Disposition</i> – APOD)	36
2.2.4.4	Modulação com as Portadoras com Deslocamento de Fase (<i>Phase Shifted</i> – PS).....	37
2.2.4.5	Modulantes.....	38
2.3	CONTROLADORES DIGITAIS	39

2.3.1	Estrutura do FPGA	40
2.3.2	Linguagens de programação para FPGA	41
3	PROJETO DO SUBMÓDULO	43
3.1	CIRCUITO DE POTÊNCIA	44
3.1.1	Semicondutores de potência	44
3.1.2	Capacitor de barramento	46
3.2	<i>DRIVER</i>	47
3.2.1	Circuito de isolamento óptica do sinal	48
3.2.2	Resistores de <i>gate</i>	49
3.2.3	Fonte de tensão negativa	49
3.2.4	Demais componentes	50
3.3	FONTE AUXILIAR	51
3.3.1	Dimensionamento do indutor acoplado	53
3.3.2	Dimensionamento do interruptor	57
3.3.3	Dimensionamento dos diodos de saída	58
3.3.4	Dimensionamento dos filtros de saída	59
3.3.5	Dimensionamento dos componentes do CI UC3844	60
3.3.5.1	Sensor de corrente.....	60
3.3.5.2	Oscilador	61
3.3.5.3	Controlador	61
3.3.5.4	Resistor de <i>gate</i>	63
3.3.5.5	Alimentação	64
3.3.6	Demais componentes	65
3.4	CONDICIONADORES DE SINAIS	65
3.4.1	Conversor AD – serial	66
3.4.2	Condicionador de tensão	69
3.4.3	Condicionador de corrente	71
3.5	COMANDO E CONTROLE	73

3.5.1	Programação modulantes	73
3.5.2	Programação portadora.....	75
3.5.3	Programação vetor modulante	77
3.5.4	Programação de acionamento e tempo morto	77
3.5.5	Programação AD – Serial	79
4	RESULTADOS	81
4.1	FONTE AUXILIAR.....	81
4.1.1	Tensão e corrente no primário.....	83
4.1.2	Tensão e corrente no interruptor.....	86
4.1.3	Saídas para <i>drivers</i>	87
4.1.4	Saída para condicionadores	89
4.2	INVERSOR PONTE COMPLETA	90
4.2.1	Comando dos interruptores	94
4.2.2	Interruptores.....	96
4.2.3	Saída com um componente frequencial na modulante	103
4.2.4	Saída com dois componentes frequenciais na modulante	105
4.2.5	Conversor AD – serial.....	108
5	CONCLUSÃO	111
	REFERÊNCIAS	113
	APÊNDICE A	115
	APÊNDICE B	116
	APÊNDICE C	117

1 INTRODUÇÃO

Nos últimos anos, a integração de fontes de geração distribuída ao sistema elétrico de potência e a diversificação dos consumidores e geradores deste sistema (fotovoltaicos e eólicos, veículos elétricos e híbridos e armazenadores de energia), introduziu a necessidade por um sistema de distribuição com fluxo de potência bidirecional, controles locais e com capacidade de gerenciamento, monitoramento e autoconfiguração. Este novo sistema, referido na literatura por rede "inteligente" ou *smart grid*, promove a gestão de todos os usuários do sistema.

Apesar da robustez do transformador convencional já utilizado, projetado para a frequência de 50/60Hz, o mesmo é limitado para os quesitos:

- O controle e a regulação de tensão (sem o uso de tap);
- Controle local do fluxo de potência ativa e reativa;
- Rejeição aos distúrbios ou anomalias que provêm do circuito primário (distorções harmônicas, variações de tensão de curta duração, etc).

De maneira a tornar viável a adoção do sistema *smart grid* citado, uma das soluções possíveis é a adoção dos transformadores de estado sólidos (*Solid State Transformer - SST*) também chamados transformadores eletrônicos. [1]

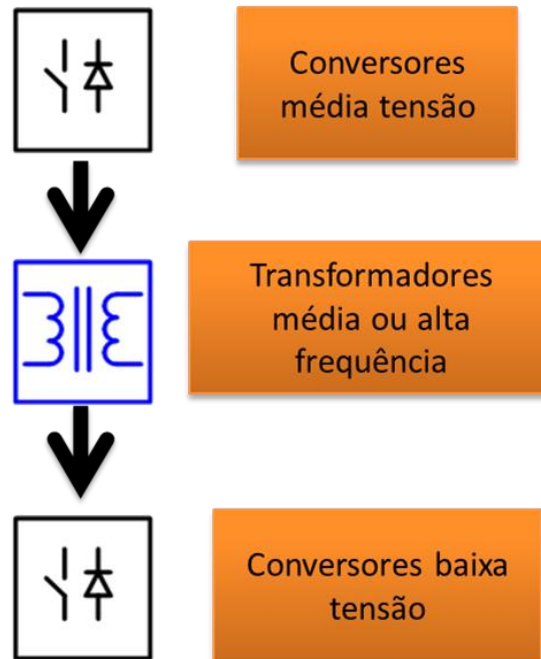
O SST é uma estrutura com múltiplas etapas capaz de realizar a mesma tarefa do transformador convencional. Sua topologia possui as etapas apresentadas na Figura 1.

Entre as características adicionais relevantes que o SST pode possibilitar, é possível citar [2]:

- Facilidade na integração de microgeradores distribuídos;
- Redução das perdas no sistema de transmissão e distribuição de energia, em razão da proximidade entre geração e carga;
- Presença de equipamentos armazenadores de energia, que passam a alimentar as cargas quando há picos de demanda ou interrupções temporárias na geração;
- Possibilidade de alimentação de cargas CC (corrente contínua) locais, diretamente pelo barramento de corrente contínua;
- Redistribuição de potência entre fases;

- Facilidade de tarifação diferenciada e instantânea em cada unidade consumidora.

Figura 1 - Etapas SST.



Fonte: [3].

Entre os conversores de média tensão passíveis de utilização dentro do SST, cita-se o MMC como uma topologia promissora na integração de geradores pela sua praticidade no manuseio dos microgeradores com característica CC, além do total controle do fluxo de potência do sistema.

1.1 OBJETIVO GERAL

O objetivo principal deste projeto é a criação de um submódulo de um conversor modular multinível (*Modular Multilevel Converter – MMC*), com todas as estruturas de acionamento e condicionamento necessárias para garantir o funcionamento mínimo da estrutura e também abrir espaço para introdução de estratégias diversas de controle.

1.2 OBJETIVOS ESPECÍFICOS

Entre os objetivos específicos, destacam-se:

- Revisão bibliográfica do MMC;
- Estudo das estratégias de modulação passíveis de utilização em conversores multiníveis;
- Estudo do controlador FPGA e suas linguagens de programação;
- Estudo e implementação de uma fonte auxiliar propícia para a aplicação em pauta;
- Projeto de um inversor ponte completa específico para um MMC;
- Criação de um *layout* reduzido e eficaz quanto à implementação e reprodução do conversor;
- Implementação e comprovação do projeto;

2 REVISÃO BIBLIOGRÁFICA

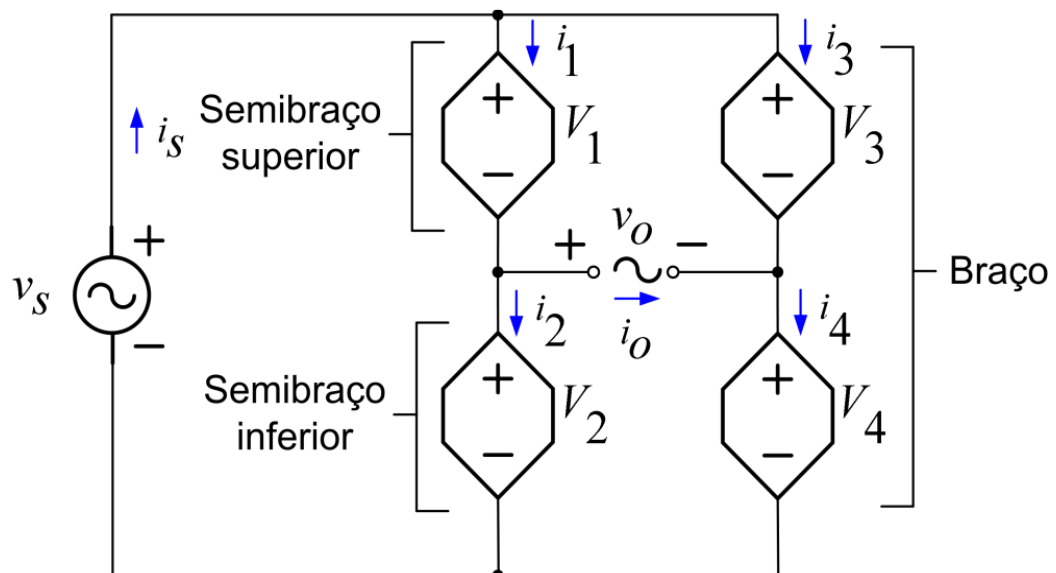
Neste capítulo será apresentado uma introdução ao conversor modular multinível, além de técnicas de modulação aplicadas ao mesmo e aos demais conversores multiníveis, assim como os métodos de implementação destas.

2.1 CONVERSOR MODULAR MULTINÍVEL

O conversor modular multinível é uma topologia avançada de um conversor multinível, utilizados, nessa aplicação, em configuração CA-CA (corrente alternada para corrente alternada). Sua estrutura é capaz de sintetizar uma tensão de entrada com amplitude elevada e baixa frequência em uma tensão de amplitude reduzida com frequência mais elevada.

A estrutura conceitual de um MMC CA-CA é apresentada na Figura 2, com representação em quatro fontes de tensão controladas, ditas semibraços, tanto inferior quanto superior, que associadas em série formam a estrutura de um braço.

Figura 2 - Estrutura conceitual de um MMC.

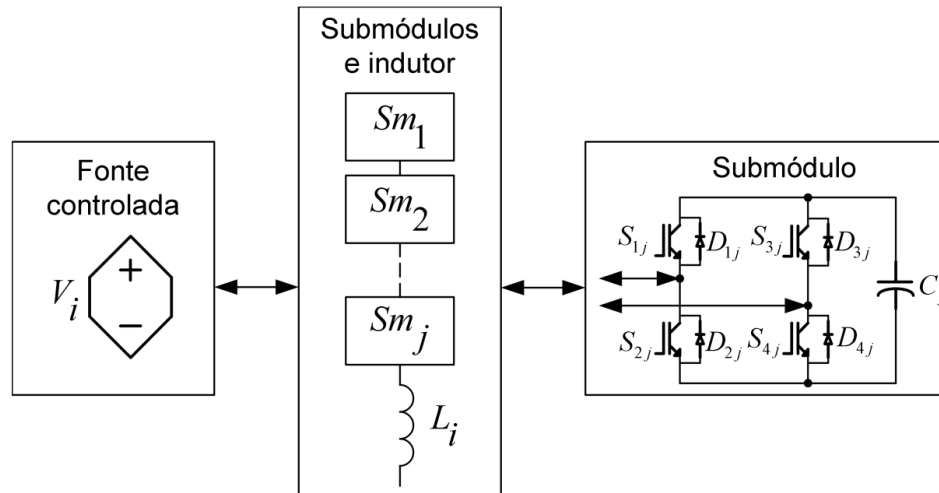


Fonte: [3].

Cada uma das fontes controladas de tensão apresentadas no conversor é representada por uma associação em série de N submódulos idênticos e um indutor, onde cada submódulo equivale a uma estrutura típica de um conversor *full-bridge*

(ponte completa), com quatro interruptores com diodos em antiparalelo, sendo a carga de cada um desses módulos, um capacitor (Figura 3).

Figura 3 - Estrutura de um semibraço e seus módulos.



Fonte: [3].

2.2 ESTRATÉGIAS DE MODULAÇÃO

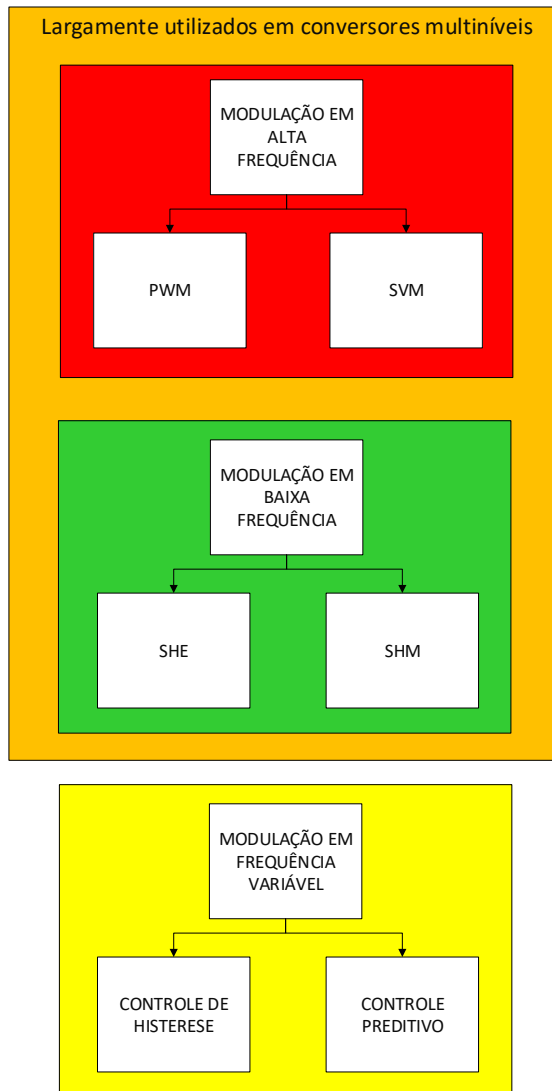
Modulação pode ser definida como o processo de variação de uma ou mais propriedades de uma forma de onda periódica, chamada portadora, com um sinal dito modulante (ou moduladora), que contém as informações a serem transmitidas.

Essa teoria aplicada em conversores estáticos está ligada a aplicação sequencial das etapas de operação da topologia de modo a se obter o resultado proposto na saída.

As distintas estratégias de modulação utilizadas afetam diretamente fatores de desempenho de um conversor, como redução da tensão de modo comum, balanço de tensão CC, diminuição das harmônicas provenientes da corrente de entrada, altas variações de tensão no tempo (dv/dt), além dos fatores econômicos ligados as perdas.

A classificação das técnicas de modulação pode ser dividida como mostrado na Figura 4.

Figura 4 - Classificação das estratégias de modulação.



Fonte: próprio autor, baseado em [3] e [4].

2.2.1 Modulações em alta frequência

A presença da alta frequência nas modulações facilita a especificação e a produção dos filtros de saída dos conversores, pois os mesmos não necessitam tanta robustez e de uma banda passante muito limitada.

2.2.1.1 Modulação por Largura de Pulso (*Pulse-Width Modulation* - PWM)

A modulação PWM está entre as mais aplicadas em conversores de potência pela sua simplicidade de compreensão e implementação, tanto digital quanto analógica.

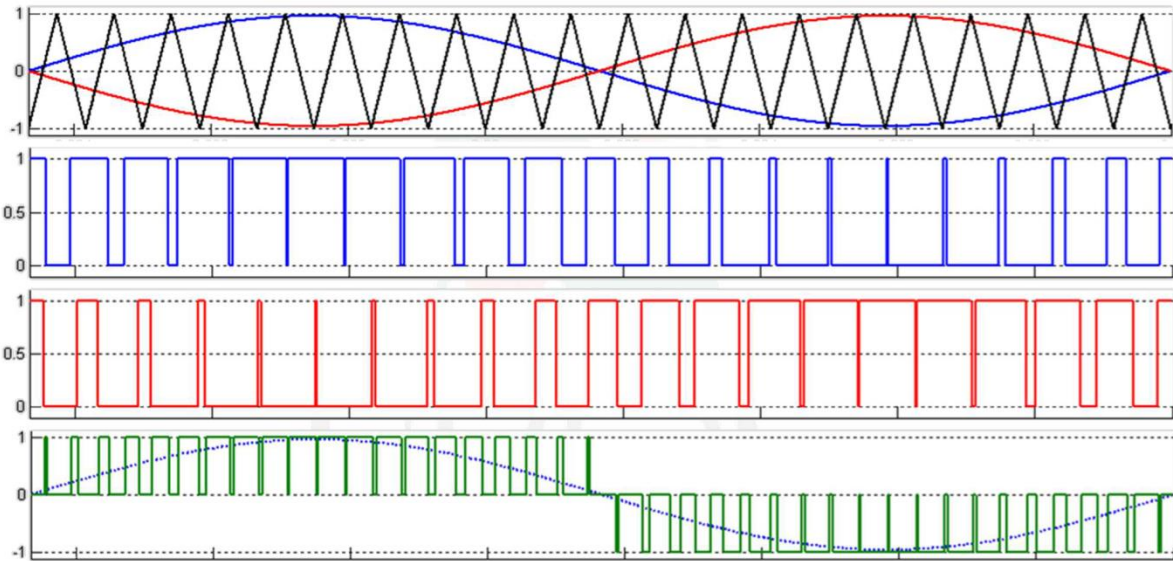
Sua fundamentação se dá pela comparação de um sinal modulante com uma portadora, comumente triangular. A modulante é o sinal que se pretende obter na saída (média instantânea dos valores) com a comparação das duas ondas, mediante comutação dos semicondutores. A frequência da(s) portadoras deve ser relacionada com a frequência da modulante de maneira que a portadora não gere a presença de harmônicas de baixa ordem, mas não grande o suficiente que impossibilite a utilização do conversor, quando relacionado à eficiência e as perdas de comutação [5].

Em aplicações de média-alta potência a frequência de comutação tende a ser a menor possível, de modo a minimizar as perdas de comutação. Dessa maneira, a presença de harmônicos de baixa ordem é inevitável e precisa ser solucionada por filtros passivos formados por capacitores e indutores. Nesse caso, é necessário estudar a melhor combinação de perda de comutação/filtro, visto que a proporção volumétrica e o custo do filtro são fatores a se considerar.

Aplicações usuais de modulação para inversores utilizam modulantes senoidais que sintetizam na saída valores de tensão instantâneos de dois (bipolar) ou três níveis (unipolar), sendo essa característica ligada diretamente ao número de modulantes/portadoras utilizada, uma ou duas modulantes respectivamente.

Na modulação bipolar uma modulante/portadora gera o sinal de uma (conversores do tipo *half-bridge* – meia ponte) ou um par de interruptores em diagonal (ponte completa), sendo o sinal dos demais interruptores, complementares a esse. Já na unipolar o processo é feito por duas modulantes, uma para cada braço do conversor.

Figura 5 - Modulação PWM unipolar para inversor ponte completa.



Fonte: [6].

Visto os estudos e aplicações mais abrangentes para conversores multiníveis dessa estratégia específica, esse trabalho terá enfoque no estudo das técnicas mais comuns de PWM aplicadas aos conversores multiníveis. Um estudo mais específico sobre o mesmo se encontra no subitem quatro desse mesmo capítulo.

2.2.1.2 Modulação por espaços de estados (*Space Vector Modulation - SVM*)

Desconsiderando a comutação de interruptores posicionados no mesmo braço simultaneamente, é possível tabelar uma combinação finita de etapas de funcionamento de um conversor. Essa especificação pode ser escrita em um plano $\alpha\beta\gamma$, como proposto por Edith Clarke em 1926 [7].

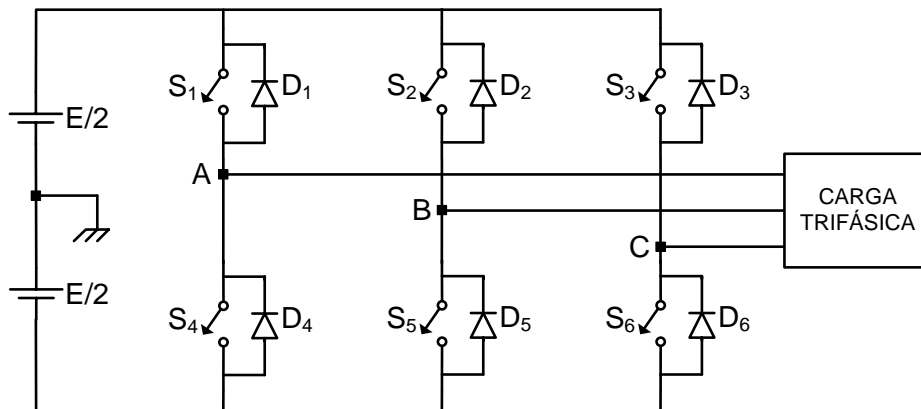
O plano se baseia em uma representação vetorial, inicialmente utilizada para facilitação de cálculos em sistema trifásicos de transmissão, onde todas as combinações encontradas são dispostas. Comumente desconsidera-se o eixo γ pela inexistência de corrente de neutro em sistemas de potência simétricos e equilibrados, tornando o sistema bidimensional apenas [4] [8].

A representação instantânea da tensão de referência é feita no mesmo plano e a combinação dos três vetores mais próximos é capaz de sintetizar a tensão de saída para aquele intervalo de tempo.

Um exemplo de modulação por vetores espaciais é a de um inversor trifásico com dois interruptores por braço (Figura 6). Sua representação tabelada das etapas de operação é mostrada na Tabela 1 com transcrição para o plano $\alpha\beta$ em sequência (Figura 7), onde os interruptores S_1, S_2 e S_3 são responsáveis por chaveamento de cada uma das fases e S_4, S_5 e S_6 os interruptores complementares do mesmo braço, respectivamente, e por isso tem seu estado também complementar [9]. As tensões V_{AB} , V_{BC} e V_{CA} são as tensões de linha do inversor e os espaços são numerados de acordo com o estado do interruptor com 0 sendo interruptor em bloqueio e 1, interruptor conduzindo. A tensão V_{ref} se refere a referência para uma das tensões de fase do inversor e sua alternância em função do tempo é responsável pela comutação dos interruptores do semibraço relacionado.

De maneira simplificada o SVM é uma representação vetorial do PWM com introdução de uma harmônica de terceira ordem, apesar da mesma se tornar mais interessante quando levado em conta fatores de controle como eliminação de tensão de modo comum, redução da ondulação de corrente, e minimização de perdas de comutação.

Figura 6 - Inversor trifásico conceitual.



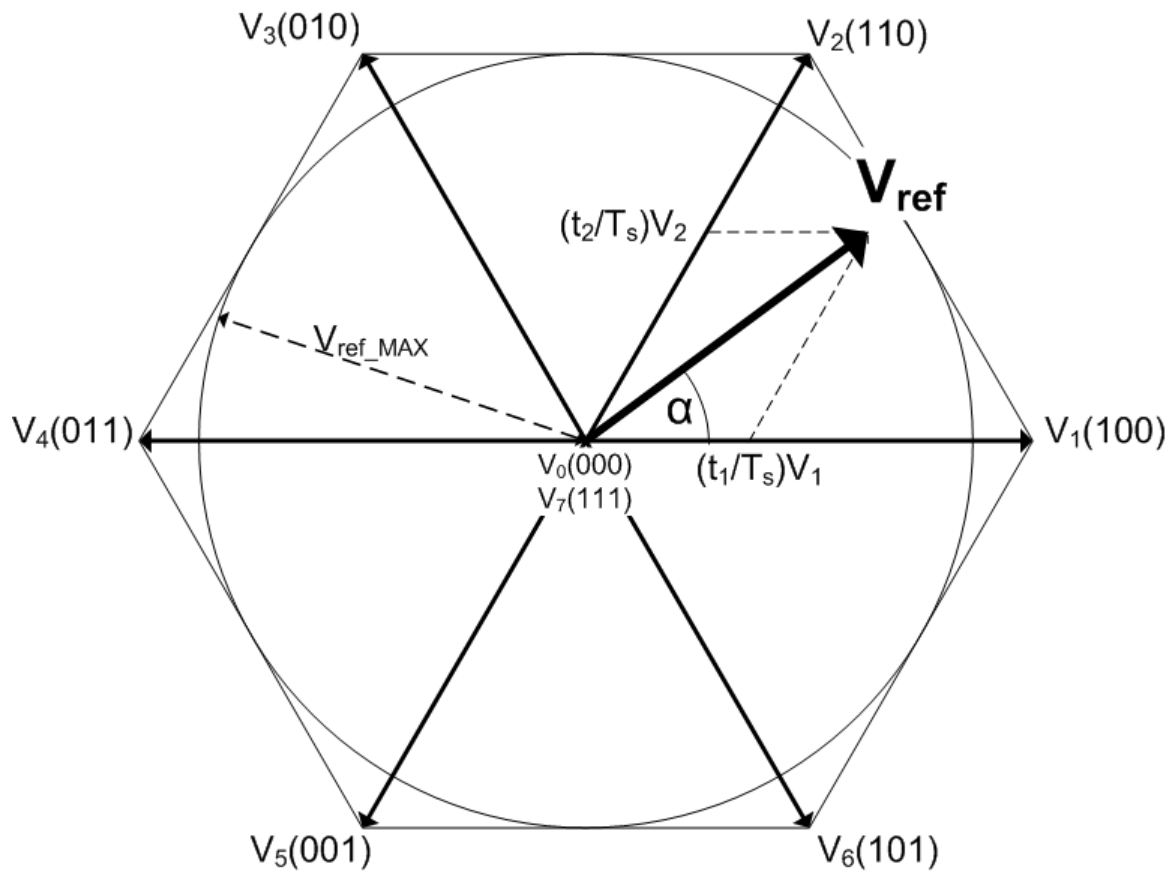
Fonte: [10].

Tabela 1 - Possíveis estados para um inversor trifásico.

ESPAÇO VETORIAL	S_1	S_2	S_3	V_{AB}	V_{BC}	V_{CA}	TIPO VETOR
$V_0 = \{000\}$	OFF	OFF	OFF	0	0	0	Nulo
$V_1 = \{100\}$	ON	OFF	OFF	+E	0	-E	Ativo
$V_2 = \{110\}$	ON	ON	OFF	0	+E	-E	Ativo
$V_3 = \{010\}$	OFF	ON	OFF	-E	+E	0	Ativo
$V_4 = \{011\}$	OFF	ON	ON	-E	0	+E	Ativo
$V_5 = \{001\}$	OFF	OFF	ON	0	-E	+E	Ativo
$V_6 = \{101\}$	ON	OFF	ON	+E	-E	0	Ativo
$V_7 = \{111\}$	ON	ON	ON	0	0	0	Nulo

Fonte: próprio autor baseado em [10].

Figura 7 - Representação vetorial dos estados de um inversor trifásico.



Fonte: próprio autor baseado em [9].

2.2.2 Modulações em baixa frequência

Diferentemente das modulações já explicadas nesse trabalho, às modulações de seleção de harmônicos trabalham em baixa frequência. Sua teoria é interessante para aplicações de sistemas de alta potência, de forma a minimizar radicalmente as perdas de comutação nos semicondutores.

2.2.2.1 Modulação por eliminação seletiva de harmônicas (*Selective Harmonic Elimination* - SHE)

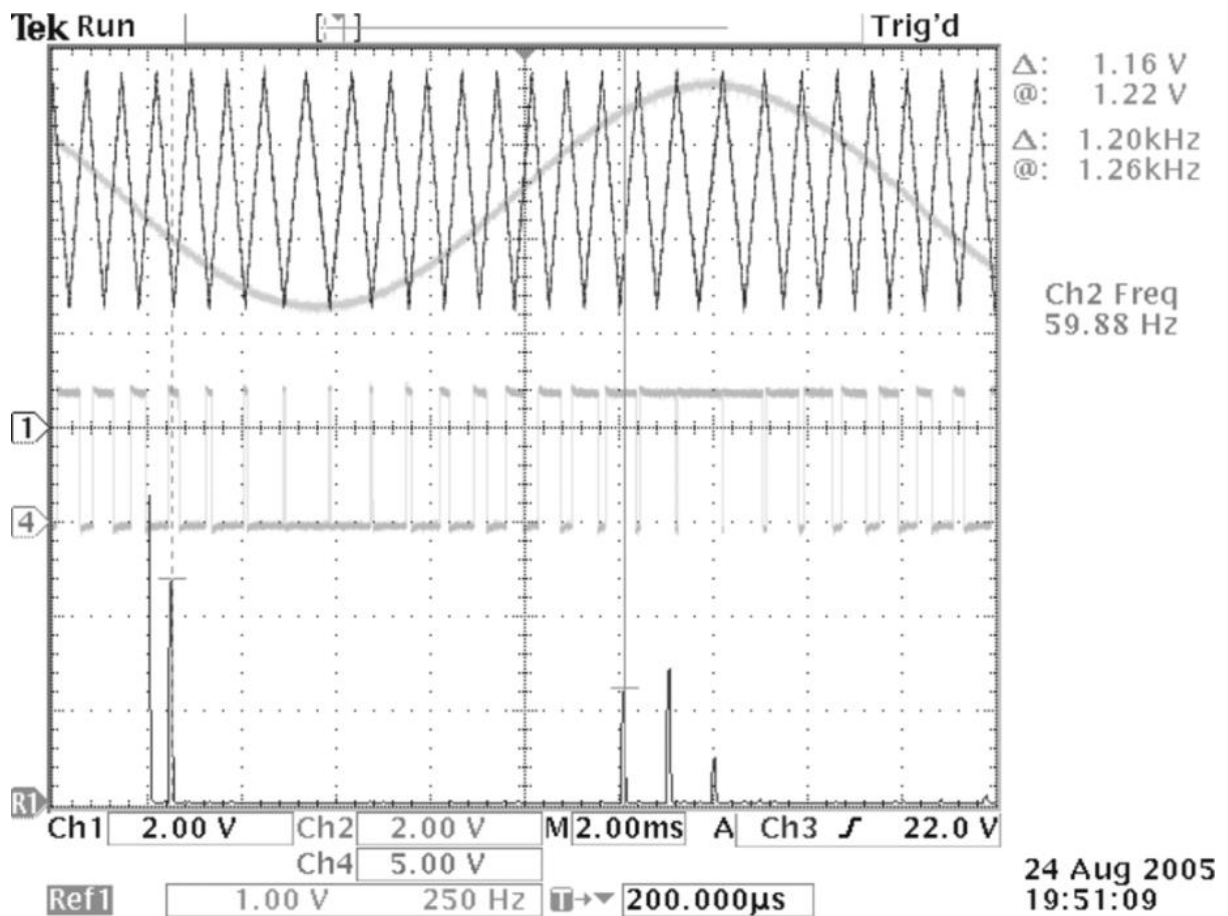
De modo a se erradicar componentes harmônicos pré-especificados e com uma frequência determinada, geralmente, pela redução das perdas de comutação dos semicondutores do conversor a ser aplicado esta metodologia, a SHE determina os ângulos de comutação dos interruptores, criando uma portadora assimétrica.

O cálculo dos ângulos pode ser feito pela decomposição em série de Fourier da tensão a ser processada. As expressões resultantes, entretanto, apresentam resolução complexa demais para que os controladores façam-na simultaneamente ao processo de comutação. Dessa maneira a resolução das equações deve ser feita de forma *offline* utilizando ferramentas matemáticas de aproximação que utilizam o método de Newton-Raphson para este processo [11].

Com os ângulos calculados o controlador é responsável apenas pelo apontamento dos valores angulares já armazenados em sua memória. Essa característica dificulta a aplicação em malha fechada da mesma sem utilização de um controlador capaz de realizar as interações necessárias iterativamente em uma velocidade aceitável.

Apesar de ainda não poder ser aplicada em malha fechada, é possível verificar experimentalmente em malha aberta a efetividade na redução de harmônicos como comprovado por [12], apresentado na Figura 8.

Figura 8 - Modulação SHE com frequência da portadora 13.5x maior que da modulante.



Fonte: [12].

2.2.2.2 Modulação por atenuação seletiva de harmônicas (*Selective Harmonic Mitigation - SHM*)

Apesar da utilização da modulação SHE para eliminação de harmônicas de baixa ordem ser extremamente efetiva, o controle das demais harmônicas e, conseqüentemente, da THD (*Total Harmonic Distortion* – Distorção Harmônica Total) é desconsiderado na aplicação da estratégia. Como a utilização dessa modulação está diretamente ligada a conversores de alta potência aplicados a linhas de transmissão/distribuição é preciso levar em conta as normativas de qualidade de energia impostas pelas empresas responsáveis [4]. Dessa maneira, a SHE é praticamente inviável, visto que a correção da THD necessita de um filtro de alta ordem, que aumentaria demasiadamente o custo de produção do conversor.

Com esses fatores em conta, estipulou-se então uma modulação baseada na SHE que não elimina totalmente as harmônicas de baixa ordem, mas apenas as

atenua (SHM). Essa característica possibilita um controle da THD de maneira mais eficaz [13].

Ainda mais, as considerações de THD/custo de filtro de saída são levadas em conta na definição dos ângulos de disparo dos semicondutores, que em função da potência são normalmente tiristores, GTOs (*Gate Turn-Off Thyristor*) e IGCTs (*Integrated Gate-Commutated Thyristor*), aumentando a aplicabilidade das estratégias de modulação em baixa frequência consideravelmente.

Contudo, os problemas encontrados na modulação SHE continuam aparecendo nessa estratégia com fatores até piores. A necessidade de cálculo *offline* dos ângulos de disparos dos semicondutores se torna mais presente agora, pois necessita-se de atenuação de mais harmônicas do que antes, levando aos cálculos a possibilidade de aumento da frequência de comutação para solução do problema ou em muitos casos até a não convergência dos valores. Caso exista a necessidade de aumento da frequência, a estratégia pode se tornar inviável se levado em conta às perdas de comutação, fator significativo na escolha da estratégia de modulação.

2.2.3 Modulação em frequência variável

As modulações com frequência de comutação fixa tendem a possuir harmônicos distribuídos em torno dessa frequência e de seus múltiplos. Esse fator não está presente nessa estratégia, dificultando a determinação dos filtros de saída.

2.2.3.1 Modulação por controle de histerese

Histerese pode ser definida como a tendência de um sistema em conservar sua propriedade atual na ausência do estímulo que a gerou. De maneira exemplificada para conversores estáticos, seria a capacidade da saída seguir sua especificação com a mínima ou nula modificação de sua etapa de operação [14].

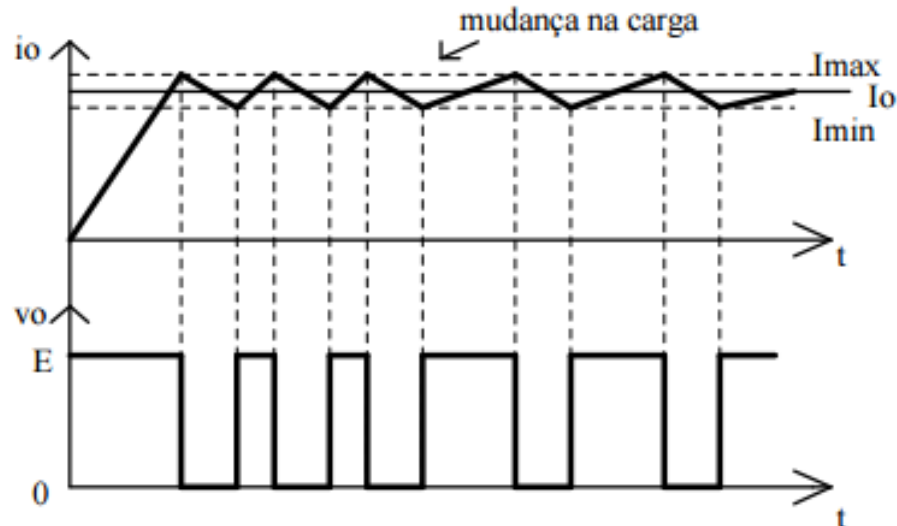
O controle por histerese, também chamado *bang-bang* ou *on-off*, é sintetizado pela comparação do sinal lido na saída, geralmente um valor em corrente, dito I_m , com um sinal de referência I_{ref} adicionado de certa faixa de histerese ΔI . A largura dessa faixa de histerese determina a máxima frequência de comutação que o conversor poderá operar para obter a forma de onda proposta pela referência [4]. Um exemplo

pode ser visto na Figura 9, mostrando a corrente I_o como referência e a faixa de histerese sendo os valores de $I_{max} - I_{min}$.

A limitação da operação desse método depende também do número de níveis de tensão a se utilizar no conversor. Inversores com mais níveis de tensão exigem uma frequência de comutação menor para obtenção de diferentes níveis de tensão modulados. É necessário, portanto, um estudo adicional do custo-benefício entre níveis de tensão/frequência de comutação, já que o primeiro fator está diretamente ligado ao custo de produção do conversor visto a necessidade de mais semicondutores e circuitos auxiliares, e o segundo estar ligado às perdas de comutação dos mesmos semicondutores.

Fica clara também a necessidade de trabalho em malha fechada do conversor, já que sem o sinal I_m de corrente de saída, não há parâmetro de comparação que habilite a comutação do conversor. Essa característica pode inutilizar o conversor caso exista algum problema de mau funcionamento da medição.

Figura 9 - Controle por histerese de um conversor.



Fonte: [15].

2.2.3.2 Modulação por controle preditivo

Conceitualmente o controle preditivo tem como princípios três características, que aparecem com maior ou menor grau dependendo da aplicação:

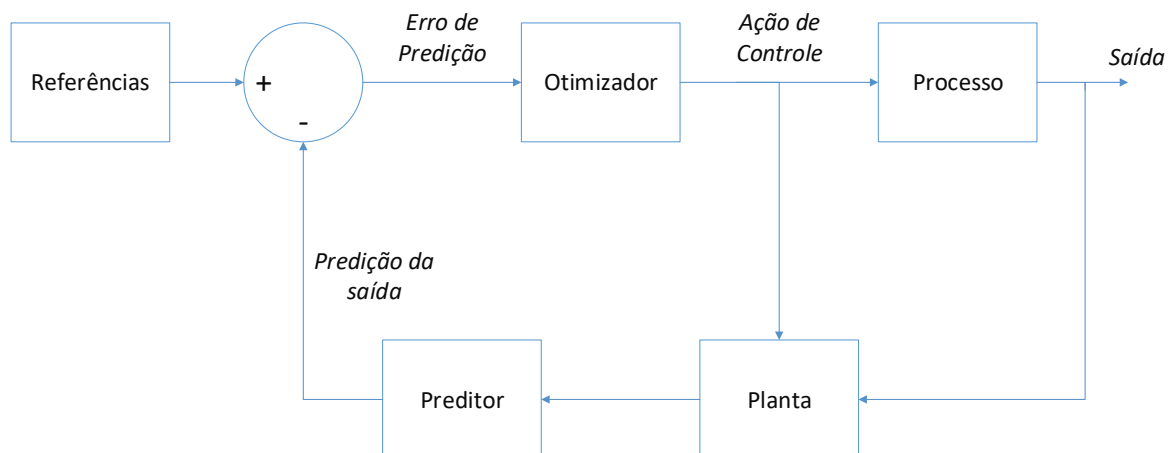
- Uso de alguma ferramenta que proporcione a predição do valor da saída para instantes futuros;

- Cálculo de uma sequência de controle com mínimas interações;
- Aplicação da etapa atual no cálculo da etapa futura, reiniciando a dinâmica do processo [16].

Para os conversores de potência, a determinação da planta de controle é simples, pois as etapas de operação já são pré-definidas e podem ser mais facilmente previstas. Esse fator facilita a utilização de outros conceitos de controle relacionados à fatores capazes de serem medidos e incorporados na planta, como o balanço do nível CC.

O modelo mais comum de controle preditivo segue a estrutura da Figura 10. Essa estrutura apesar de simples necessita de etapas de cálculo complexas e aquisição de dados para os controladores mais comuns, requerendo a utilização de equipamentos mais específicos e caros.

Figura 10 - Modelo conceitual de controle preditivo.



Fonte: próprio autor baseado em [16].

2.2.4 Modulação PWM aplicada ao MMC

Visto o número elevado de interruptores presentes no MMC, se comparado aos inversores meia ponte e ponte completa, a modulação não pode utilizar apenas uma ou duas portadoras como os esquemas unipolar e bipolar já apresentados [4]. O número de portadoras está diretamente ligado aos diferentes níveis de tensão que se pretende atingir na saída do conversor, sendo a modulante outro aspecto diferenciado quanto ao funcionamento da topologia. Todas as análises presentes daqui para frente são relacionadas ao MMC proposto por [3], seguindo a topologia apresentada na Figura 11, com dois submódulos por semibraço.

As possibilidades de trabalho para o MMC proposto podem ser do tipo $2N+1$ e $N+1$, onde N é o número de submódulos por semibraço do conversor. Fica fácil a visualização do número de níveis possíveis da tensão de saída se analisadas as etapas de funcionamento para cada caso. Os conceitos apresentados a seguir consideram um MMC com dois submódulos por semibraço. As variáveis V_{1n} , V_{2n} , V_{3n} e V_{4n} correspondem às duas tensões dos semibraços esquerdo e direito, respectivamente.

No sistema $N+1$ o número de submódulos ativos em cada braço é sempre constante, de maneira que se X submódulos estão ativos no semibraço superior $N-X$ submódulos estarão ativos no semibraço inferior [17]. Dessa forma há apenas uma moduladora por braço e a quantidade de submódulos ativos entre os semibraços é complementar (Tabela 2).

Tabela 2 - Níveis de tensão de saída no MMC para sistema $N+1$ com $N=2$.

NÚMERO DE SUBMÓDULOS ATIVOS POR SEMIBRAÇO				
V_{1n}	V_{2n}	V_{3n}	V_{4n}	V_{out}
1	1	1	1	0
2	0	0	2	$2V_c$
0	2	2	0	$-2V_c$

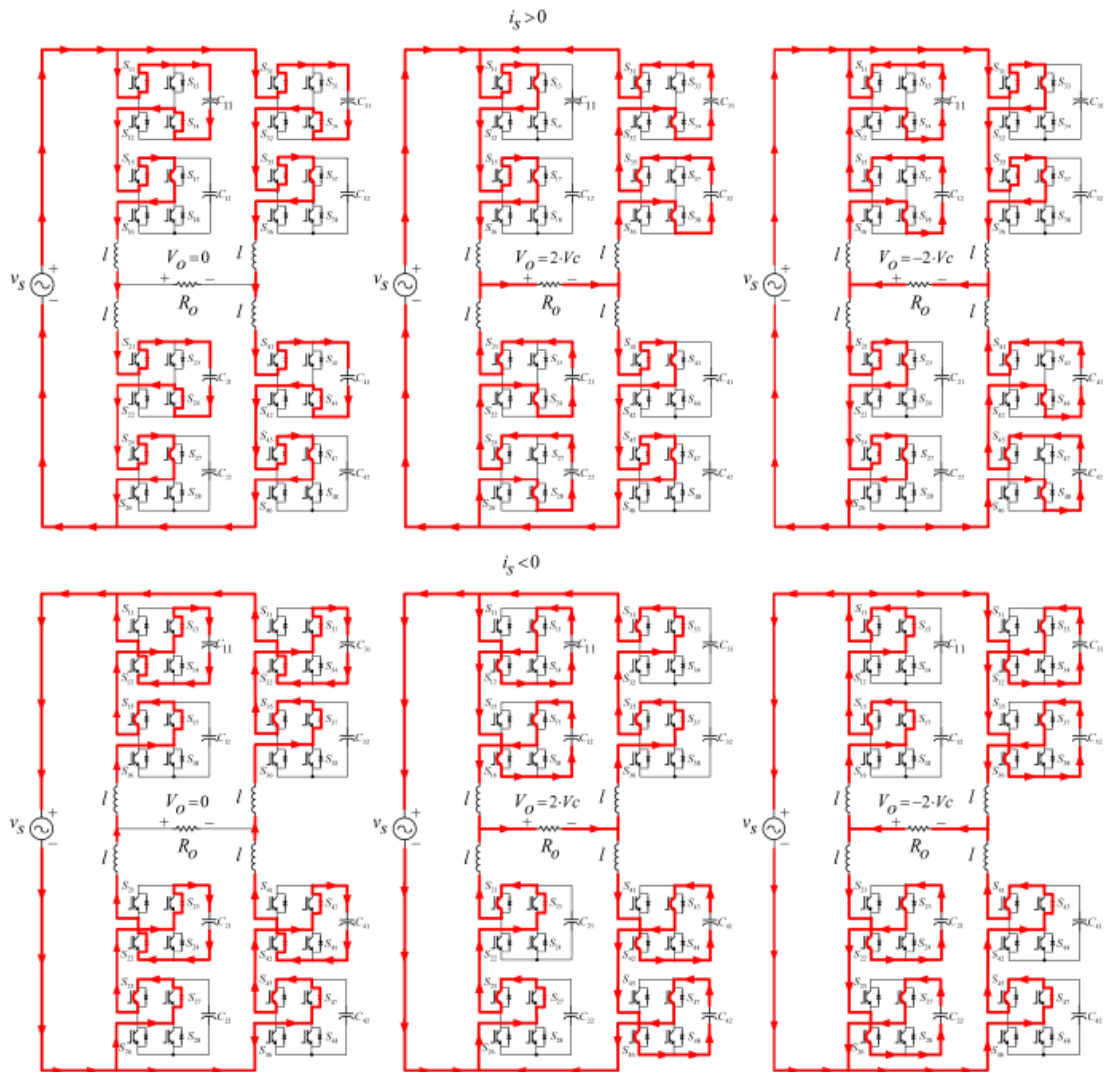
Fonte: próprio autor, baseado em [3].

Para o esquema $2N+1$ o número de submódulos ativos em um braço é variável. Quando o número de submódulos ativos é diferente de N a diferença entre a tensão de entrada e a tensão inserida nos submódulos aparece nos indutores, gerando os níveis adicionais do esquema $2N+1$ (Tabela 3) [17].

No sistema $N+1$, o número de portadoras da modulação se torna dessa maneira igual ao número de submódulos por semibraço (N). Já no sistema $2N+1$ o número de portadoras sobe para $2N$. A disposição dessas portadoras na comparação interfere diretamente nos parâmetros da tensão de saída e necessitam ser avaliados.

Não é de interesse deste trabalho uma análise mais detalhada das etapas de operação do MMC, sendo apenas necessário o entendimento das condições que os submódulos estão sujeitos mediante o funcionamento do conversor.

Figura 11 - Etapas de operação MMC no sistema $N+1$ com $N=2$.



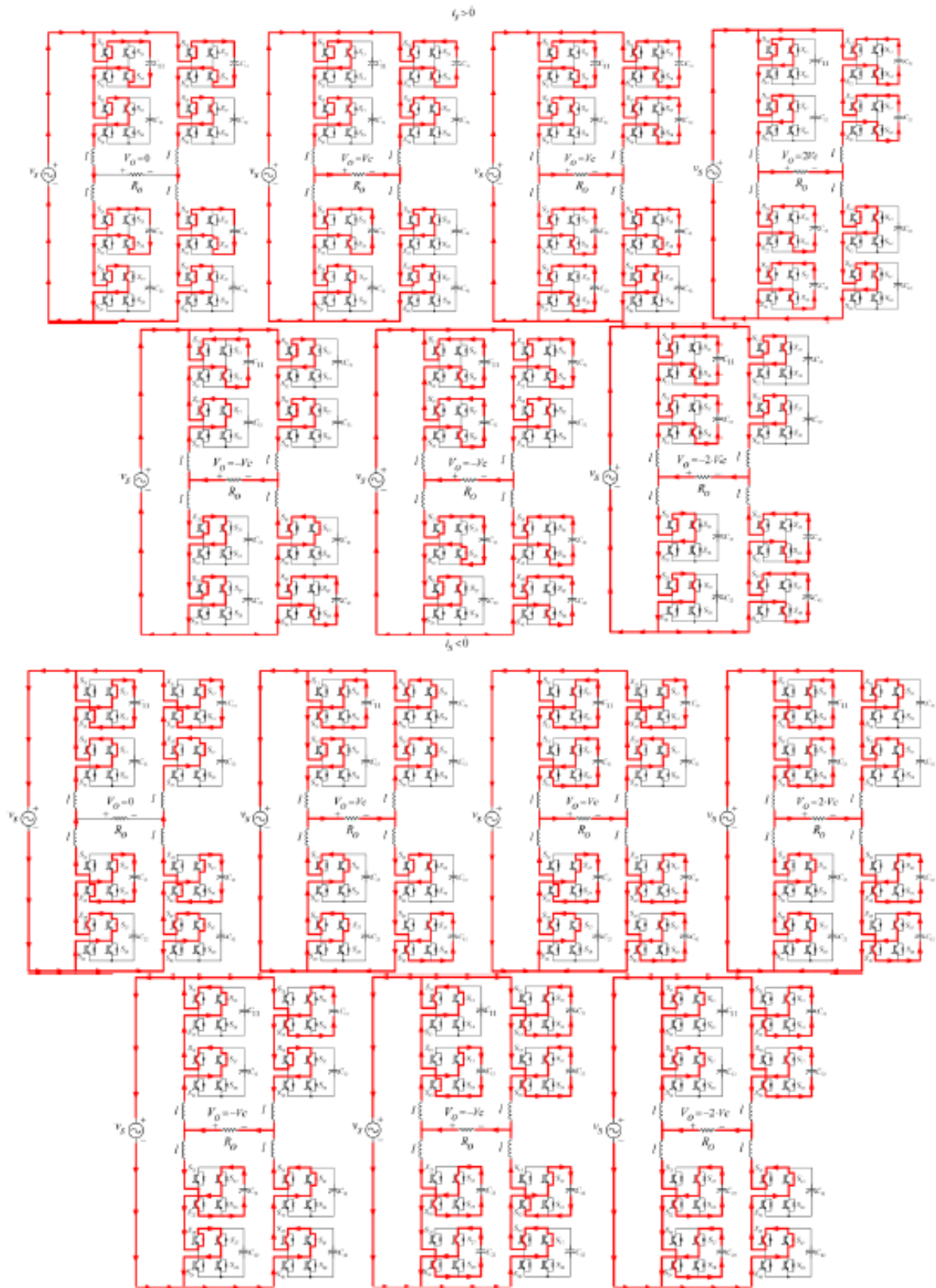
Fonte: [3].

Tabela 3 - Níveis de tensão de saída no MMC para sistema $2N+1$ com $N=2$.

NÚMERO DE SUBMÓDULOS ATIVOS POR SEMIBRAÇO				
V_{1n}	V_{2n}	V_{3n}	V_{4n}	V_{out}
1	1	1	1	0
0	1	1	0	V_c
1	2	2	1	V_c
0	2	2	0	$2V_c$
1	0	0	1	$-V_c$
2	1	1	2	$-V_c$
2	0	0	2	$-2V_c$

Fonte: próprio autor, baseado em [3].

Figura 12 - Etapas de operação MMC no sistema $2N+1$ com $N=2$.

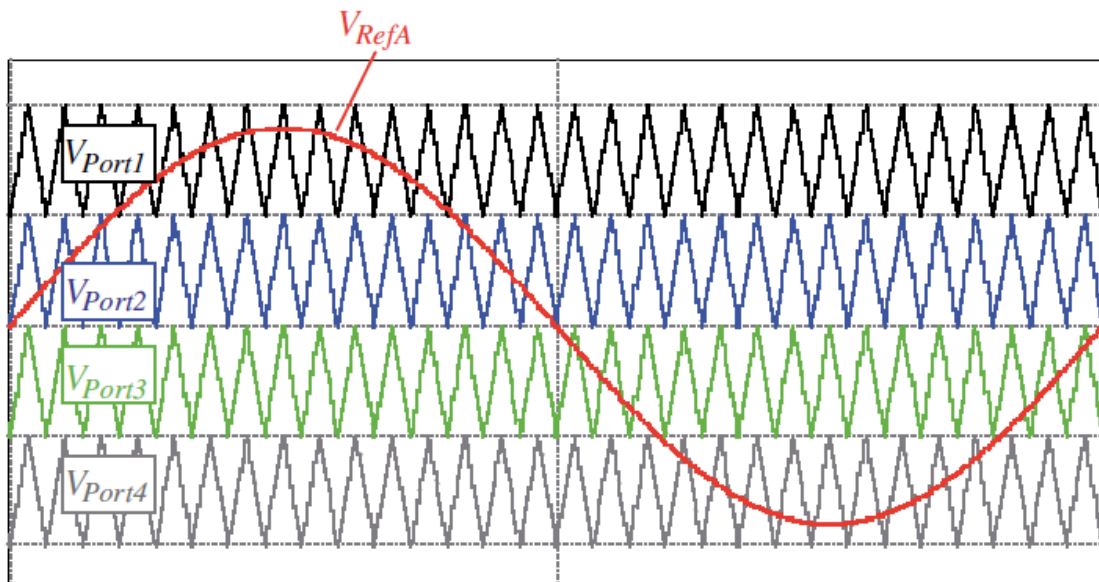


Fonte: [3].

2.2.4.1 Modulação com Portadoras Dispostas em Fase (*Phase Disposition – PD*)

A disposição das portadoras é feita apenas por nível nesse caso, com defasagem nula entre as mesmas. A variação pico-a-pico das portadoras é igual, mas seu nível médio é diferente de forma que, sendo a amplitude da modulante com o índice de modulação (m) unitário, a amplitude da portadora mais positiva/negativa é igual à amplitude da modulante. A Figura 13 mostra a disposição PD com uma modulante senoidal genérica em vermelho e as portadoras triangulares em cores distintas para uma modulação de um sistema $2N+1$ com $N=2$.

Figura 13 - Modulação com portadoras dispostas em fase (PD).

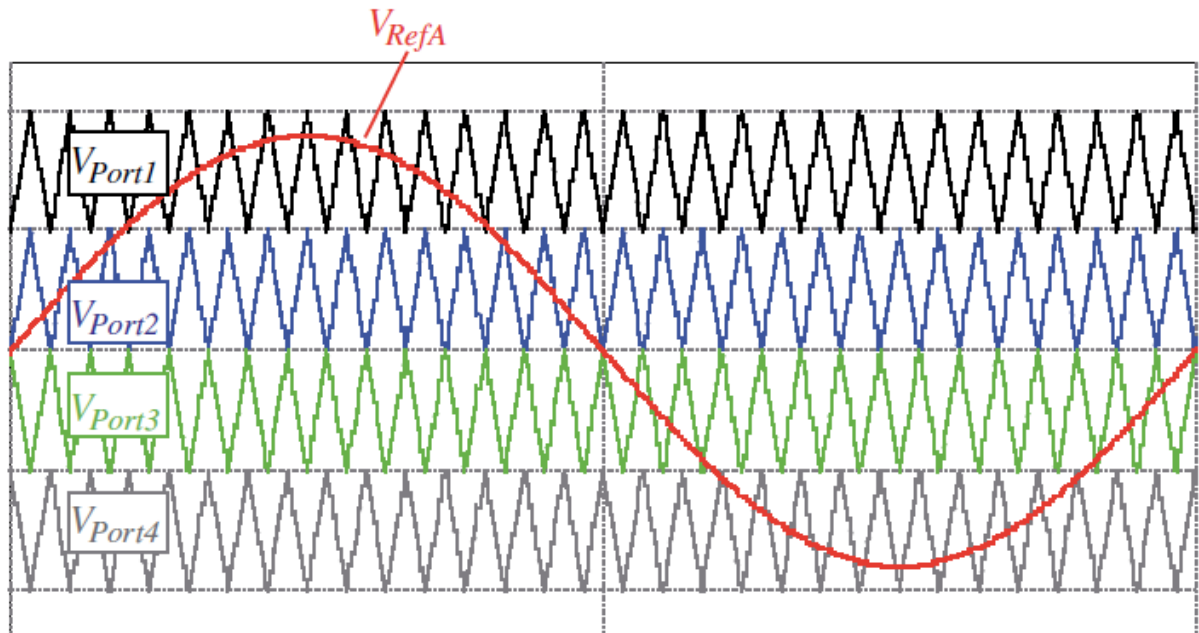


Fonte: [18].

2.2.4.2 Modulação com Portadoras Dispostas em Oposição de Fase (*Phase Opposition Disposition – POD*)

A modulação com portadoras dispostas em oposição de fase consiste em defasagem de 180° das portadoras negativas em relação das positivas (ainda com disposição entre nível das portadoras, da mesma forma que a POD). A Figura 14 mostra a disposição POD com uma modulante senoidal genérica em vermelho e as portadoras triangulares em cores distintas, também para uma modulação de um sistema $2N+1$ com $N=2$.

Figura 14 - Modulação com portadoras dispostas em oposição de fase (POD).



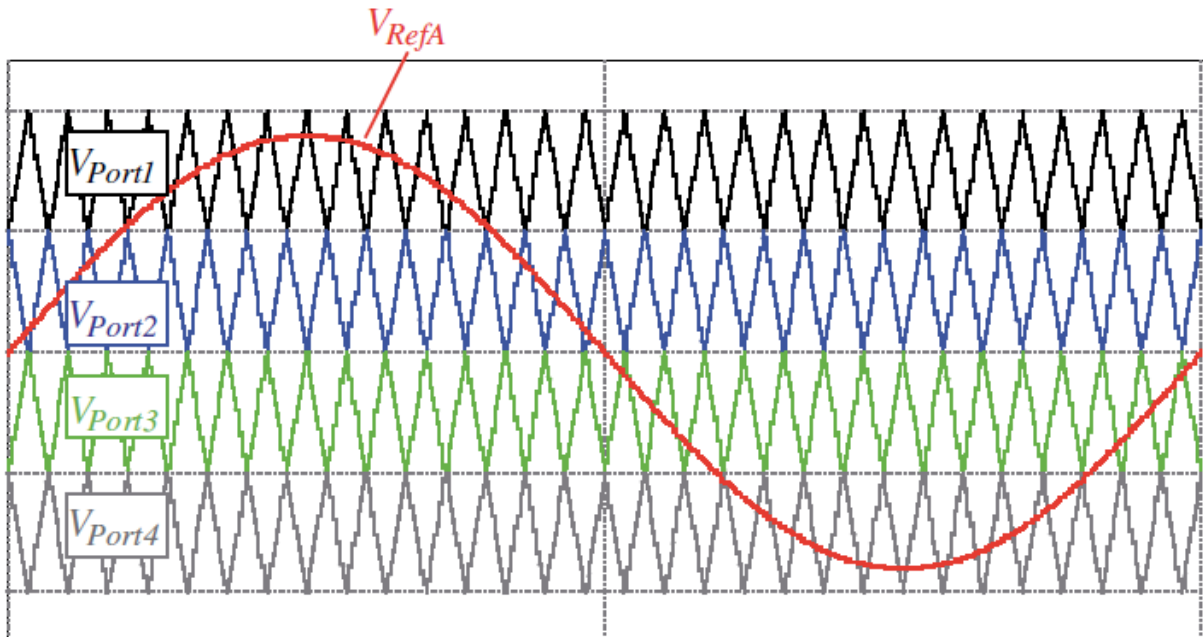
Fonte: [18].

2.2.4.3 Modulação com Portadoras Dispostas em Oposição Alternada de Fase (Alternative Opposition Disposition – APOD)

Similar à modulação POD, essa disposição caracteriza as portadoras por uma defasagem de 180° entre as portadoras adjacentes. A disposição em nível é feita da mesma forma que a modulação PD e POD.

Para sistemas $2N+1$ é possível visualizar a distinção da modulação POD pela Figura 15, seguindo os mesmos parâmetros utilizados para as modulações já apresentadas. No sistema $N+1$, entretanto, esse sistema não se difere da POD, visto a teoria de defasagem por eixo e por portadoras adjacentes ser redundante para $N=2$.

Figura 15 - Modulação com portadoras dispostas em oposição alternada de fase (APOD).



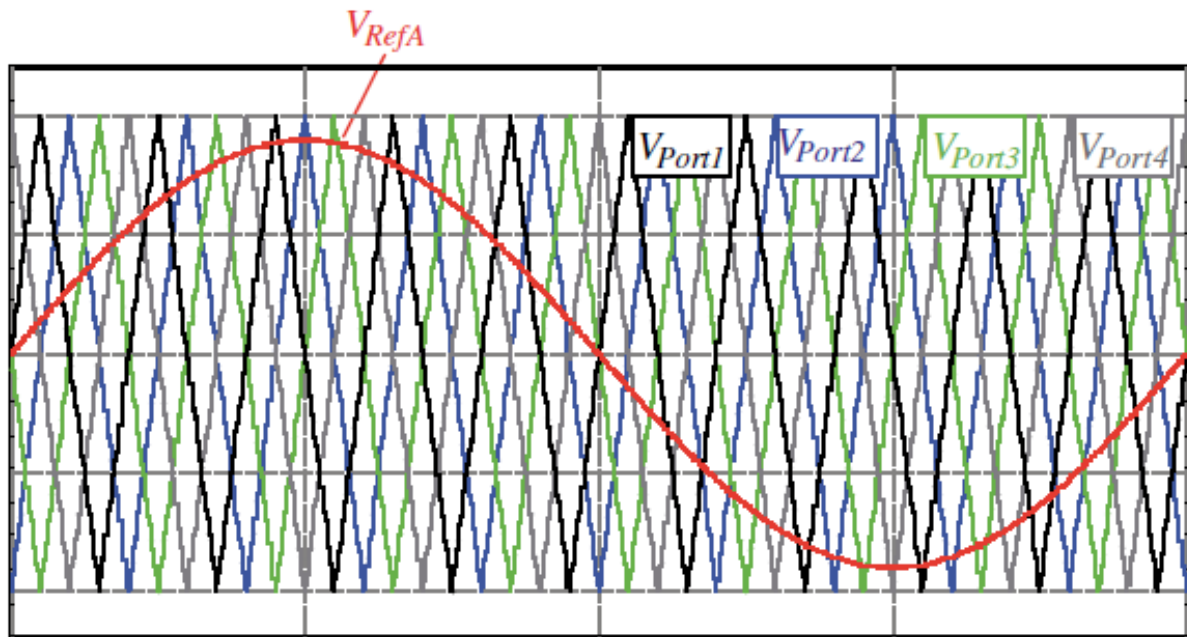
Fonte: [18].

2.2.4.4 Modulação com as Portadoras com Deslocamento de Fase (*Phase Shifted – PS*)

Diferente das demais modulações apresentadas, a modulação por deslocamento de fase desconsidera a disposição em nível das portadoras. Sendo assim, a amplitude das portadoras é igual à amplitude da modulante (para $m=1$).

As portadoras são deslocadas entre si $\frac{360^\circ}{n^\circ \text{ portadoras}}$, onde o número de portadoras depende diretamente do sistema de modulação usada (N para o sistema $N+1$ e $2N$ para o sistema $2N+1$). Averigua-se essa disposição na Figura 16, no mesmo modelo das modulações já apresentadas.

Figura 16 - Modulação com portadoras deslocadas em fase (PS).



Fonte: [18].

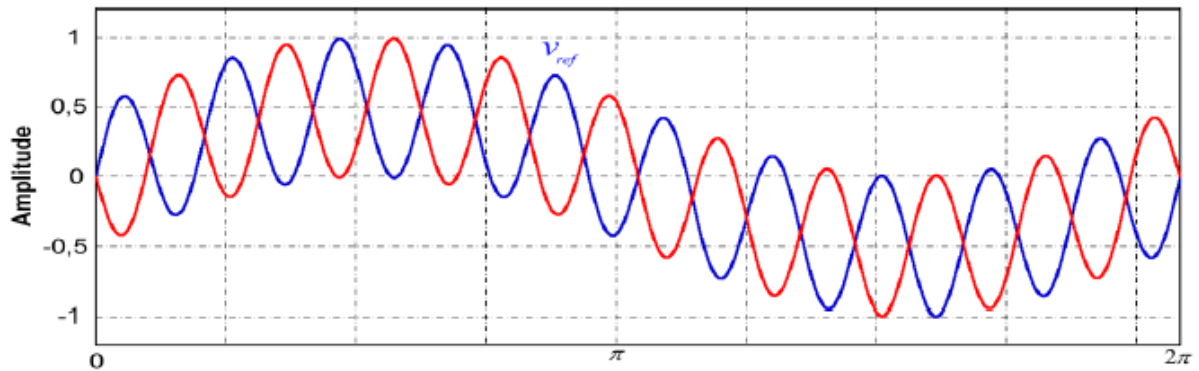
2.2.4.5 Modulantes

Outra peculiaridade do MMC CA-CA está relacionada com as suas modulantes. Seu sinal de referência instantâneo é apresentado na Equação (1).

$$V_{ref} = m_s \times \text{sen}(\omega_s \times t + \alpha_s) \pm m_o \times \text{sen}(\omega_o \times t) \quad (1)$$

Nota-se por esse equacionamento a presença de dois componentes frequenciais no sinal. Os parâmetros com índice “s” são relacionados a frequência e tensão de entrada e os parâmetros com índice “o”, com a tensão e frequência de saída. O sinal positivo ou negativo da equação indica a variação entre as duas modulantes distintas de cada semibraço e é esse fator o responsável pela formação da tensão de saída. A Figura 17 exemplifica o equacionamento.

Figura 17 - Forma de onda das modulantes para MMC CA-CA.



Fonte: [3].

A dedução da Equação (1) não é foco deste trabalho, sendo apenas importante o entendimento do conceito de anulação de componentes frequenciais da tensão de saída. A componente em baixa frequência não apresenta defasagem entre as modulantes. Já a componente de frequência mais elevada possui uma defasagem de 180° . Estas características serão futuramente replicadas em um submódulo, de modo a se comprovar o funcionamento do mesmo.

2.3 CONTROLADORES DIGITAIS

O avanço na tecnologia eletrônica proporcionou a troca e utilização gradativa dos controladores previamente analógicos pelos digitais. Sua flexibilidade de programação em relação com a montagem dos circuitos, seu volume e confiabilidade facilitam muito o trabalho dos projetistas.

Na modulação e controle de conversores multiníveis, como o MMC, a utilização desses controladores deve ser especificada por parâmetros diversos. As possíveis opções são os microcontroladores, DSPs (*Digital Signal Processor*) e o FPGA.

Os microcontroladores são unidades formadas por microprocessador, memórias e periféricos capazes de sintetizar informações e realizar cálculos a fim de acionarem alguma saída específica de um processo. Os DSPs nada mais são do que microcontroladores aplicados a análise de sinais. Sua estrutura é especializada com o trabalho e tratamento de dados de entrada [19]. Suas programações são, geralmente, em *Assembly* e C. O DSP efetua um processamento sequencial e suas

operações matemáticas podem demorar vários ciclos de *clock* para serem completadas.

O FPGA é formado por uma matriz de blocos lógicos contidos em um único circuito integrado. O primeiro dispositivo desenvolvido foi em 1983 pela empresa Xilinx Inc. O funcionamento do FPGA é baseado em ciclos de *clock* e cada operação matemática é realizada no mesmo ciclo [20]. Também possuem um processamento em paralelo que evitam situações de *loop* infinito.

A utilização de um FPGA na modulação do MMC é necessária visto a complexidade de cálculos que determinam a sequência de comutação dos interruptores, além da necessidade de diversas saídas digitais para acionamento das diversas chaves do conversor. Apesar de não ser ideal a utilização de um dispositivo para controle e acionamento de múltiplos módulos [21], visto o espaçamento físico entre módulos, o FPGA consegue sozinho suprir a modulação do conversor.

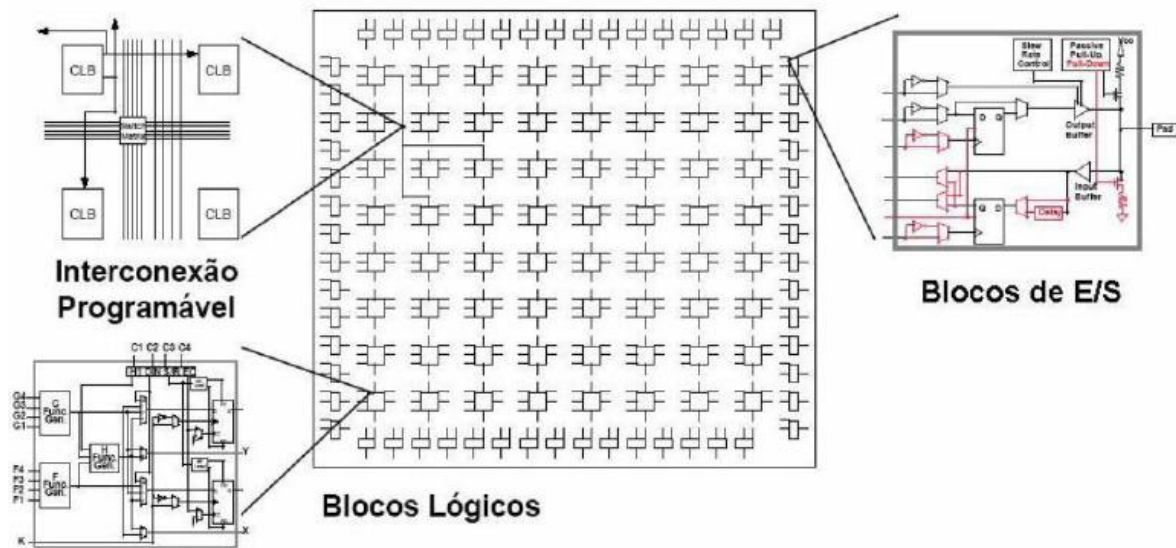
Ao se aplicar o estudo de controle do conversor, todavia, pode-se também utilizar algum dispositivo próprio para trabalhar com análise de sinais, como o DSP já citado. O dispositivo trabalharia em paralelo ao FPGA, como escravo do controlador principal, semelhante aos microcontroladores integrados em cada módulo, utilizados para acionamento dos interruptores, como citado por [21]. Essa estrutura é mais ideal para análise final dos parâmetros do MMC, mas não essencial para análises mais específicas.

2.3.1 Estrutura do FPGA

A estrutura interna do FPGA é basicamente formada por blocos lógicos, blocos de entrada e saída e chaves de interconexão, como apresentado na Figura 18.

As funções do programa são implementadas nos blocos lógicos, sendo estas as estruturas mínimas do controlador. A interconexão dos blocos lógicos possibilita a geração de estruturas mais complexas como *latches* e *flip-flops* e gradativamente gera circuitos de registradores e memórias no mesmo sistema de interconexão. O projeto com FPGA é caracterizado por ser modular, ou seja, cada bloco do programa é responsável por uma função.

Figura 18 - Estrutura interna de um FPGA.



Fonte: [22].

2.3.2 Linguagens de programação para FPGA

As principais linguagens existentes desse tipo são: VHDL (*Very High Speed Integrated Circuit Hardware Description Language*) e Verilog.

A linguagem VHDL surgiu na década de 80 e padronizada pela IEEE (*Institute of Electrical and Electronics Engineers* – Instituto de Engenheiros Eletricistas e Eletrônicos) em 1986 [19]. Foi criada com o objetivo de padronizar o intercâmbio de informações referentes ao comportamento dos circuitos digitais entre os grupos de pesquisa que começavam a manusear o FPGA na época. Uma das principais vantagens é a independência da tecnologia. Mesmo com a evolução dos dispositivos de diferentes fornecedores a linguagem não sofre alterações. A desvantagem está no fato dos projetistas necessitarem um bom conhecimento na área de circuitos digitais, diferentemente dos microcontroladores e DSPs em que basicamente é necessário o conhecimento da linguagem C. Sua estrutura se denomina como *firmware*, pela característica de programação em declaração de *hardware*.

A fim de facilitar o uso da ferramenta FPGA para leigos a circuitos digitais, aproximou-se a linguagem C para o sistema de firmware pela linguagem Verilog. Apesar de não ideal ao FPGA, esta é capaz de realizar as mesmas tarefas que a VHDL. Seu único problema está na transcrição para circuito lógico da programação escrita. O Verilog é uma linguagem secundária e antes de ser sintetizada no FPGA é

transcrita para VHDL (assim como o C para Assembly em microcontroladores) e, apesar de raro, algumas informações podem ser perdidas ou corrompidas durante a tarefa ou até mesmo não otimizadas aos circuitos lógicos presentes no FPGA, gerando uma utilização dos circuitos digitais integrados, desnecessária.

3 PROJETO DO SUBMÓDULO

O projeto em questão segue o padrão do conversor apresentado por [3]. Os parâmetros do protótipo estão apresentados na Tabela 4. Este capítulo apresenta detalhadamente os projetos dos diversos circuitos presentes em um dos submódulos do conversor, com explicações topológicas e técnicas sobre escolhas de componentes e valores.

Por se tratar de um protótipo, utilizou-se também uma metodologia reversa quanto a parâmetros mediante a disponibilidade e limitações de componentes dos distribuidores locais.

Tabela 4 - Parâmetros de projeto do conversor modular multinível.

PARÂMETROS	VALORES
POTÊNCIA DO CONVERSOR	$P_T = 1 \text{ kW}$
TENSÃO DE PICO DE ENTRADA	$V_{inpeak} = 500 \text{ V}$
TENSÃO DE PICO DE SAÍDA	311,13 V
TENSÃO DOS SUBMÓDULOS	250 V
FREQUÊNCIA DE ENTRADA	$f_{in} = 60 \text{ Hz}$
FREQUÊNCIA DE SAÍDA	$f_{out} = 1200 \text{ Hz}$
FREQUÊNCIA DE COMUTAÇÃO	20 kHz
Nº DE SUBMÓDULOS POR SEMIBRAÇO	$N = 2$
ONDULAÇÃO DE TENSÃO NOS SUBMÓDULOS	2 %
ONDULAÇÃO DE CORRENTE	15 %

Fonte: próprio autor baseado em [3].

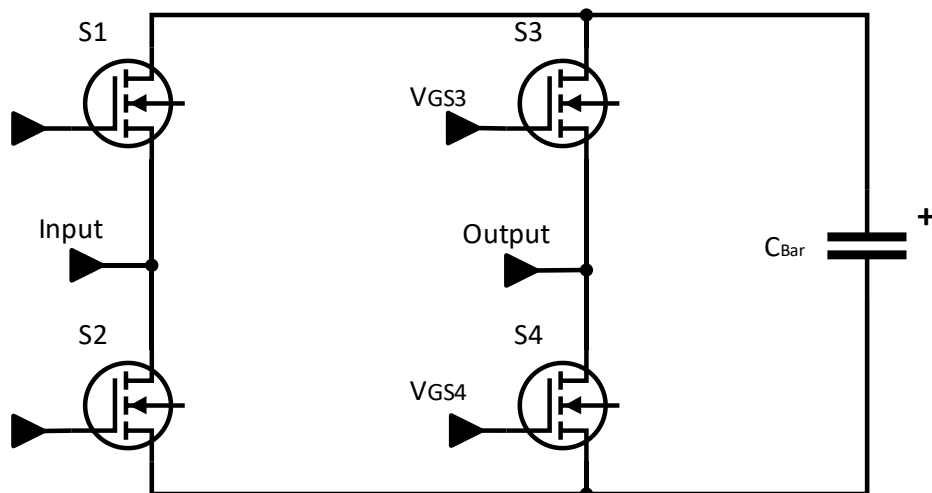
3.1 CIRCUITO DE POTÊNCIA

Cada submódulo do protótipo pode ser descrito como um inversor do tipo ponte completa, sendo o MMC no geral, uma associação em cascata destes submódulos juntamente com os indutores dos braços.

Fica evidente então que o projeto do protótipo pode ser simplificado para um submódulo a ser replicado futuramente oito vezes, sendo essa a metodologia a ser usada daqui para frente.

A estrutura de potência segue o modelo apresentado na Figura 19, com quatro semicondutores do tipo MOSFET e um capacitor polarizado do tipo eletrolítico, em uma configuração de um inversor ponte completa.

Figura 19 - Estrutura de potência de um submódulo do conversor modular multinível.



Fonte: próprio autor.

3.1.1 Semicondutores de potência

A escolha do MOSFET de silício, quanto ao semicondutor de potência a ser utilizado, está ligada a tensão de bloqueio do conversor não possuir valor tão elevado, sendo desnecessária a utilização do IGBT ou de componentes a base de SiC/GaN (Carbeto de Silício/Nitreto de Gálio) visto uma frequência de comutação também não muito elevada.

O valor máximo da tensão de bloqueio das chaves pode ser dita como a tensão de barramento do capacitor de submódulo, que por característica do conversor é calculada como metade da tensão de pico de entrada, ou seja, 250V.

Não é de interesse deste trabalho um estudo mais detalhado quanto ao equacionamento da corrente instantânea das chaves, sendo utilizados os parâmetros necessários para determinação do semicondutor, os obtidos por simulação e apresentados por [3].

A utilização do MOSFET como semicondutor é de maior interesse pela necessidade do diodo em antiparalelo com o interruptor, visto a bidirecionalidade da corrente gerada pela característica CA-CA do conversor, sendo o mesmo já presente intrinsecamente no MOSFET e não necessariamente nos demais semicondutores possivelmente utilizáveis.

O interruptor escolhido foi o mesmo já existente no projeto original feito por [3], o STW20NM60 da *STMicroelectronics*®. Suas características elétricas relevantes ao projeto são apresentadas na Tabela 5.

Tabela 5 - Características elétricas do MOSFET STW20NM60.

PARÂMETROS	VALORES
TENSÃO DE BLOQUEIO	600 V
CORRENTE DE ENTRADA (I_{DS} MOSFET)	20 A
RESISTÂNCIA DE CONDUÇÃO ($R_{DS ON}$)	0,29 Ω
CAPACITÂNCIA DE ENTRADA (C_{ISS})	1500 pF
CAPACITÂNCIA DE SAÍDA (C_{OSS})	350 pF
CAPACITÂNCIA REVERSA (C_{RSS})	35 pF
TENSÃO DE LIMIAR (V_{TH})	5 V
<i>TURN-ON DELAY</i>	25 ns
<i>TURN-OFF DELAY</i>	45 ns
<i>RISE TIME</i>	20 ns
<i>FALL TIME</i>	11 ns
CORRENTE DO DIODO (I_{SD})	20 A

Fonte: próprio autor.

3.1.2 Capacitor de barramento

O capacitor de barramento é o responsável pelo armazenamento de energia nos submódulos e o elemento que define o conceito de cada submódulo como uma fonte de tensão controlada do modelo do MMC já apresentado.

A tensão limite dos capacitores é expressa pela metade da tensão de pico de entrada. Esse fator se deve às etapas de funcionamento do conversor apresentarem sempre dois submódulos ativos.

O cálculo da capacitância leva em conta a potência média consumida pelo submódulo além da componente frequencial que mais interfere na ondulação de tensão no componente, sendo essa a de menor ordem. Sua equação é um modelo simplificado da apresentada por [3]:

$$C = \frac{\frac{P_T}{N}}{2 \times f_{in} \times V_{inpeak}^2 \times [1 - (1 - \Delta V_c)^2]} = 105,21 \mu\text{F} \quad (2)$$

Pelo mesmo fator apresentado para o equacionamento da corrente do interruptor, a corrente eficaz do capacitor utilizada é a mesma mostrada em [3]. A Tabela 6 mostra os resultados de simulação para um MMC com dois submódulos por semibraço e uma modulação PD no sistema $2N+1$ para um capacitor de $470 \mu\text{F}$, calculado por [3] e não apresentado aqui devido a dificuldade de determinação dos parâmetros de equacionamento.

Tabela 6 - Valores simulados para especificação dos interruptores e capacitores do submódulo.

PARÂMETROS	VALORES
TENSÃO DE BLOQUEIO TRANSISTORES	250 V
TENSÃO DE BLOQUEIO DIODOS	250 V
CORRENTE MÉDIA MÁXIMA TRANSISTORES	0,99 A
CORRENTE EFICAZ MÁXIMA TRANSISTORES	1,79 A
CORRENTE MÉDIA MÁXIMA DIODO	0,985 A
CORRENTE EFICAZ MÁXIMA DIODO	1,84 A
CORRENTE EFICAZ CAPACITOR	1,32 A

Fonte: próprio autor baseado em [3].

O capacitor encontrado no protótipo apresentado por [3] é do tipo eletrolítico e produzido pela EPCOS®. Suas características elétricas (Tabela 7) são adequadas ao conversor, sendo o mesmo também utilizado neste trabalho.

Tabela 7 - Características elétricas do capacitor de barramento.

PARÂMETROS	VALORES
CAPACITÂNCIA	470 μ F
TENSÃO MÁXIMA	450 V
RIPPLE DE CORRENTE	2,7 A
R_{SE}	280 m Ω

Fonte: próprio autor.

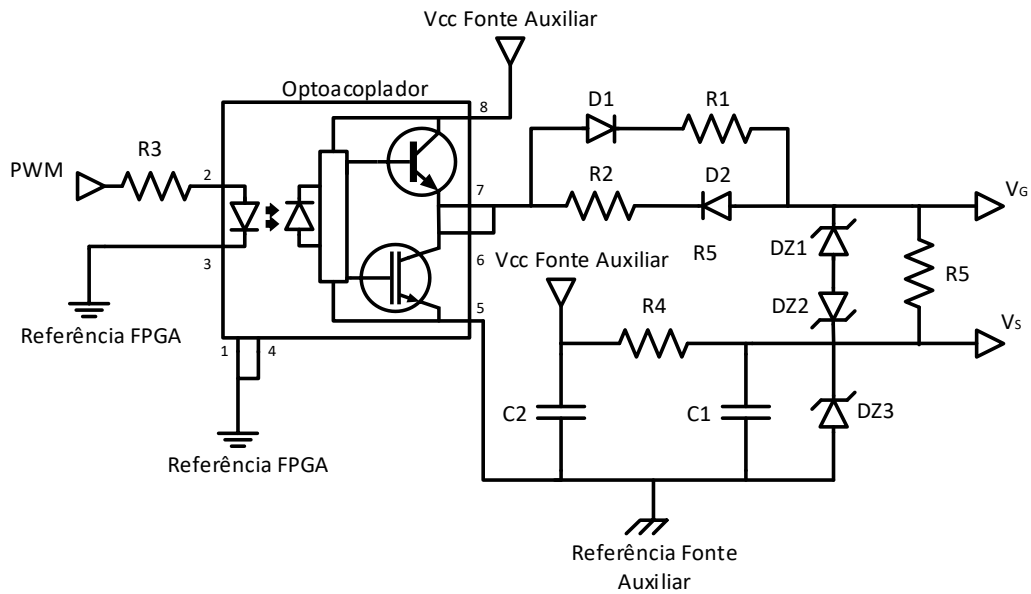
3.2 DRIVER

Define-se *driver* como o circuito de comando responsável pelo condicionamento do sinal de gatilho dos componentes semicondutores ativos. Essa adequação é necessária, visto a maioria dos equipamentos geradores dos pulsos de gatilho não terem capacidade de corrente suficiente ou nível de tensão de saída adequado para levar o interruptor até a região de saturação, essa a mais usada em aplicações de eletrônica de potência.

Para o MMC em questão é preciso levar em consideração os seguintes fatores quanto a determinação da topologia e componentes dos drivers:

- Necessidade de drivers isolados para acionamento das chaves visto a flutuação da tensão de *source* de todos os interruptores;
- Tensão de gatilho com nível baixo negativo, diminuindo os tempos de gatilho e minimizando a possibilidade de curto circuito de braço por uma condução espontânea dos interruptores devido ao efeito *latch-up* [23].

O circuito proposto para concretizar os tópicos mostrados acima é o da Figura 20. Essa topologia reduzida apresenta proteção contra sobretensão de *gate* e tensão negativa, mas sua robustez e funcionalidade são as mais adequadas para o projeto em pauta. A estrutura de tempo morto também é feita digitalmente. Todas as nomenclaturas de componentes utilizadas nos subitens deste capítulo se referenciam aos componentes apresentados na Figura 20.

Figura 20 - Modelo de *driver* utilizado.

Fonte: próprio autor.

3.2.1 Circuito de isolamento óptica do sinal

De maneira a se isolar o sinal de gatilho gerado pelo FPGA do circuito de potência, optou-se pela utilização de um optoacoplador trabalhando na região de corte/saturação.

O optoacoplador escolhido foi o HCPL3120 da AVAGO®, que conta com um circuito *totem pole* capaz de fornecer 2,5 A de corrente de pico já acoplado ao circuito integrado. Essa característica proporciona uma diminuição considerável do *layout* pois dispensa a utilização de transistores do tipo BJT para montagem do *totem pole* externo.

Quanto aos parâmetros do optoacoplador em questão, é necessário um resistor que limita a corrente de entrada (R_3) provinda do FPGA em uma tensão de 3,3 V. Pela informações de V_{Fmed} de 1,55 V (tensão direta do LED) e corrente máxima e mínima de condução (I_{Fmax} e I_{Fmin}) contidos no *datasheet* do fabricante, é possível determinar o valor de R_3 por:

$$I_{Fmed} = \frac{I_{Fmax} + I_{Fmin}}{2} = \frac{0,016 + 0,007}{2} = 0,012 \text{ A} \quad (3)$$

$$R_3 = \frac{V_{FPGA} - V_{Fmed}}{I_{Fmed}} = \frac{3.3 - 1.55}{0.012} = 152,174 \Omega \quad (4)$$

Prezando a utilização de componentes com valores comerciais optou-se pelo uso de um resistor de 150 Ω .

3.2.2 Resistores de *gate*

A determinação do resistor de *gate* está ligada a velocidade de bloqueio e entrada em condução do interruptor. Seu cálculo se baseia numa estrutura RC alimentada por um degrau de carga. A capacitância adotada é a de entrada C_{iss} , desconsiderando-se dessa maneira a capacitância C_{gd} , que possui valor muito menor.

Os valores de tensão de gatilho escolhidos foram $V_{g+} = 15$ V e $V_{g-} = -9$ V, além do valor do tempo de subida (t_{rise}) tornando o cálculo do resistor de *gate* (R_1 , R_2):

$$R_g = - \left[\frac{t_{rise}}{\ln \left(\frac{V_{th} - V_{pico}}{V_{g-} - V_{pico}} \right) \times C_{gs}} \right] = 121,086 \Omega \quad (5)$$

Adicionou-se ainda um diodo Schottky 1N5819 (D_1 , D_2) junto ao resistor de *gate* e uma estrutura idêntica a essa em antiparalelo. Essa estrutura possibilita um controle independente dos tempos de subida e descida do interruptor, permitindo futuras adaptações ao projeto. Optou-se, inicialmente, por um resistor de 100 Ω para o projeto.

3.2.3 Fonte de tensão negativa

De modo a se utilizar apenas uma fonte de tensão externa para alimentação dos drivers, optou-se pela utilização de um circuito grampeador de tensão, formado pela associação paralela do capacitor C_1 e o diodo zener D_{Z3} .

A alimentação do capacitor, escolhido como 100 nF para eliminação de possíveis ruídos de alta frequência, é feita pela mesma fonte que alimenta o driver, porém seu valor é grampeado pela tensão nominal do zener, determinada como sendo de 9,1 V e optando-se assim pelo modelo 1N4739.

Nota-se que a alocação dessa estrutura no *source* do MOSFET fixa a tensão nesse ponto em 9,1 V, sendo necessária uma alimentação de 24 V para que quando o optoacoplador habilite a condução do MOSFET a tensão diferencial V_{gs} seja aproximadamente 15 V, conforme as especificações já citadas. No caso em que o optoacoplador habilita o bloqueio do MOSFET a referência da fonte auxiliar é refletida para a saída do mesmo e a tensão V_{gs} se torna aproximadamente -9 V.

O único cálculo necessário para essa etapa é a determinação do resistor limitador da corrente do zener. Os dados extraídos do *datasheet* do modelo do zener escolhido são apresentados na Tabela 8.

Tabela 8 - Correntes de trabalho diodo zener 1N4739.

PARÂMETRO	VALORES
CORRENTE MÍNIMA DE REGULAÇÃO (I_{zmin})	0,5 mA
CORRENTE MÁXIMA DE REGULAÇÃO (I_{zmax})	100 mA

Fonte: próprio autor.

O cálculo do resistor R_4 é definido por:

$$R_{4min} = \frac{V_{cc} - V_z}{I_{zmin}} = 1,98 \text{ k}\Omega \quad (6)$$

$$R_{4max} = \frac{V_{cc} - V_z}{I_{zmax}} = 149 \text{ }\Omega \quad (7)$$

Onde V_{cc} e V_z são as tensões de alimentação e nominal do zener, respectivamente. Optou-se por um resistor de 1 k Ω , estando o mesmo na metade da faixa de resistores calculados.

3.2.4 Demais componentes

Entre os demais componentes utilizados na estrutura de *driver* são possíveis citar:

- C_2 = Capacitor para eliminação dos ruídos de alta frequência provindos da fonte auxiliar;

- R_5 = Resistor de *pull down* da chave, responsável por garantir o bloqueio da chave em caso de algum defeito nos pulsos de gatilho;
- D_{Z1} e D_{Z2} = Diodos zener de proteção em antiparalelo para proteção contra sobretensão de *gate*. Utilizou-se valores de 18 V como os limites de tensão de *gate*.

3.3 FONTE AUXILIAR

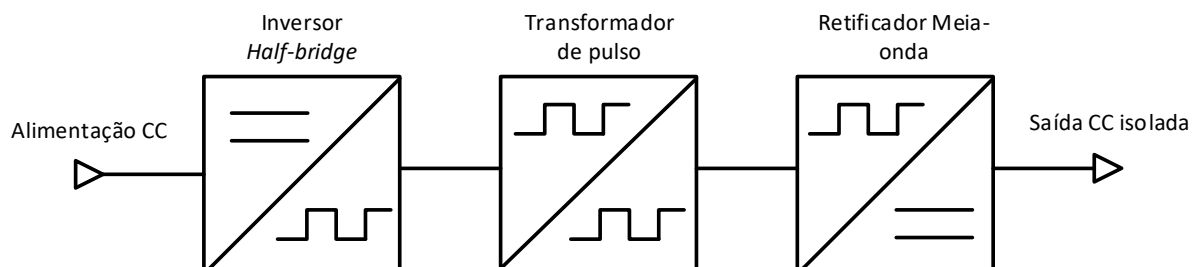
A solução inicialmente apresentada por [3] é conforme mostrada na Figura 21.

A alimentação CC era feita por uma fonte CC externa de bancada ajustada para 15V. Um inversor *half-bridge* utilizando um *driver* do tipo *bootstrap* era responsável pela conversão do sinal de alimentação CC em uma forma de onda CA quadrada com frequência de 200 kHz.

Esta forma de onda quadrada alimentava diversos transformadores de pulso, responsáveis pela isolação galvânica da fonte auxiliar tanto dos drivers quanto dos circuitos de condicionamento de sinal a serem apresentados nos demais itens deste capítulo. Com relação de transformação unitária, os transformadores de pulso alimentavam retificadores meia-onda capazes de converter novamente o sinal em uma tensão CC que alimentaria os *drivers*.

Essa solução, apesar de funcional, apresenta desvantagens como o volume excessivo, visto a quantidade de transformadores de pulso existentes e as longas distâncias percorridas em cabeamento das conexões entre placas.

Figura 21 - Metodologia de fonte isolada utilizada por [3].



Fonte: próprio autor.

Como a frequência de comutação do inversor *half-bridge* era muito alta, juntamente com os cabamentos muito longos, havia uma forte interferência

eletromagnética do mesmo nos *drivers*, o que poderia levar a comutações espontâneas dos interruptores, comprometendo o funcionamento do protótipo.

Entre as soluções possíveis como fonte auxiliar optou-se pela estrutura apresentada por [24], já que a mesma foi projetada especificamente para o projeto em questão.

Tal estrutura mostra um conversor do tipo *flyback* com múltiplas saídas isoladas responsáveis pela alimentação de cada um dos *drivers*, assim como dos circuitos de condicionamento de sinal. O projeto do *layout* ainda foi feito para ser acoplado a um conector do tipo barra de pinos em 90° no circuito principal do submódulo.

As especificações gerais utilizadas para o projeto do *flyback* são apresentadas na Tabela 9.

A tensão de entrada foi escolhida neste valor para ser provinda de alguma outra fonte isolada. Essa alimentação pode futuramente ser feita pelo próprio barramento do submódulo.

A potência proposta para cada saída foi escolhida para dar liberdade de alteração do interruptor ou do resistor de *gate*, não sendo a potência fornecida pela fonte auxiliar uma limitação neste caso.

Tabela 9 - Especificações de projeto do conversor *flyback*.

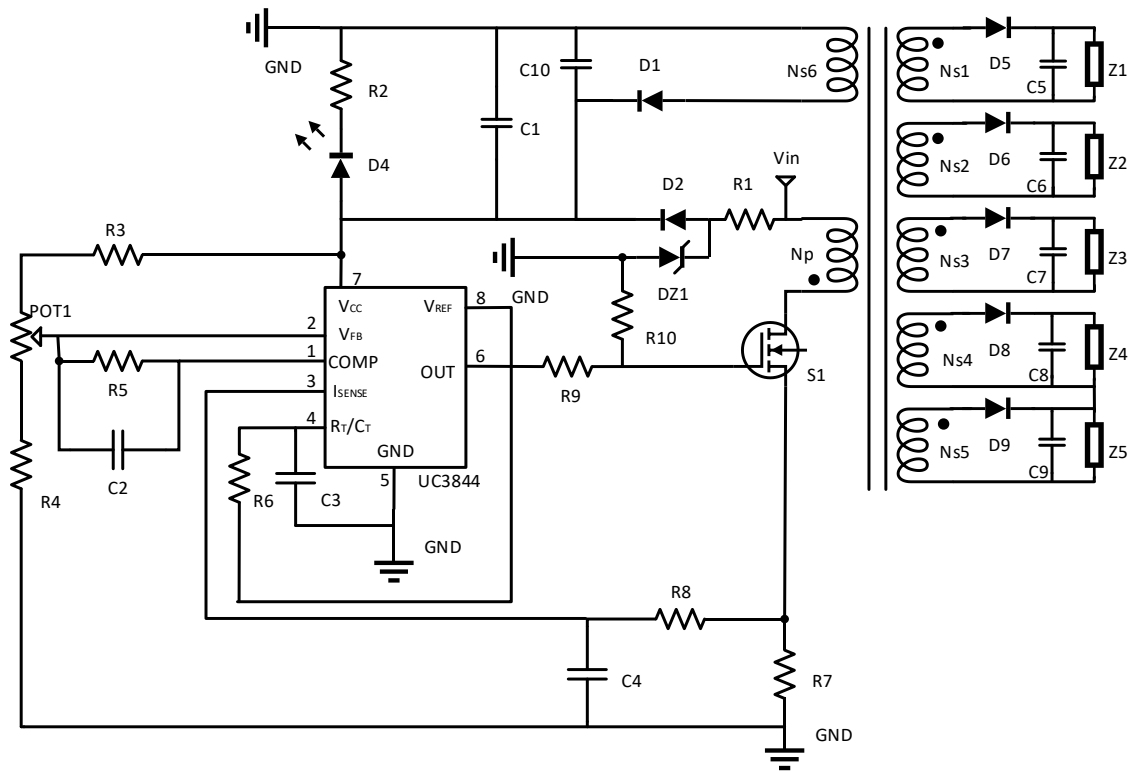
PARÂMETRO	VALORES
TENSÃO DE ENTRADA (V_{in})	30 V
POTÊNCIA DE SAÍDA INDIVIDUAL (P_o)	1 W
NÚMERO DE SAÍDAS	5
FREQUÊNCIA DE CHAVEAMENTO (f_s)	100 kHz
MÁXIMA RAZÃO CÍCLICA (D_{max})	0,3
ONDULAÇÃO DE TENSÃO DA SAÍDA (ΔV_o)	5% de V_o
EFICIÊNCIA ESTIPULADA (η)	0,7

Fonte: próprio autor.

Do número total de saídas, três delas são de 24 V e alimentam os *drivers* e as outras duas foram reguladas para possibilitarem uma alimentação simétrica de 15 V para os circuitos de condicionamento de sinal. Utiliza-se como controlador do conversor o circuito integrado UC3844, capaz de realizar a modulação, acionamento e controle de conversores CC de frequência fixa.

O esquemático do *flyback* é apresentado na Figura 22.

Figura 22 - Esquemático flyback utilizado como fonte auxiliar.



Fonte: próprio autor.

Todas as nomenclaturas de componentes utilizadas nos subitens desse capítulo se referenciam aos componentes apresentados na Figura 22.

3.3.1 Dimensionamento do indutor acoplado

Para o dimensionamento do indutor acoplado do *flyback* utilizou-se os parâmetros apresentados na Tabela 10.

Tabela 10 - Parâmetros de cálculo utilizados no projeto do conversor *flyback*.

PARÂMETRO	VALORES
DENSIDADE DE CORRENTE MÁXIMA (J_{max})	500 A/cm ²
DENSIDADE DE FLUXO MAGNÉTICO MÁXIMO (ΔB)	0,18 T
FATOR DE UTILIZAÇÃO DA JANELA DO NÚCLEO (k_w)	0,4
FATOR DE UTILIZAÇÃO DO PRIMÁRIO (k_p)	0,5
PERMEABILIDADE DO AR (μ_o)	$4.\pi.10^{-7}$ H/m

Fonte: próprio autor.

Têm-se então uma área de janela mínima de:

$$AeAw = \frac{1,1 \times 5 \times P_o}{k_p \times k_w \times J_{max} \times f_s \times \Delta B \times \eta} = 0,031 \text{ cm}^4 \quad (8)$$

Para um núcleo de ferrite 20/10/5 então:

Tabela 11 - Características físicas núcleo de ferrite 20/10/5.

PARÂMETRO	VALORES
ÁREA EFETIVA (Ae)	26 mm ²
ÁREA DA JANELA (Aw)	31 mm ²
$AeAw$	81 cm ⁴

Fonte: próprio autor.

Normalizando a equação do gap para cada um dos braços do núcleo magnético, têm-se então:

$$l_{gap} = \frac{2 \times \mu_o \times P_o}{\eta \times \Delta B^2 \times Ae \times f_s} = 0,046 \text{ mm} \quad (9)$$

Para se determinar o número de espiras do primário, e conseqüentemente dos demais enrolamentos, é necessário determinar a corrente de pico do primário, que também é a corrente de pico do interruptor.

$$I_{p_{peak}} = \frac{2 \times 5 \times P_o}{V_{in} \times D_{max} \times \eta} = 1,764 \text{ A} \quad (10)$$

Tornando o cálculo do número de espiras como:

$$N_p = \frac{\Delta B \times 2 \times l_{gap} \times 10^7}{4 \times \pi \times I_{p_{peak}}} = 10,452 \cong 11 \quad (11)$$

$$N_{s24} = \frac{N_p \times (1 - D_{max}) \times (24 + V_D)}{V_{in_{min}} \times D_{max}} = 23,765 \cong 24 \quad (12)$$

$$N_{s15} = \frac{N_p \times (1 - D_{max}) \times (15 + V_D)}{V_{in_{min}} \times D_{max}} = 15,21 \cong 15 \quad (13)$$

A indutância magnetizante nesse caso, vista pelo lado primário, fica:

$$L_{mag} = \frac{V_{inmin} \times D_{max}}{f_s \times I_{ppeak}} = 46 \text{ uH}$$

Sendo V_D e V_{inmin} a queda de tensão nos diodos da saída e a tensão mínima de entrada permitida de 1 V e 27 V, respectivamente.

Como o circuito integrado de controle utilizado necessita de uma tensão de realimentação, adotou-se também um enrolamento adicional de 24 V de tensão, sendo seu número de espiras já calculado.

Os condutores utilizados nesses enrolamentos podem ser calculados se utilizando das correntes eficazes do primário, conseqüentemente do interruptor, e dos secundários, conseqüentemente dos diodos respectivos de cada saída. Dessa maneira:

$$I_{prms} = I_{ppeak} \times \sqrt{\frac{D_{max}}{3}} = 0,558 \text{ A} \quad (14)$$

$$I_{d24rms} = \frac{\frac{P_o}{24}}{1-D_{max}} \times \sqrt{\frac{1-D_{max}}{3}} = 0,029 \text{ A} \quad (15)$$

$$I_{d15rms} = \frac{\frac{P_o}{15}}{1-D_{max}} \times \sqrt{\frac{1-D_{max}}{3}} = 0,046 \text{ A} \quad (16)$$

Possibilita-se assim a determinação das áreas das seções transversais mínimas necessárias:

$$S_{cob_p} = \frac{I_{prms}}{J_{max}} = 0,00112 \text{ cm}^2 \quad (17)$$

$$S_{cob_{s24}} = \frac{I_{d24rms}}{J_{max}} = 0,000058 \text{ cm}^2 \quad (18)$$

$$S_{cob_{s15}} = \frac{I_{d15rms}}{J_{max}} = 0,000092 \text{ cm}^2 \quad (19)$$

O máximo diâmetro de fio que pode ser usado, visto o efeito pelicular, é determinado por:

$$\Delta_{max} = \frac{15}{\sqrt{f_s}} = 0,04743 \text{ cm} \quad (20)$$

Portanto, o máximo fio que pode ser utilizado é equivalente ao fio esmaltado AWG25.

Optando-se pelo uso no enrolamento primário de um fio AWG26 e em todos os secundários de um fio AWG31, calculou-se a necessidade de enrolamentos em paralelo. Considerou-se a área transversal dos fios 0,001287 cm² e 0,000404 cm² respectivamente.

$$\frac{S_{cob_p}}{S_{cob_{AWG26}}} = 0,867 \quad (21)$$

$$\frac{S_{cob_{s24}}}{S_{cob_{AWG31}}} = 0,142 \quad (22)$$

$$\frac{S_{cob_{s15}}}{S_{cob_{AWG31}}} = 0,228 \quad (23)$$

Tornando assim desnecessária a utilização de condutores em paralelo em todos os enrolamentos.

O último cálculo feito é a capacidade de execução da estrutura. A mesma é calculada utilizando-se da área ocupada pelas espiras e pela área de janela do núcleo com o carretel.

Sendo assim, utilizou-se a diâmetro de cada fio considerando também o esmalte para cálculo das áreas respectivas:

Tabela 12 - Diâmetro dos fios esmaltados utilizados.

PARÂMETRO	VALORES
DIÂMETRO DO FIO AWG26 ESMALTADO ($S_{cob_{AWG26+esmalte}}$)	0,004013 cm ²
DIÂMETRO DO FIO AWG31 ESMALTADO ($S_{cob_{AWG31+esmalte}}$)	0,000568 cm ²

Fonte: próprio autor.

$$K_{U_p} = S_{cob_{AWG26+esmalte}} \times N_p = 0,044 \text{ cm}^2 \quad (24)$$

$$K_{U_{s24}} = S_{cob_{AWG31+esmalte}} \times N_{s24} = 0,014 \text{ cm}^2 \quad (25)$$

$$K_{U_{s15}} = S_{cob_{AWG31+esmalte}} \times N_{s15} = 0,00852 \text{ cm}^2 \quad (26)$$

Levando a capacidade de execução para:

$$K_U = \frac{K_{U_p} + (4 \times K_{U_{s24}}) + (2 \times K_{U_{s15}})}{Aw} = 0,445 \quad (27)$$

Segundo [24], uma capacidade de execução menor que 0,7 é aceitável para concretização do indutor acoplado. Sendo o valor encontrado muito menor que o limite, o projeto é executável.

3.3.2 Dimensionamento do interruptor

A determinação do interruptor (S1) inicialmente é feita relativa a topologia de semicondutor a ser utilizada. Pelos níveis de tensões de trabalho, a baixa corrente/potência e a média-alta frequência de comutação, o MOSFET é o mais adequado para a aplicação. Dessa maneira os parâmetros que necessitam atenção, segundo o modelo do MOSFET, são a tensão de bloqueio e a corrente eficaz *drain-source*. O cálculo da corrente eficaz foi apresentado no item anterior deste mesmo capítulo, visto que a mesma é idêntica a corrente eficaz do primário do indutor acoplado. A máxima tensão de bloqueio, idealizada, da chave pode ser calculada em função da máxima tensão de entrada aceita, 33 V neste caso, e da maior razão cíclica possível:

$$V_{DS_{peak}} = V_{in_{max}} \times \frac{1}{1-D_{max}} = 47,143 \text{ V} \quad (28)$$

Visto a necessidade de menor layout possível do conversor, optou-se por uma chave do tipo SMD (*Surface Mounting Device*) que possibilitaria o uso do dissipador como sendo o próprio cobre da PCB (*Printed Circuit Board*), além do encapsulamento

reduzido. Afim de minimizar possíveis problemas de sobretensão causados principalmente pelo efeito da indutância de dispersão do indutor acoplado, optou-se pela escolha de um MOSFET com tensão de bloqueio mais elevada, tornando desnecessária a utilização de um *snubber*.

Por disponibilidade e praticidade utilizou-se o MOSFET de modelo STD7N52K3 da fabricante *STMicroelectronics*®. Suas especificações são mostradas na Tabela 13.

Tabela 13 - Características elétricas do MOSFET STD7N52K3.

PARÂMETRO	VALORES
TENSÃO MÁXIMA DE BLOQUEIO (V_{DSmax})	525 V
CORRENTE MÁXIMA DE ENTRADA (I_{DSmax})	6 A
TEMPO DE SUBIDA (t_r)	11 ns
TEMPO DE DESCIDA (t_f)	19 ns

Fonte: próprio autor.

3.3.3 Dimensionamento dos diodos de saída

Diodos comutados em alta frequência são especificados pela sua máxima tensão reversa e também pela sua corrente média, além da topologia relacionado a frequência. Neste caso optou-se por diodos do tipo ultrarrápido (*D5, D6, D7, D8 e D9*).

Como a corrente média dos diodos de saída é a mesma que a da carga, o cálculo pode ser simplificado para:

$$I_{D24_{med}} = \frac{P_o}{24} = 42 \text{ mA} \quad (29)$$

$$I_{D15_{med}} = \frac{P_o}{15} = 67 \text{ mA} \quad (30)$$

A tensão de pico reversa também pode ser expressa em função das relações de espiras por:

$$V_{D24_{peak}} = 24 + V_{in_{max}} \times \frac{N_{s24}}{N_p} = 96 \text{ V} \quad (31)$$

$$V_{D15_{peak}} = 15 + V_{in_{max}} \times \frac{N_{s15}}{N_p} = 60 \text{ V} \quad (32)$$

Dêu-se preferência a componentes do tipo SMD nesta etapa também. Novamente por disponibilidade no laboratório utilizou-se os diodos de modelo RS1J da fabricante *Fairchild*®. Suas especificações são mostradas na Tabela 14.

Tabela 14 - Características elétricas do diodo RS1J.

PARÂMETRO	VALORES
TENSÃO REVERSA MÁXIMA (V_{RRmax})	600 V
CORRENTE MÉDIA MÁXIMA ($I_{Fmedmax}$)	1 A
TEMPO DE RECUPERAÇÃO REVERSA (t_{RR})	250 ns

Fonte: próprio autor.

3.3.4 Dimensionamento dos filtros de saída

O filtro de saída do *flyback* é formado por um capacitor eletrolítico de baixa RSE (Resistência Série Equivalente). Sua determinação é feita tanto em função da ondulação máxima de tensão de saída desejada quanto da corrente máxima que circula pelo mesmo.

$$C_{o24} = \frac{P_o \times D_{max}}{f_s \times \Delta V_o \times (24)^2} = 267 \text{ nF} \quad (33)$$

$$C_{o15} = \frac{P_o \times D_{max}}{f_s \times \Delta V_o \times (15)^2} = 104,2 \text{ nF} \quad (34)$$

A corrente máxima que circula pelo capacitor é a mesma que passa pelo diodo de saída, portanto:

$$I_{D24max} = \frac{I_{D24med}}{1 - D_{max}} = 60 \text{ mA} \quad (35)$$

$$I_{D15max} = \frac{I_{D15med}}{1 - D_{max}} = 95 \text{ mA} \quad (36)$$

Tornando o cálculo da maior resistência interna dos capacitores como:

$$RSE_{24max} = \frac{\Delta V_o \times 24}{I_{D24max}} = 7,875 \Omega \quad (37)$$

$$RSE_{24max} = \frac{\Delta V_o \times 15}{I_{D15max}} = 20,16 \Omega \quad (38)$$

Optou-se pela utilização do mesmo capacitor da EPCOS® em todas as saídas por seu volume reduzido (C5, C6, C7, C8, C9 e C10). Suas especificações são mostradas na Tabela 15.

Tabela 15 - Características elétricas capacitor 10 µF.

PARÂMETRO	VALORES
CAPACITÂNCIA (C_{out})	10 µF
TENSÃO MÁXIMA (V_{max})	50 V
RESISTÊNCIA SÉRIE EQUIVALENTE (RSE)	931 mΩ

Fonte: próprio autor.

3.3.5 Dimensionamento dos componentes do CI UC3844

3.3.5.1 Sensor de corrente

O controle em modo de corrente do CI exige uma medição da corrente do MOSFET através de um resistor *shunt* (R7). Para o cálculo desse resistor será considerado uma tensão máxima de 1 V sobre o mesmo (tensão sugerida na folha de dados do CI [25]). Por limitação dos valores comerciais de resistores, decidiu adotar-se um resistor de 0,22 Ω e avaliar seu desempenho.

$$V_{maxR7} = I_{p_{peak}} \times R7 = 0,381 \text{ V} \quad (39)$$

$$P_{R7} = R7 * I_{p_{rms}}^2 = 0,068 \text{ W} \quad (40)$$

O resistor estipulado então é uma solução plausível e sua especificação de potência foi de ¼ W.

De forma atenuar ruídos de medição de alta frequência é adequado o uso de um filtro passa-baixas de primeira ordem. Adotou-se a topologia RC com uma

frequência de corte uma década acima da frequência de comutação. Estipulando o resistor R8 como 10 kΩ, têm-se então:

$$C_4 = \frac{1}{2 \times \pi \times R_8 \times f_s} 159 \text{ pF} \quad (41)$$

Como o valor comercial de capacitores mais próximo é de 150 pF, utilizou-se um modelo cerâmico do mesmo.

3.3.5.2 Oscilador

O oscilador tem como funcionalidade determinar a frequência de comutação do interruptor do conversor a se controlar, ou seja, é o mesmo quem determina a frequência de comutação da estrutura.

Sua estrutura é formada por um par RC (R6 e C3) e do datasheet da referência [25] foi extraída a equação (42).

Considerando-se R6 = 10kΩ:

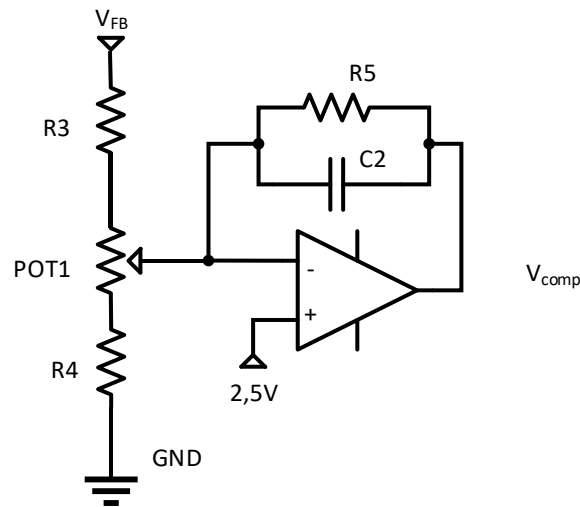
$$C_3 = \frac{72}{2 \times f_s \times R_6} = 860 \text{ pF} \quad (42)$$

Por necessidade de adaptação para valores comerciais, utilizou-se um capacitor de 1 nF.

3.3.5.3 Controlador

Pela análise apresentada em [24] uma opção interessante de compensador seria um filtro passa-baixas ativo. Sua topologia é apresentada na Figura 23.

Figura 23 - Diagrama elétrico do compensador passa-baixas.



Fonte: Próprio autor, baseado em [26].

A função de transferência do controlador pode ser expressa por:

$$G_{Cont} = \frac{V_{comp}(s)}{V_{FB}(s)} = \frac{R_5}{\frac{R_3}{R_4 + POT_1}} \times \frac{1}{1 + R_6 \times C_6 \times s} \quad (43)$$

Onde a tensão na porta não inversora é fixada no próprio CI e o $POT1$ é utilizado apenas para possibilitar pequenos ajustes na tensão de saída e será desconsiderado nos cálculos. Seu valor escolhido foi de 1 k Ω .

A determinação dos componentes mostrados na Figura 23 é feita pela dedução e análise da equação (43), sendo que a mesma já foi apresentada por [24] e não será explorada neste trabalho. Baseado nas equações encontradas por [24], determina-se os componentes do controlador:

$$C_6 = \frac{1}{2 \times \pi \times f_z \times R_5} = 15,92 pF \quad (44)$$

Onde R_5 foi estipulado como sendo 10 k Ω e a frequência de corte escolhida para o filtro foi de 10 vezes maior que a de comutação. O capacitor escolhido, por valores comerciais, foi de 15 pF.

Os resistores R_3 e R_4 formam um divisor resistivo que deve ajustar a tensão de realimentação (V_{FB}) para a tensão da porta não inversora do amplificador operacional de 2,5 V. Como já determinada a tensão de realimentação é de 24 V. Para

uma corrente de circulação pelo resistor de maior valor de aproximadamente 1 mA. Dessa forma:

$$R_3 = \frac{24}{0,001} = 24 \text{ k}\Omega \quad (45)$$

$$R_4 = \frac{2,5 \times R_3}{(24 - 2,5)} = 2,56 \text{ k}\Omega \quad (46)$$

Por limitações quanto aos valores comerciais optou-se pela utilização de R_3 e R_4 como 22 k Ω e 2,2 k Ω respectivamente, compensando o valor de de R_4 com o potenciômetro.

3.3.5.4 Resistor de gate

A saída do CI responsável pelo acionamento do interruptor já possui um circuito do tipo totem pole embutido. Sua limitação de corrente, entretanto, é de 1 A de pico apenas, tanto fornecida quanto absorvida.

Para se calcular o resistor de gate (R_9) então, utilizou-se da equação (47) fornecida por [25] que já considera um valor seguro para o mesmo.

$$R_9 = \frac{t_{\%} \times f_s}{C_{iss} \times \ln \frac{1}{1 - \frac{V_{GP}}{V_{GS}}}} = 97,95 \Omega \quad (47)$$

Sendo:

- $t_{\%} = 0,05$ - a parcela de tempo do período correspondente ao tempo de condução do MOSFET;
- $C_{iss} = 2800$ pF - capacitância de entrada do MOSFET;
- $V_{GP} = 5$ V – tensão de *threshold* do MOSFET;
- $V_{GS} = 30$ V – tensão máxima de gatilho do MOSFET.

O valor comercial escolhido para R_9 foi de 100 Ω .

3.3.5.5 Alimentação

Para fornecer a tensão de alimentação do UC3844 utilizou-se um diodo zener de 20 V (*DZ1*) que grampeia a tensão no pino 7 do CI afim de não danificá-lo por sobretensão de alimentação. De forma a limitar a corrente que passa pelo zener, calculou-se *R1* baseado na máxima e mínima corrente de regulação do modelo 1N4747, apresentados na Tabela 16.

Tabela 16 - Correntes de trabalho do diodo zener 1N4747.

PARÂMETRO	VALORES
CORRENTE MÍNIMA DE REGULAÇÃO (I_{zmin})	0,25 mA
CORRENTE MÁXIMA DE REGULAÇÃO (I_{zmax})	45 mA

Fonte: próprio autor.

$$R_{1max} = \frac{30 - V_{DZ1}}{0,045} = 222,22 \Omega \quad (48)$$

$$R_{1min} = \frac{30 - V_{DZ1}}{0,00025} = 40 \text{ k}\Omega \quad (49)$$

Decidiu-se por um valor de resistência de 680 Ω .

Após o início de chaveamento, contudo, a alimentação do CI é feita pelo enrolamento que regula a tensão de saída. Para habilitar essa estrutura utilizou-se um diodo em série a alimentação do CI (*D2*) que entra em bloqueio quando a tensão de realimentação é maior que a grampeada pelo zener. O diodo escolhido foi um modelo SMD GS1J da WTE - *Power Semiconductors*®. Suas características são mostradas na Tabela 17.

Tabela 17 - Características elétricas do diodo GS1J.

PARÂMETRO	VALORES
TENSÃO REVERSA MÁXIMA (V_{RRmax})	600 V
CORRENTE MÉDIA MÁXIMA ($I_{Fmedmax}$)	1 A
TEMPO DE RECUPERAÇÃO REVERSA (t_{RR})	2,5 μ s

Fonte: próprio autor.

3.3.6 Demais componentes

Entre os demais componentes utilizados no conversor é possível citar:

- *R10* – resistor de *pull down*. Sua funcionalidade é garantir que a capacitância de entrada do MOSFET descarregue, e conseqüentemente bloqueie, em caso de falha de pulsos de gatilho;
- *D4* – LED utilizado para sinalizar que a alimentação chega ao conversor;
- *R2* – resistor que limita a corrente do LED *D4* para aproximadamente 4 mA. Seu valor é calculado por:

$$R_2 = \frac{20}{0,004} = 5 \text{ k}\Omega \quad (50)$$

Utilizou-se *R2* como 4,7 k Ω .

3.4 CONDICIONADORES DE SINAIS

Condicionadores de sinal são circuitos eletrônicos que adaptam algum sinal para leitura em algum dispositivo de controle ou visualização, possibilitando estratégias diversas de controle tanto de tensão quanto corrente, de entrada ou de saída.

Para o funcionamento do conversor modular multinível é necessário monitoramento constante das tensões dos capacitores de cada submódulo, assim como da corrente que circula por cada semibraço. Isso se dá pelo fato das estratégias de modulação utilizadas não utilizarem os capacitores de cada semibraço de forma igual, fazendo com que a tensão armazenada nos mesmos fique naturalmente desbalanceada.

Como as tensões de cada submódulo apresentam referenciais diferentes, uma medição isolada é necessária. Medições isoladas lineares, como optoacopladores ou sensores Hall de tensão tem alto custo financeiro e foram eliminadas como possibilidade para o conversor, visto o número elevado de componentes a ser utilizados. Também há de se frisar que a modulação será feita por um FPGA, que possui entradas AD limitadas, assim como a maioria dos controladores digitais.

As soluções possíveis para medição são topologias que utilizam VCO (*Voltage Controlled Oscillator* – Oscilador Controlado por Tensão) ou um conversor AD (Analógico - Digital) do tipo serial. No projeto original do MMC, [3] optou pela segunda alternativa, por ser uma topologia mais simples e de menor custo. A mesma será atualizada e reutilizada neste projeto.

O circuito contempla dois estágios independentes, um estágio de condicionamento propriamente dito que adapta o sinal elétrico para um valor em tensão aceito pela maioria dos circuitos eletrônicos e outro estágio de envio isolado serial para o FPGA.

3.4.1 Conversor AD – serial

A estrutura em questão é como mostrada na Figura 24 e todas as nomenclaturas de componentes utilizadas neste subitem se referenciam aos apresentados na mesma.

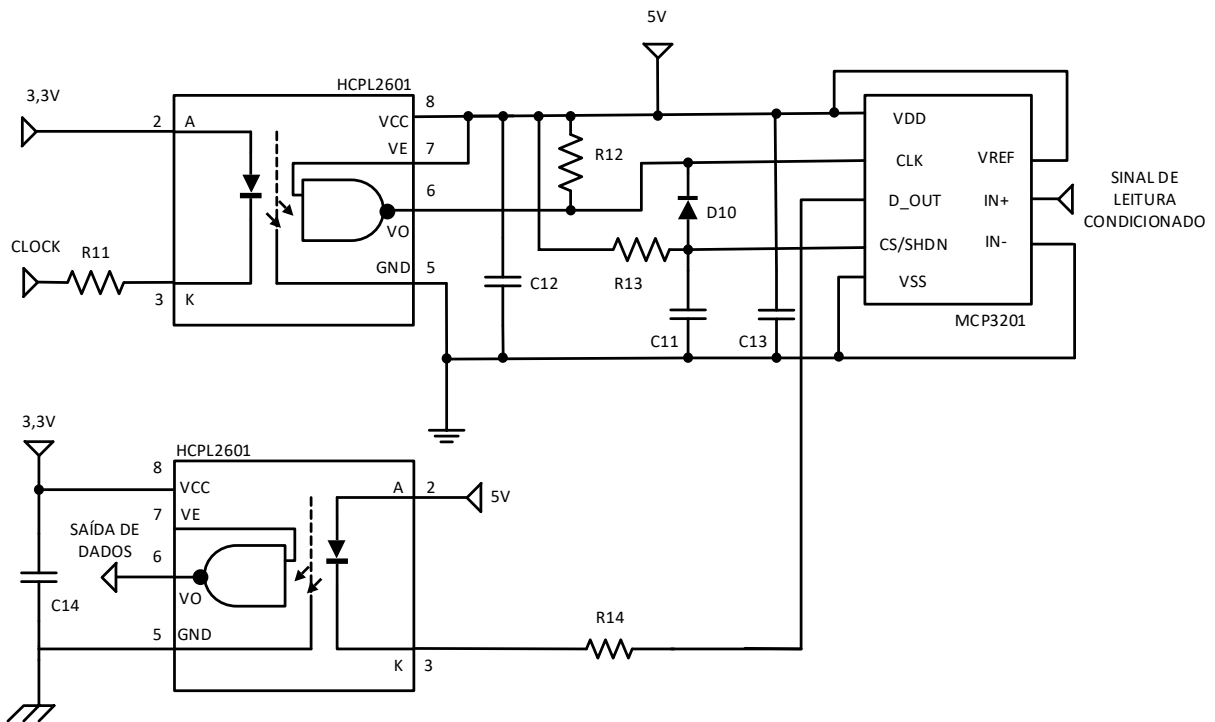
Sua topologia conta com três circuitos integrados, sendo um deles o conversor AD serial em si e os demais sendo optoacopladores. Os optoacopladores utilizados são o HCPL2601 AVAGO – *Technologies*®. Suas regiões de trabalho também são as de saturação/bloqueio, sendo ideais para aplicações que utilizam *clock*. Suas especificações são mostradas na Tabela 18.

Tabela 18 - Características elétricas do optoacoplador HCPL2601.

PARÂMETRO	VALORES
CORRENTE DE ENTRADA MÁXIMA (I_{FLmax})	20 mA
CORRENTE DE ENTRADA RECOMENDADA (I_{FL})	5-15 mA
RESISTOR DE <i>PULL-UP</i> RECOMENDADO	330 – 4 k Ω
VELOCIDADE MÁXIMA DE COMUTAÇÃO	10 MBd

Fonte: próprio autor.

Figura 24 - Topologia de conversão AD serial isolada utilizada.



Fonte: próprio autor.

A necessidade de dois optoacopladores se dá pelo fato do conversor AD precisar de um *clock* externo para funcionamento, que também será feito pelo FPGA. Dessa forma um dos optoacopladores está enviando um sinal de *clock* enquanto o outro estará enviando dados seriais para o controlador.

De modo a limitar a corrente de entrada dos LEDs dos optoacopladores calculou-se os resistores R_{11} e R_{14} baseados na tensão que os mesmos estarão sujeitos. Optou-se pela utilização de uma corrente de 10 mA para cálculo dos resistores. A tensão de alimentação, tanto dos optos quanto do conversor AD é de 5 V sendo esta proveniente de um regulador linear cascadeado da saída de 15 V da fonte auxiliar.

$$R_{11} = \frac{5}{0,01} = 500 \, \Omega \quad (51)$$

Como as saídas do FPGA são em 3,3 V o cálculo de R_{14} é dado por:

$$R_{14} = \frac{3,3}{0,01} = 330 \, \Omega \quad (52)$$

Optou-se por utilizar o valor comercial de 470 Ω para R_{11} . O regulador linear utilizado foi o LM7805, juntamente com capacitores eletrolítico e de poliéster de 10 μF e 10 nF respectivamente em sua saída como filtros.

O resistor de *pull-up* (R_{12}) é necessário pela saída do CI ser em coletor aberto. O valor selecionado foi de 2,2 k Ω para um consumo não tão elevado de corrente, mas que garanta o funcionamento do circuito em caso de afundamento da tensão de alimentação.

O conversor AD serial utilizado foi o MCP3201 da MICROCHIP ®. Suas especificações são mostradas na Tabela 19.

Tabela 19 - Características elétricas do conversor AD - serial MCP3201.

PARÂMETRO	VALORES
TENSÃO DE ALIMENTAÇÃO (V_{DD})	2,7 - 5,5 V
FREQUÊNCIA DE AMOSTRAGEM (f_{SAMPLE})	100 ksps (5V)
RESOLUÇÃO	12 bits
CLOCK MÁXIMO (CLK)	1,6 MHz
AMPLITUDE DO SINAL DE LEITURA	IN+ - IN-

Fonte: próprio autor.

A conversão do CI é habilitada quando o pino de *shutdown* apresenta valor nulo e o pino de *clock* apresenta variação, deixando o conversor com duas entradas. De modo a simplificar o número de saídas e optoacopladores necessários para o funcionamento do condicionador analisou-se a possibilidade de adaptação da topologia.

A idéia inicial era fixar o pino de *shutdown* no terra do circuito, habilitando a conversão a todo instante. Apesar de simples e funcional tal característica dificultaria muito a leitura dos dados de saída, visto que o conversor estaria sempre mandando dados e não se teria controle de quando se inicia/termina as palavras recebidas.

Outra solução encontrada, e implementada, foi a de *clocks* com característica “trem de pulso”. Tal conceito é comum em acionamento de tiristores para garantir sua condução e nada mais é do que pulsos de chaveamento com duas componentes frequenciais. Uma das componentes se torna o período de amostragem da leitura e o outro a frequência de *clock* do conversor serial. Um exemplo do mesmo é mostrado na Figura 25.

Figura 25 - Exemplo do conceito apresentado de "trem de pulso".



Fonte: próprio autor.

Para desconsiderar o pino de *shutdown* utilizou-se uma estrutura RCD ($R13$, $C11$ e $D10$) que mantém um nível de tensão no capacitor igual a da alimentação. Para essa característica optou-se pelo uso de um “trem de pulso” invertido. A partir do primeiro pulso de *clock*, entretanto, o capacitor se descarrega totalmente e habilita a conversão serial. O cálculo de $R13$ e $C11$ foi feito considerando uma frequência de corte 10 vezes menor que o pulso de *clock* estipulado de 1 Mhz, garantindo que o capacitor não se carregue e interrompa a conversão durante os pulsos. Dessa maneira, fixando $R13$ em 1 k Ω :

$$C_{11} = \frac{1}{R_{13} \times \frac{f_{clock,ad}}{10}} = 10 \text{ nF} \quad (53)$$

O tempo de descarga do capacitor $C11$ foi obtido experimentalmente por indeterminação das impedâncias de entrada dos CIs. Seu valor ficou em torno de 700 ns, sendo este o *delay* utilizado na programação do FPGA responsável pela geração destes pulsos.

Para o diodo $D10$ utilizou-se o modelo de sinais ultrarrápido 1N4148 da Vishay®.

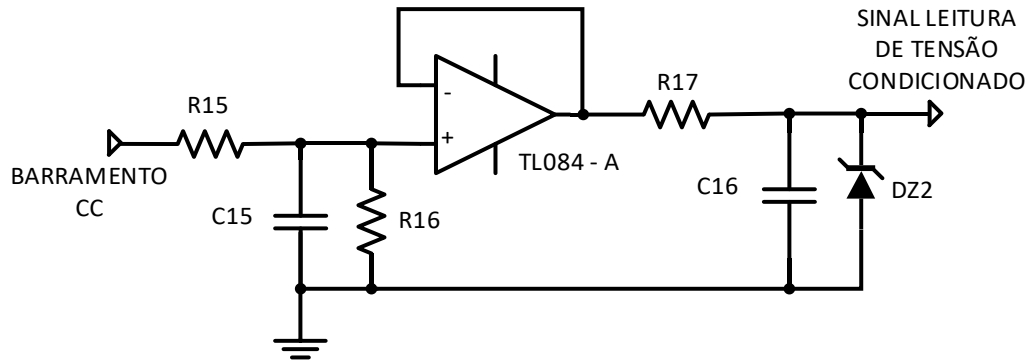
Os capacitores $C12$, $C13$ e $C14$ são todos utilizados por recomendação dos fabricantes quanto ao bom funcionamento dos circuitos. Seus valores são de 100 nF.

3.4.2 Condicionador de tensão

Sabe-se que os níveis de tensão que os capacitores dos submódulos estarão sujeitos é de 250 V. Como este valor é muito além dos limites aceitos pelos circuitos eletrônicos de condicionamento, o primeiro passo para adaptação do sinal foi a de

diminuir este valor através de um divisor resistivo. A Figura 26 mostra o circuito completo de condicionamento de tensão.

Figura 26 - Topologia de condicionamento de sinal de tensão utilizado.



Fonte: próprio autor.

Os resistores R_{15} e R_{16} formam um divisor resistivo juntamente com um filtro passa-baixas. Estipulou-se um valor de resistência para R_{16} de $6,8 \text{ k}\Omega$ e uma tensão em cima dele de $2,5 \text{ V}$, tornando o cálculo de R_{15} :

$$R_{15} = \frac{(V_{BARCC} - 2,5) \times R_{16}}{2,5} = 673,2 \text{ k}\Omega \quad (54)$$

Para uma frequência de corte de 120 Hz , uma década menor que a ondulação da frequência de saída proposta por [3], calcula-se C_{15} por:

$$C_{15} = \frac{R_{15} + R_{16}}{2 \times \pi \times R_{15} \times R_{16}} = 197 \text{ nF} \quad (55)$$

De forma a se priorizar a utilização de um único componente para cada valor de resistor/capacitor calculado utilizou-se os valores comerciais de $680 \text{ k}\Omega$ e 220 nF para R_{15} e C_{15} .

O amplificador operacional utilizado apresenta uma característica de *buffer*, fazendo o casamento de impedâncias do sinal. O CI escolhido foi o TL084 da *Texas Instruments*®, pois o mesmo contempla dois amplificadores em um encapsulamento DIP8, sendo o outro amplificador utilizado no condicionador de corrente apresentado

no próximo subitem deste capítulo. Sua alimentação simétrica é feita pelas duas saídas de ± 15 V da fonte auxiliar.

O capacitor *C16* foi utilizado por recomendação do fabricante para filtro da entrada analógica do conversor AD. Seu valor é de 10 nF.

O resistor *R17* e o diodo zener *DZ2* são responsáveis por grampearem a tensão na entrada do CI, de modo a protegê-lo em caso de algum distúrbio muito elevado no nível de tensão do barramento CC. O valor de grampeamento escolhido foi de 4,7 V, sendo esse o valor comercial abaixo do nível de tensão suportado na entrada do MCP3201. O zener escolhido foi o modelo 1N4732. O cálculo de *R17* pode ser feito pelas máximas e mínimas correntes de regulação do zener, apresentados na Tabela 20. O valor de tensão máxima proposta em cima do zener foi de 15 V, visto que é essa a tensão máxima provinda do *buffer*.

Tabela 20 - Correntes de trabalho diodo zener 1N4732.

PARÂMETRO	VALORES
CORRENTE MÍNIMA DE REGULAÇÃO (I_{zmin})	1 mA
CORRENTE MÁXIMA DE REGULAÇÃO (I_{zmax})	193 mA

Fonte: próprio autor.

$$R_{17min} = \frac{15 - V_z}{I_{zmin}} = 10,3 \text{ k}\Omega \quad (56)$$

$$R_{17max} = \frac{15 - V_z}{I_{zmax}} = 53,37 \text{ }\Omega \quad (57)$$

Optou-se pelo valor de 1 k Ω para *R17*.

3.4.3 Condicionador de corrente

Para o condicionador de corrente optou-se pela utilização de um sensor Hall da fabricante LEM ®, de modelo LTS 15-NP. Suas especificações são mostradas na Tabela 21.

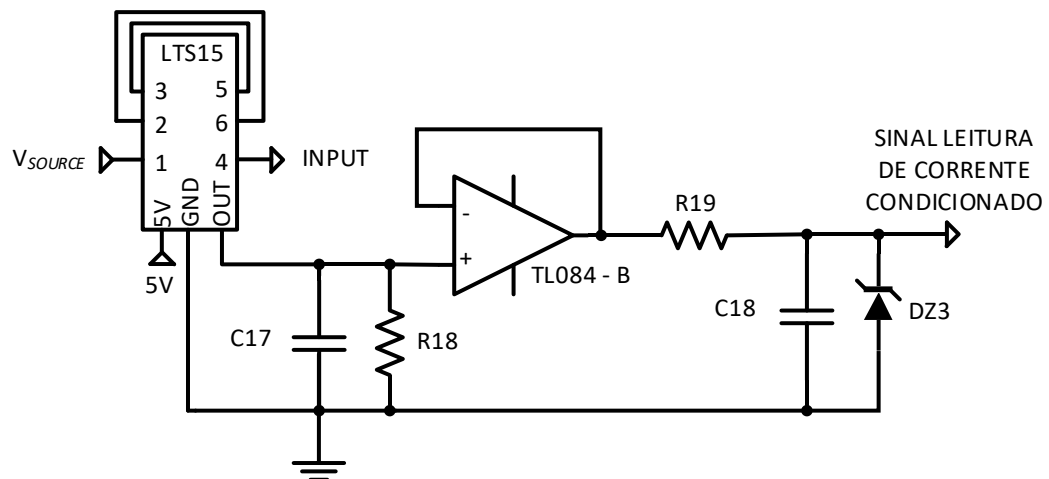
Tabela 21 - Características elétricas do sensor Hall LTS 15-NP.

PARÂMETRO	VALORES
CORRENTE EFICAZ MÁXIMA DO PRIMÁRIO (I_{PN})	15 A
TENSÃO DE SAÍDA (V_{OUT})	$2,5 \pm (0,625)$ V
SENSIBILIDADE	41,6 mV/A
RESISTÊNCIA DE CARGA	>2 k Ω

Fonte: próprio autor.

Entre uma das maiores facilidades do sensor é de que suas espiras são feitas internamente, sendo a relação do primário por secundário escolhida pelo interligamento dos seis pinos do CI. Sabe-se pela Tabela 6 que a corrente máxima que circula pelo sensor é inferior a 5 A, sendo essa a configuração de medição mínima. Nessa configuração exige-se uma conexão dos pinos 2 e 6 e dos pinos 3 e 5 do Hall. O pino 1 é referente a *Output* (Figura 19) do submódulo anterior, ou da tensão de entrada, dependendo da alocação do submódulo no MMC, e o pino 4 é referente a *Input* do submódulo em questão. A Figura 27 apresenta a topologia de condicionamento de corrente completa utilizada.

Figura 27 - Topologia de condicionamento de sinal de corrente utilizado.



Fonte: próprio autor.

O resistor $R18$ foi selecionado como de 10 k Ω , sendo esse valor superior ao recomendado pelo fabricante. O capacitor $C17$ é utilizado como um filtro de altas frequências, sendo seu valor 10 nF. A alimentação do Hall é proveniente do mesmo regulador linear utilizado nos conversores AD e nos optoacopladores apresentados no subitem anterior.

O amplificador operacional, assim como o resistor $R19$, o capacitor $C18$ e o diodo zener $DZ3$ apresentam a mesma funcionalidade e metodologia de projeto apresentada para o condicionador de tensão, sendo seus cálculos então omitidos neste subitem.

3.5 COMANDO E CONTROLE

Toda estrutura de modulação e controle será concentrada em um FPGA da Xilinx®, modelo VIRTEX 5 XC5VLX50T. A escolha do FPGA como controlador foi feita principalmente pela facilidade de transcrição da teoria de modulação para uma plataforma de programação que consegue sintetizar informações em um tempo fixo, possibilitando a geração de diversos sinais em um mesmo ciclo de clock apenas pela divisão em módulos distintos de todos os sinais gerados e exploração da característica de programação em paralelo que o FPGA proporciona.

Serão apresentados também os fluxogramas relacionados as programações de forma independente, facilitando o entendimento e interação entre estes blocos.

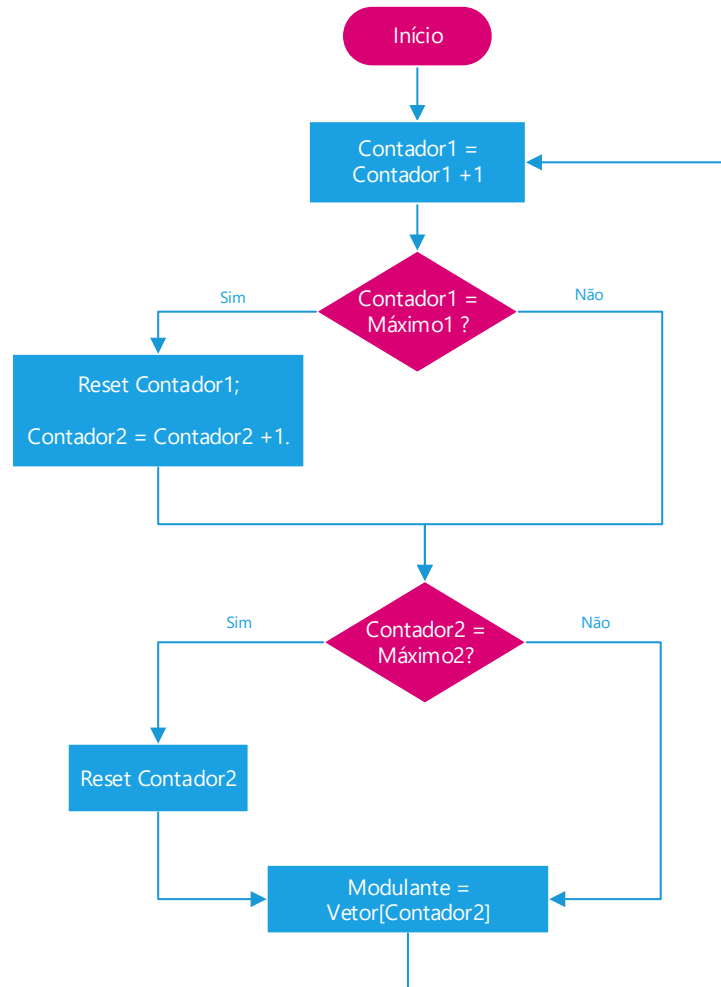
3.5.1 Programação modulantes

A Figura 28 apresenta o fluxograma dos passos usados para geração das modulantes.

Os parâmetros previamente definidos do programa são dois valores máximos dos contadores, sendo o valor relacionado ao *Contador1* o que delimita a frequência de amostragem da modulante. Seu equacionamento pode ser demonstrado como:

$$Máximo_1 = \frac{clock_{FPGA}}{n_{pontos} \times f_{modulante}} \quad (58)$$

Figura 28 - Fluxograma da programação das modulantes.



Fonte: próprio autor.

O *clock* do FPGA tem valor de 100 MHz. O número de pontos determina a definição da modulante e é o fator que determina o tamanho do vetor de armazenamento dos valores instantâneos da modulante (esta estrutura será explicada no subitem seguinte). O número de pontos proposto foi de 1200, sendo este múltiplo tanto da maior quanto menor frequência da modulante proposta, sendo estes 60 Hz e 1200 Hz respectivamente, conforme utilizados por [3]. Para determinação do valor *Máximo1* utiliza-se a componente frequencial de menor valor, tornando o resultado da Equação (58) aproximadamente 1389.

O valor de *Máximo2* é justamente o número de pontos definido para o vetor de valores instantâneos, tornando o fluxograma um ponteiro de valores instantâneos da modulante em períodos determinados por *Contador1* e com um *reset* determinado pelo estouro do número máximo de pontos do vetor.

Esta estrutura é utilizada para amostragem de ambas as modulantes, sendo a diferença entre elas os valores instantâneos dos vetores referentes a cada uma.

3.5.2 Programação portadora

Como a programação a ser implementada é referente a um submódulo apenas, utilizou-se de apenas uma portadora triangular nas comparações dos sinais de gatilho. O fluxograma que representa a estrutura programada é apresentado na Figura 29.

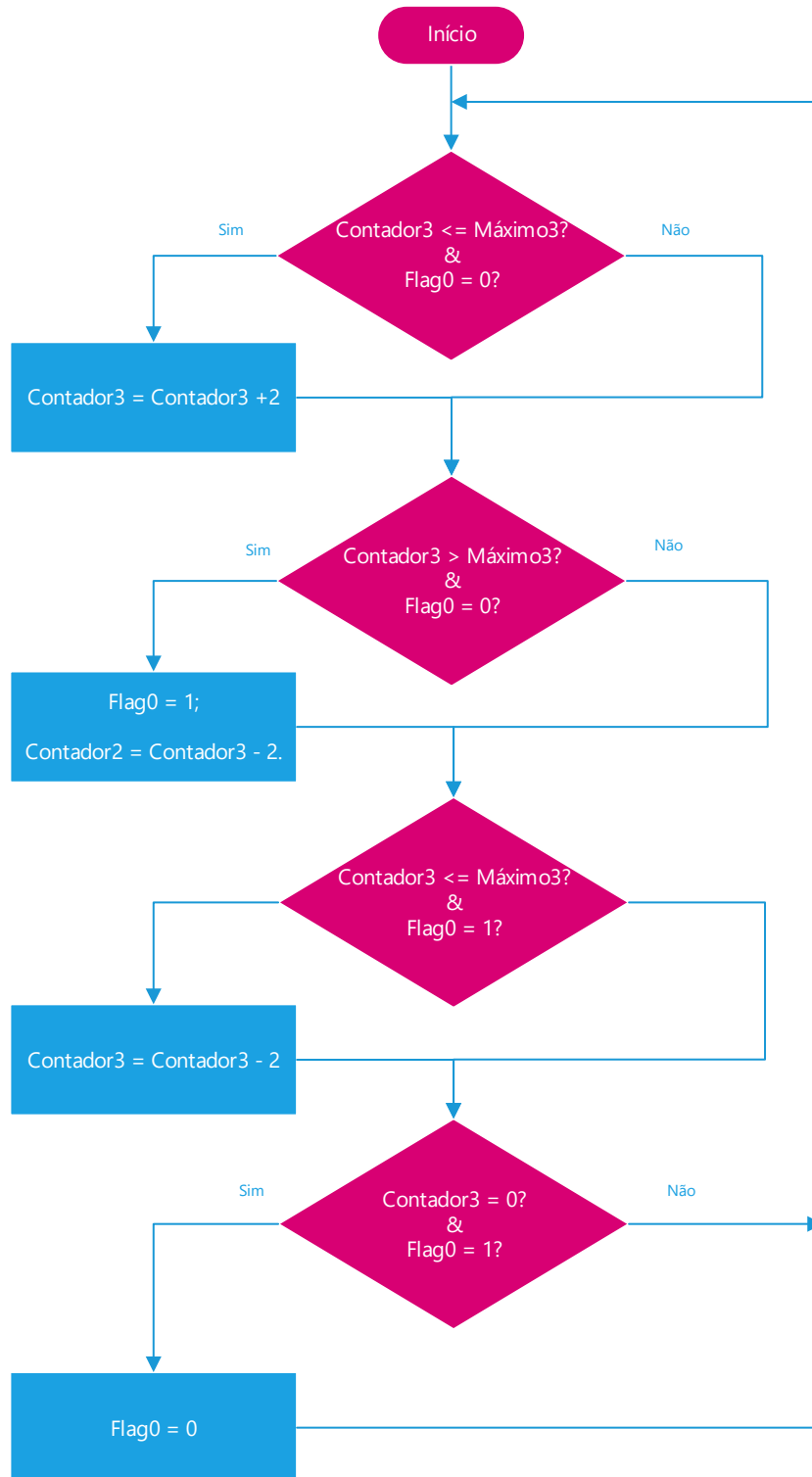
Sua lógica envolve duas variáveis: um contador (*Contador3*) e uma *flag* (*Flag0*). A estrutura detecta que enquanto o valor do contador não atingir o valor máximo proposto, podendo adicionar dois em cada ciclo de *clock*. O valor máximo é definido mediante a fórmula:

$$Máximo_2 = \frac{clock_{FPGA}}{f_{portadora} \times 2} \quad (59)$$

Onde a frequência da portadora escolhida foi de 20400 Hz, afim de se ter um múltiplo de 60 e 1200 na portadora, garantindo que portadora e modulante terminos coincidentes. O índice 2 no denominador da equação (59), assim como a soma de dois ao invés de 1 em cada ciclo, foi utilizado para ampliar a definição da modulante. A resolução da equação para os parâmetros apresentados resulta em aproximadamente 4902.

As etapas adjacentes do fluxograma identificam o valor instantâneo do contador e invertem o coeficiente angular da rampa da triangular (atraves do acionamento da *flag*), isto é, decresce o valor do contador ao invés de somar. A última especificação é responsável pela identificação do valor nulo do contador e o reset da *flag*, reiniciando o período.

Figura 29 – Fluxograma da programação da portadora.



Fonte: próprio autor.

3.5.3 Programação vetor modulante

Pela impossibilidade de geração de uma componente senoidal internamente ao FPGA, optou-se por fazer esse cálculo *offline* e armazenar os valores instantâneos da forma de onda em um vetor.

Para geração dos vetores dos valores instantâneos utilizou-se de um *script* do programa Matlab®. Sua estrutura é difícil de ser reproduzida via fluxograma, portanto o código foi transcrito diretamente. O mesmo pode ser encontrado no Apêndice A.

As variáveis e parâmetros apresentados no código são como mostrados na Tabela 22.

Tabela 22 - Parâmetros e variáveis usados no *script* de geração do vetor do seno.

PARÂMETRO	DESCRIÇÃO
f_1	frequência da componente 1 do seno
f_2	frequência da componente 2 do seno
V_{pico_1}	Índice de modulação da componente de frequência 1
V_{pico_2}	Índice de modulação da componente de frequência 2
ma	Índice de modulação respectivo a somatória das duas componentes
$V_{portadora_max}$	amplitude máxima da portadora triangular
n_pontos	número de pontos do vetor de valores instantâneos

Fonte: próprio autor.

Os índices de modulação utilizados foram conforme [3] apresenta, 1 e 0,641 para as componentes de maior e menor frequência respectivamente. Quanto aos demais parâmetros foram utilizados os valores já citados neste capítulo. A modulante referente ao outro semibraço tem os índices de modulação declarados com valor negativo, defasando ambas as componentes frequenciais em 180°.

3.5.4 Programação de acionamento e tempo morto

Esta programação tem como base inicial a comparação entre os valores instantâneos de modulante e portadora, habilitando diferentes caminhos para cada resposta.

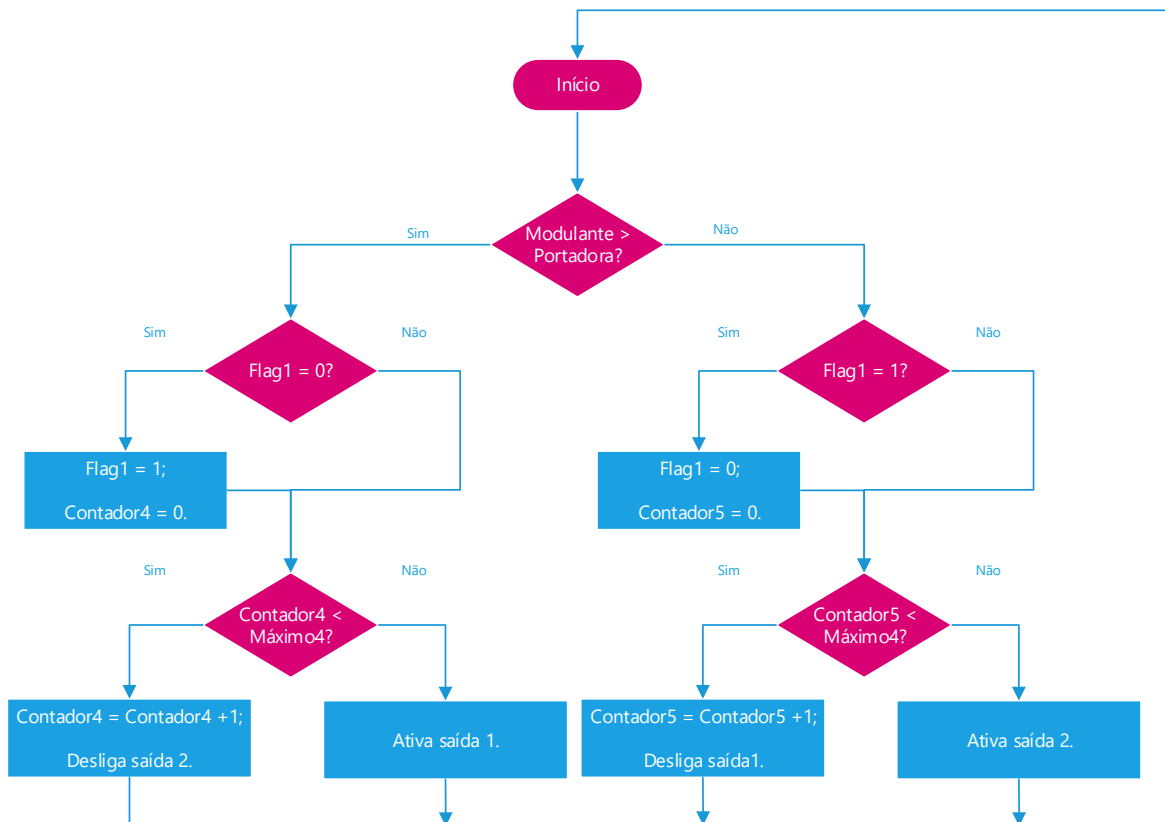
Em caso afirmativo o sistema determina se alguma vez esta rotina já foi habilitada sem que alternativa negativa tenha acontecido antes. Isso serve para

resetar o contador do tempo morto apenas uma vez durante o ciclo de de contagem do mesmo, tornando a *Flag1* apenas um impedimento de *loop* infinito da rotina.

Após iniciada a contagem do tempo morto, a mesma se repete até que o Contador4 atinja seu valor de pico, determinado pelo usuário no início do programa e garante que a saída 1, previamente ativa, fique desligada durante este tempo. Neste caso utilizou-se um tempo morto de 1 μ s para garantir uma boa segurança das comutações

Quando o *Contador4* atinge então o valor máximo a *saída 1* pode ser ativada. Esta rotina tem comportamento idêntico para o caso da primeira alternativa ter sido negativa, invertendo apenas a comparação da *Flag1* e qual saída é ativa/desativada após/antes do estouro da contagem. A Figura 30 apresenta o fluxograma referente a esta rotina.

Figura 30 - Fluxograma referente a programação de acionamento das saídas e tempo morto.



Fonte: próprio autor.

A rotina dos dois semibraços tem a mesma estrutura, porém a comparação inicial é em relação ao outro vetor de valor instantâneo de modulante. Todos os valores de variáveis deste programa são inicialmente nulos.

3.5.5 Programação AD – Serial

A Figura 31 mostra o fluxograma referente a programação dos trens de pulso para leitura da tensão/corrente do submódulo.

Os itens a seguir determinam a relação de cada contador e valor máximo do fluxograma com sua utilidade:

- *Contador 6* e *Máximo6* – São relacionados ao período de amostragem da leitura do sinal do conversor AD. Seu valor pode ser calculado por:

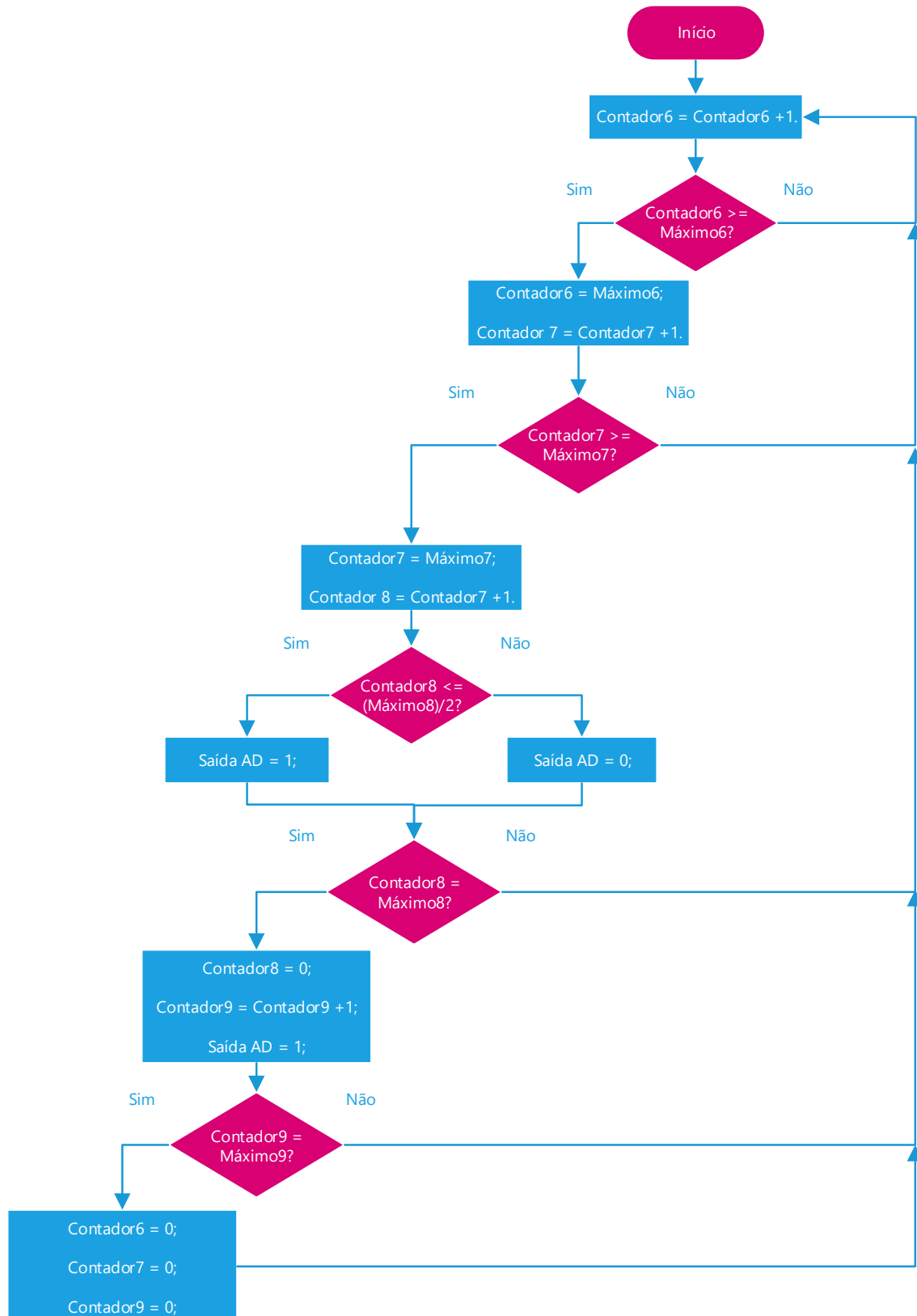
$$Máximo_6 = \frac{clock_{FPGA}}{f_{amostragem}} - Máximo_8 \times Máximo_9 \quad (60)$$

Sendo os parâmetros *Máximo8* e *Máximo9* definidos no decorrer deste subitem. O valor utilizado para *Máximo 6* foi de 20800;

- *Contador7* e *Máximo7* – São relacionados ao *delay* para descarga do capacitor que desabilita o *shutdown* do conversor AD. O valor estipulado para *Máximo7* foi de 70, resultando 700 ns de *delay*;
- *Contador8* e *Máximo8* – São relacionados aos períodos de *clock* para o conversor AD. Definindo uma frequência de *clock* de 1Mhz, o valor máximo passa a ser 100;
- *Contador9* e *Máximo9* – São relacionados ao número de pulsos de *clock* necessários para transmissão da palavra. O conversor AD em questão tem 12 *bits* de definição, sendo o valor de *Máximo9* definido como 16 pois o mesmo envia alguns *bits* nulos no início de transmissão da palavra.

As leituras de tensão e corrente apresentam saídas distintas por indisponibilidade de corrente suficiente para ativação dos dois optoacopladores por uma mesma saída do FPGA, porém suas estruturas de programação são idênticas.

Figura 31 - Fluxograma referente a programação do trem de pulso dos conversores AD – serial.



Fonte: próprio autor.

4 RESULTADOS

Este capítulo contempla uma explicação detalhada das simulações e resultados experimentais, tanto para a fonte auxiliar isoladamente, quanto o inversor e os condicionadores. Serão abordados parâmetros comparativos assim como problemas encontrados e as soluções tomadas. Todas as simulações foram feitas utilizando o software PSIM® e todos os resultados experimentais foram retirados com o osciloscópio de quatro canais isolados TPS2024B da *Tektronix*®.

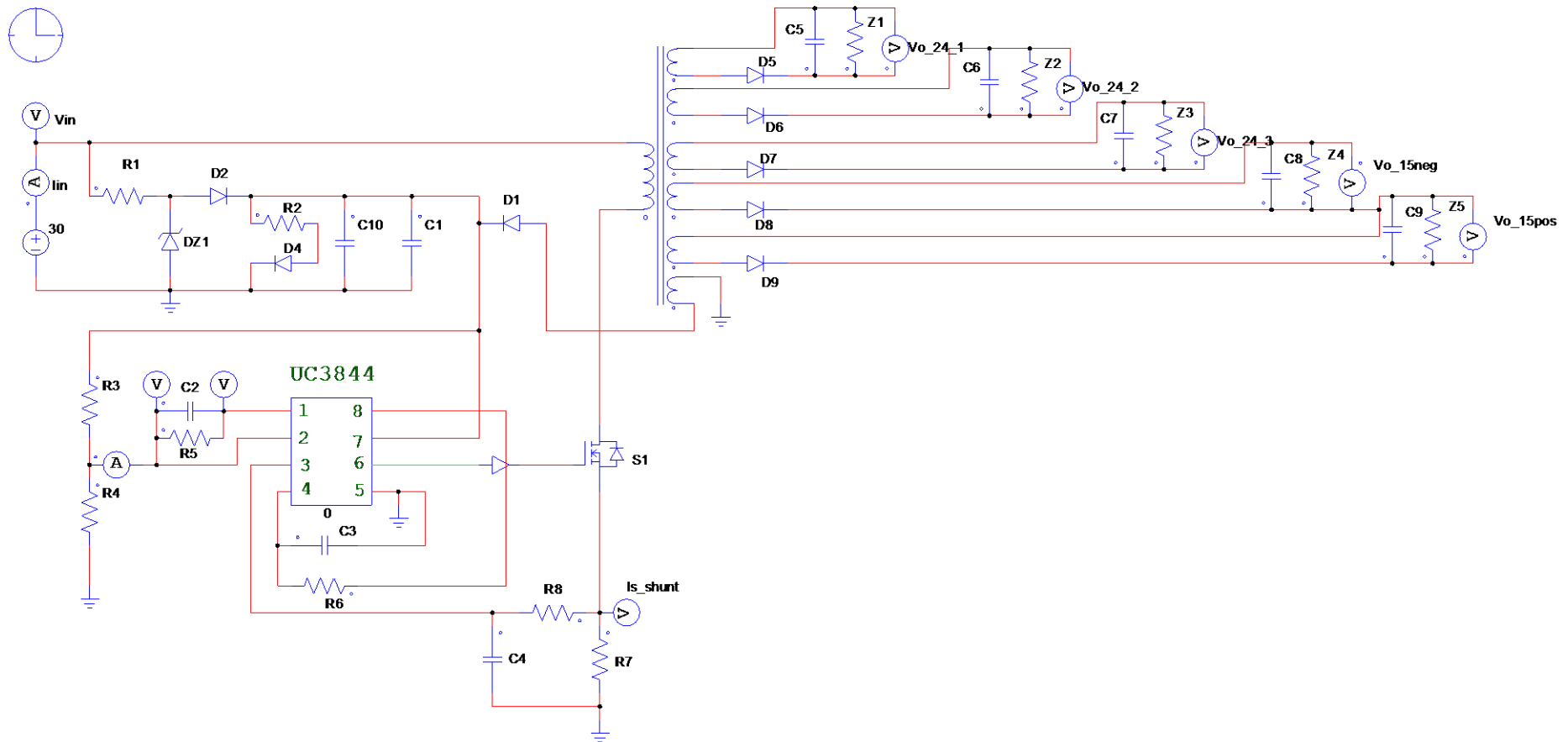
4.1 FONTE AUXILIAR

O circuito da fonte auxiliar do tipo *flyback* simulado utilizado é como apresentado na Figura 32. Por coincidência, o *software* utilizado já possuía em um de seus exemplos de conversores CC-CC controlados em modo de corrente o modelo do CI UC3844 com uma topologia do tipo *flyback* como aplicação. Ajustou-se portanto toda a simulação baseada neste exemplo. Todas as nomenclaturas utilizadas na simulação seguem o modelo apresentado na Figura 22.

Tanto para os resultados de simulação quanto os experimentais mostrados neste item, utilizou-se uma carga de aproximadamente 0,5W puramente resistiva em cada saída, sendo esta a potência consumida pelos circuitos de *driver* e condicionamento do inversor, mediante comprovação experimental.

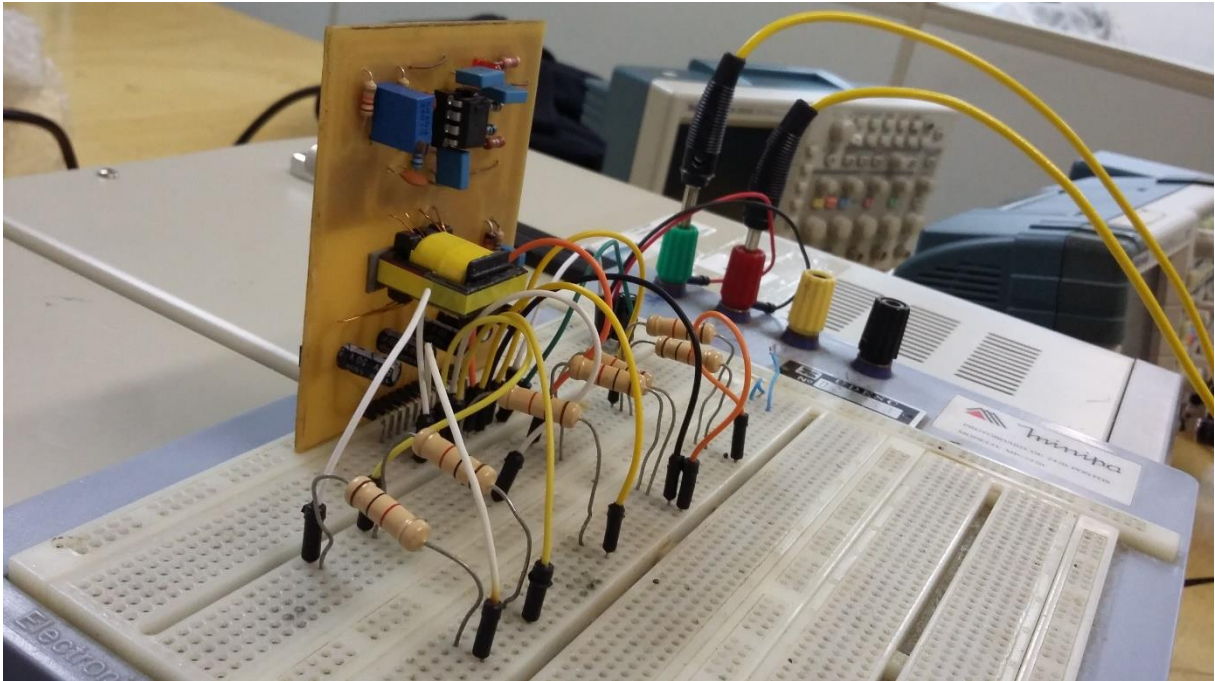
Pelo *layout* reduzido e uso demasiado de componentes do tipo SMD é escasso o número de resultados experimentais relevantes que se podem apresentar. Dessa maneira os resultados obtidos foram a tensão e corrente de saída, tensões de saída para os *drivers* e condicionadores e a corrente do interruptor, medida indiretamente pela tensão no resistor *shunt*.

Figura 32 - Conversor *flyback* simulado.



Fonte: próprio autor.

Figura 33 - Circuito experimental do conversor *flyback* utilizado.



Fonte: próprio autor.

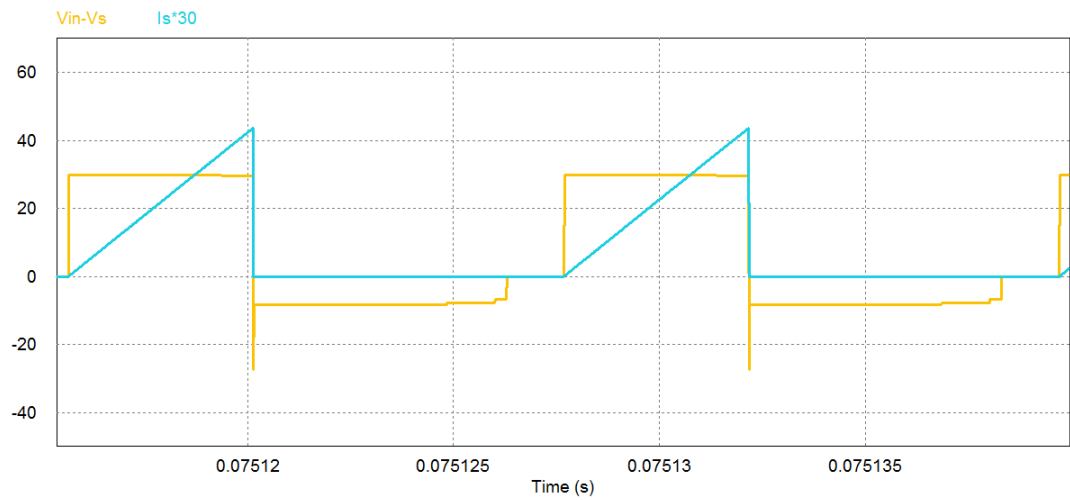
4.1.1 Tensão e corrente no primário

Nota-se via simulação, uma tensão constante de 30 V no período de carregamento do indutância magnetizante, conforme visto na Figura 34. Experimentalmente (Figura 35) esta tensão tem valor relativamente menor pelas quedas de tensão nos componentes anteriores ao indutor. Há também uma certa derivada de descida no período de condução do interruptor, provenientes da característica do filtro de saída da fonte utilizada para testes (POL-16E da Politerm®).

Por se tratar de um *flyback* trabalhando em característica DCM (*Discontinuous-Conduction Mode* – Modo de Condução Descontínua) a corrente atinge seu valor de pico e retorna para um valor mínimo, nulo neste caso.

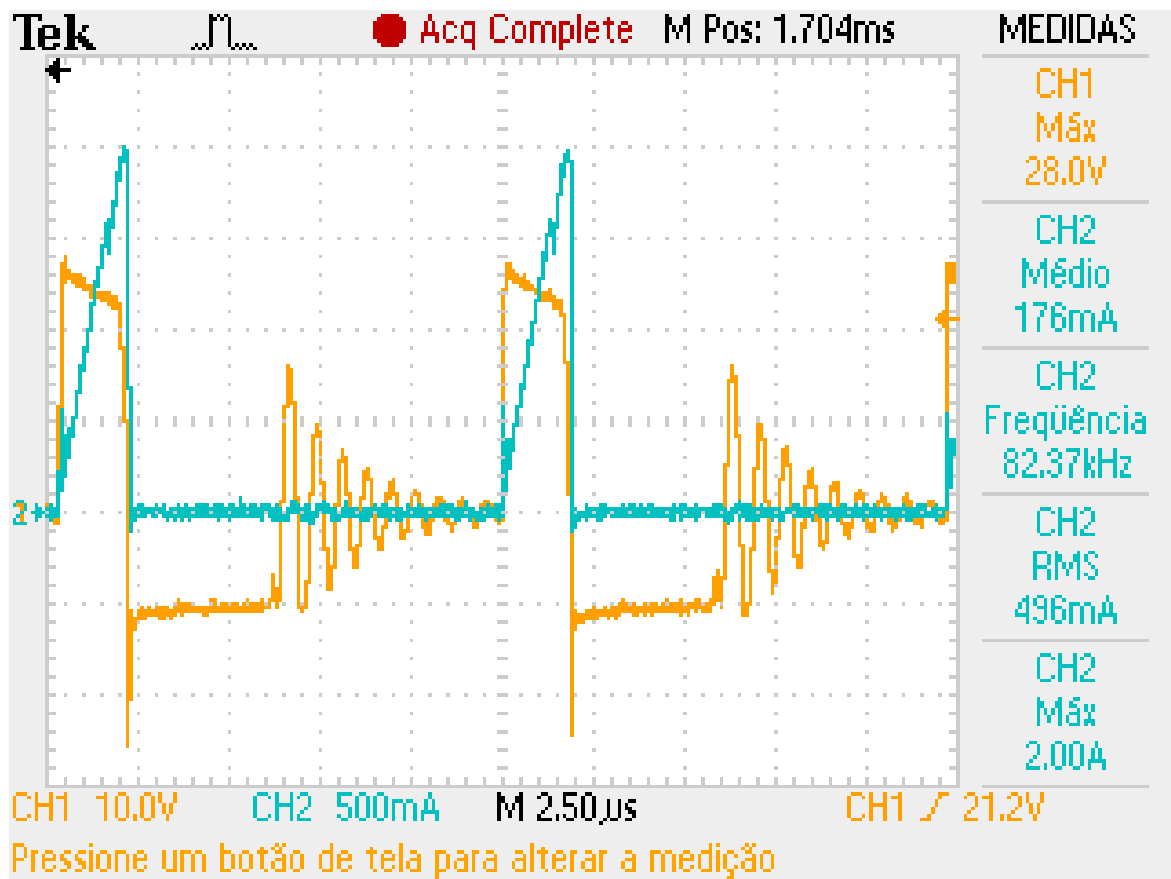
Os valores apresentados na Tabela 23 são coesos com os encontrados experimentalmente. Quanto aos valores médio e eficaz o pequeno erro percentual pode ser relacionado as perdas, tanto no indutor acoplado quanto no interruptor, desconsideradas na simulação mas influentes nos resultados experimentais.

Figura 34 - Tensão e corrente do primário (x30) para conversor *flyback* simulado.



Fonte: próprio autor.

Figura 35 - Tensão e corrente do primário para conversor *flyback* experimental.



Fonte: próprio autor.

Tabela 23 - Valores encontrados de tensão e corrente de entrada para conversor *flyback* simulado.

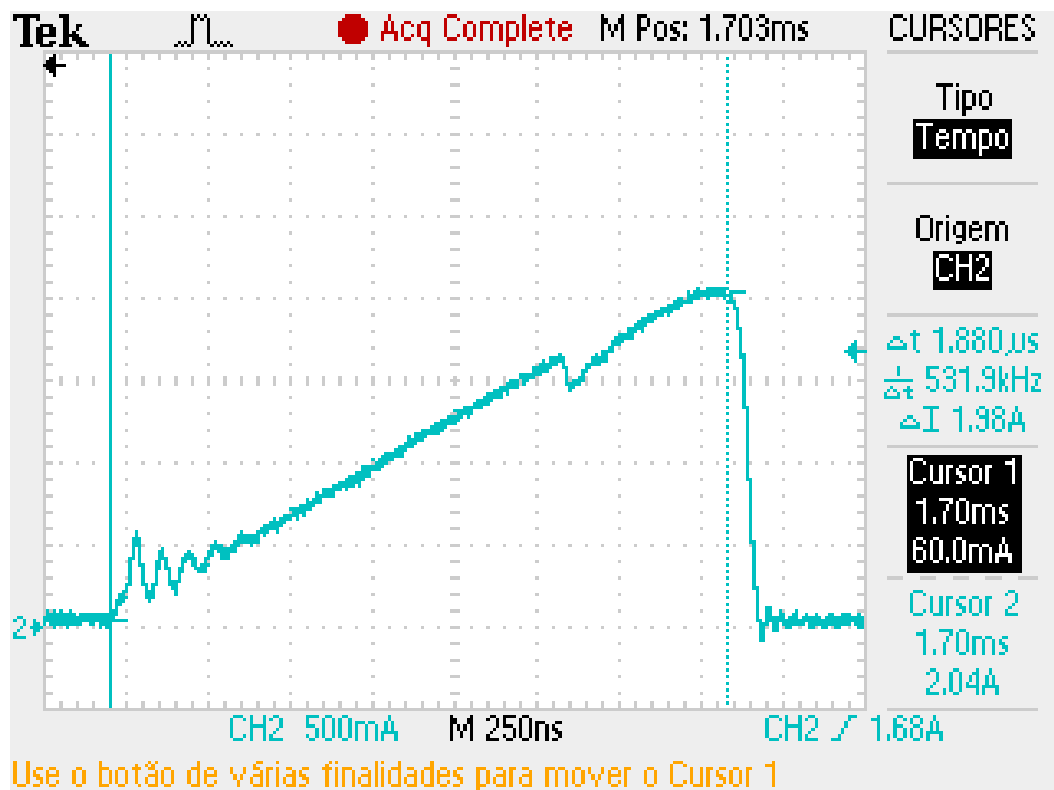
PARÂMETRO	VALOR
Tensão máxima do primário (v_{pmax})	30 V
Corrente média do primário (I_{pmed})	266 mA
Frequência de comutação (f_s)	83,28 kHz
Corrente eficaz do primário (I_{pRMS})	518 mA
Corrente de pico do primário (I_{ppeak})	1,45 A

Fonte: próprio autor.

A partir de uma imagem aproximada da corrente no primário é possível obter-se inclusive o valor da indutância magnetizante experimental. A Figura 36 apresenta este resultado com os cursores já posicionados para obtenção da indutância. Considerando um valor médio de tensão de 26 V durante o período de carga do indutor (conforme visto na Figura 35), cálculo da mesma pode ser feito por:

$$L_{mag} = \frac{V_L \Delta t}{\Delta I} = 24,68 \mu\text{H} \quad (61)$$

Figura 36 - Corrente no primário para *flyback* experimental.



Fonte: próprio autor.

O valor consideravelmente menor encontrado de indutância é relativo ao *gap* calculado ter valor muito reduzido, sendo difícil de ser implementado fisicamente. Dessa maneira utilizou-se apenas uma folha de sulfite como *gap*, que possui espessura muito superior ao valor calculado.

Esta característica não compromete o funcionamento do circuito entretanto, já que o controle do conversor é capaz de compensar este desvio. Esta indutância explica, contudo, o valor de corrente de pico experimental ser maior que o simulado, já que a derivada de subida tende a ser maior experimentalmente.

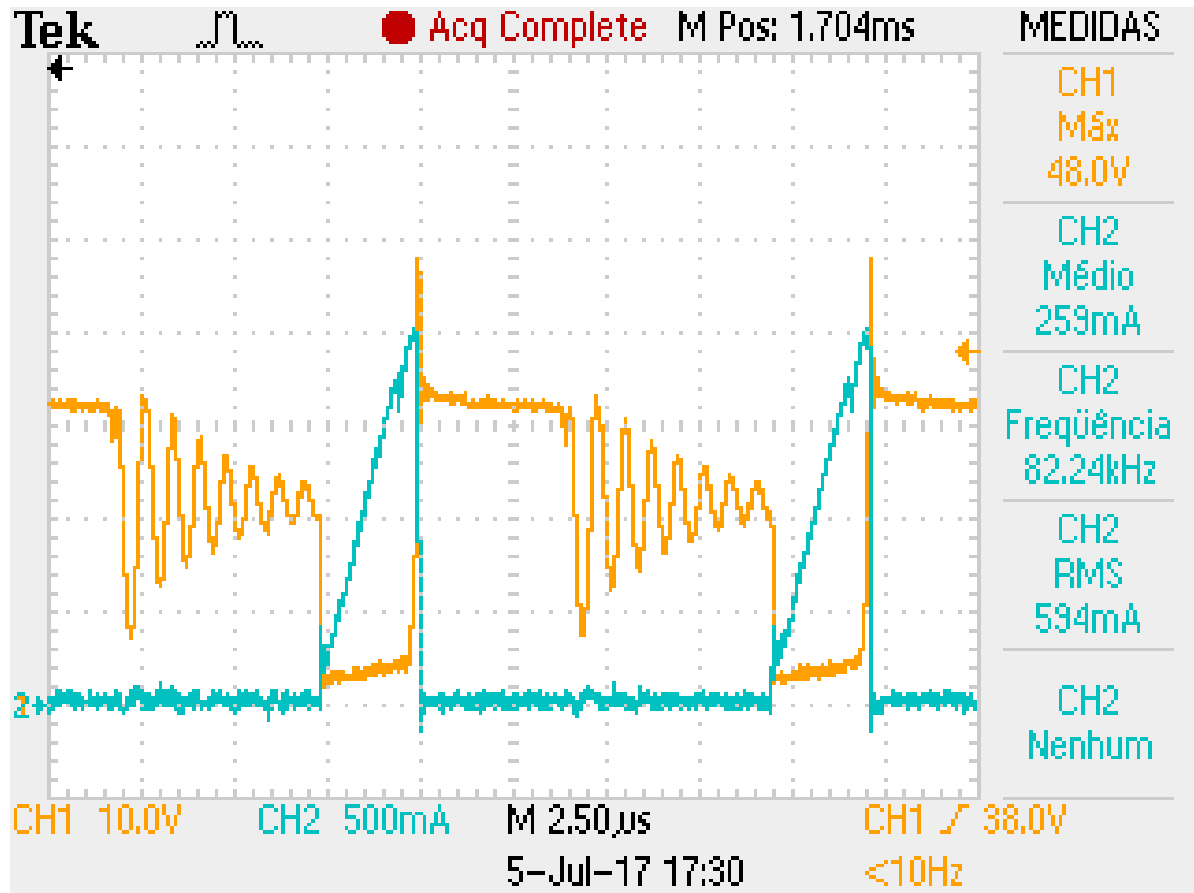
4.1.2 Tensão e corrente no interruptor

De forma a se comprovar a eficácia da escolha do interruptor, mediu-se a tensão de bloqueio do mesmo.

Por desvios construtivos é sabido que o indutor acoplado, assim como os transformadores, possuem uma indutância de dispersão que armazena energia durante a etapa de carga e a mesma não é transferida para o secundário na etapa de transferência de energia. Esse fator pode gerar uma sobretensão nos interruptores visto a não existência de um caminho para esta corrente armazenada quando o interruptor bloqueia, resultante da abrupta derivada de corrente em um curto período de tempo.

A Figura 37, apresenta a tensão *drain-source* vista experimentalmente. O valor da dispersão é extremamente aceito, visto a sobretensão de bloqueio encontrada ser de apenas 48 V.

Figura 37 - Tensão e corrente no interruptor para *flyback* experimental.



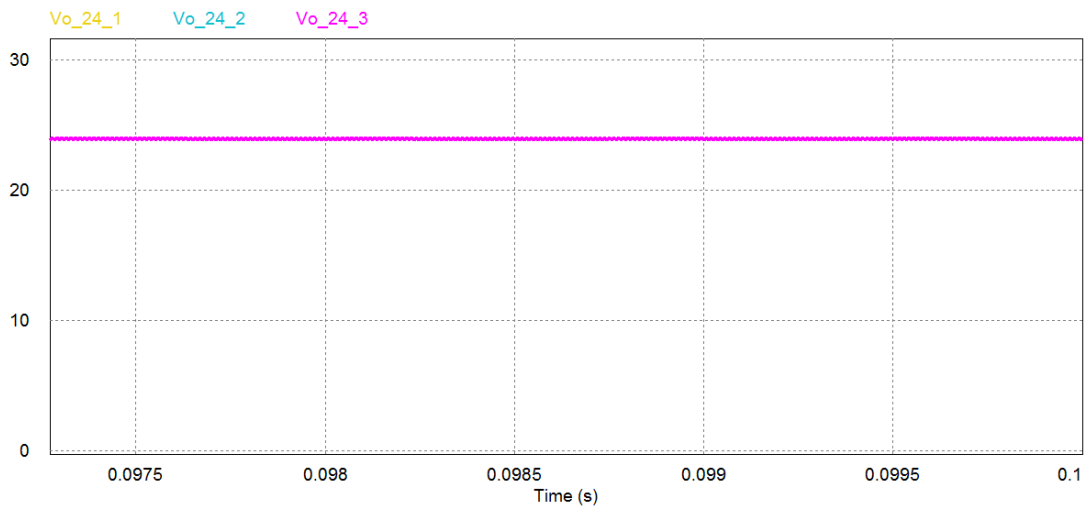
Fonte: próprio autor.

4.1.3 Saídas para *drivers*

Devido ao alto valor de capacitância utilizado, se comparado ao valor calculado para uma ondulação de tensão de saída de 5 %, as tensões de saída apresentam ondulação praticamente nula. Nota-se na Figura 38 a sobreposição das tensões com seus valores médios apresentados na Tabela 24, fator não visto na Figura 39.

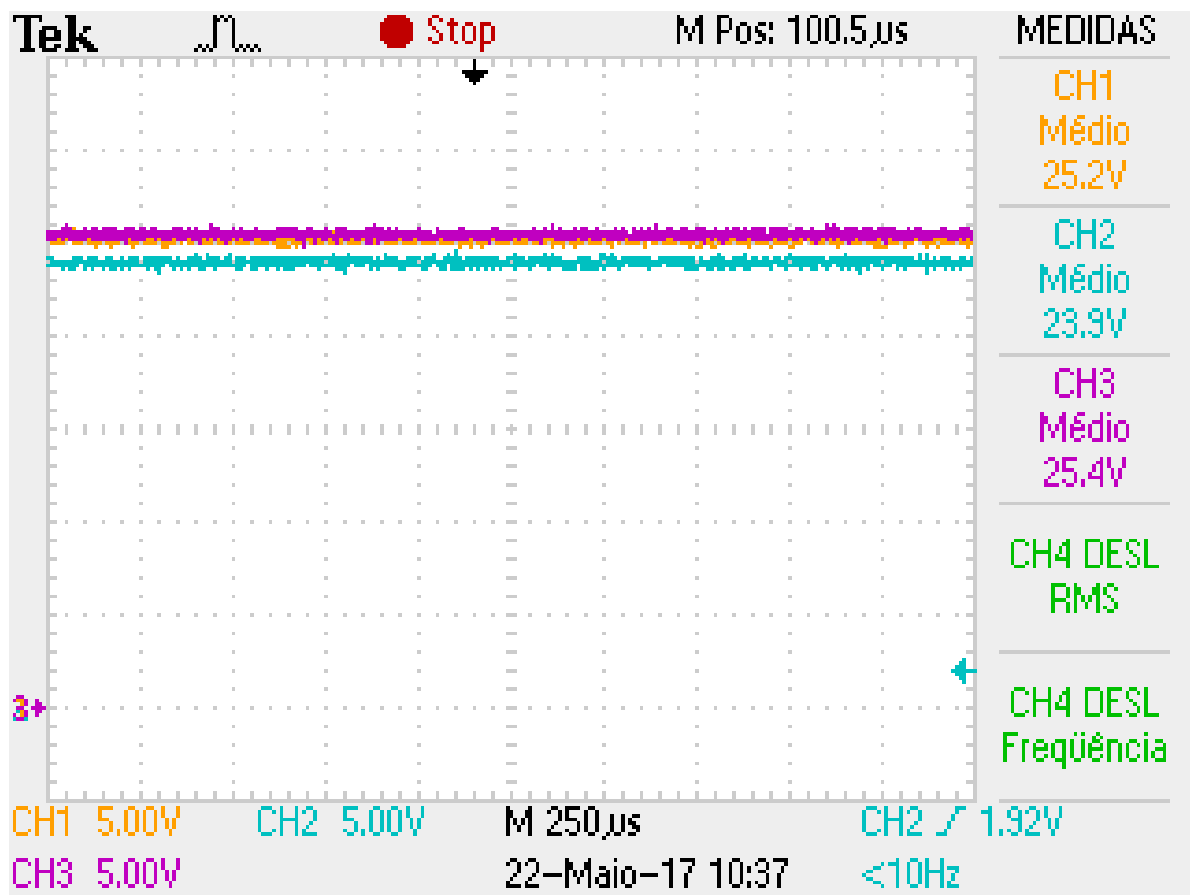
Esta característica se dá pelas pequenas diferenças de relação de espiras dos secundários, que geram níveis de tensão de saída levemente desbalanceados, porém ainda aceitos para aplicação em questão, visto a entrada em saturação dos interruptores do inversor em torno dos 10 V já. Ainda assim optou-se pelo ajuste do potenciômetro da tensão de realimentação para se ajustar o menor nível de tensão para 23,9 V.

Figura 38 - Tensões de saída 24 V para conversor *flyback* simulado.



Fonte: próprio autor.

Figura 39 - Tensões de saída 24 V para conversor *flyback* experimental.



Fonte: próprio autor.

Tabela 24 - Valores encontrados de tensões de saída 24V para conversor flyback simulado.

PARÂMETRO	VALOR
Tensão média saída de 24V-1	23,99 V
Tensão média saída de 24V-2	23,99 V
Tensão média saída de 24V-3	23,99 V

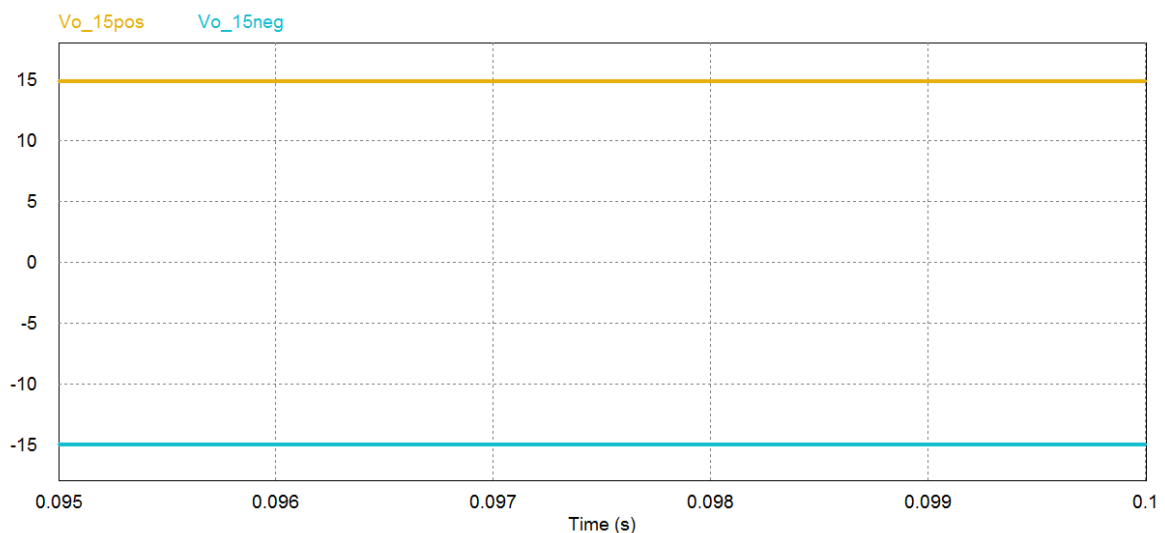
Fonte: próprio autor.

4.1.4 Saída para condicionadores

As saídas simétricas que alimentam os circuitos de condicionamento de sinal apresentam a mesma baixa ondulação de tensão já apresentada, o que é esperado já que o valor de capacitância utilizado foi o mesmo e o valor da tensão é até menor.

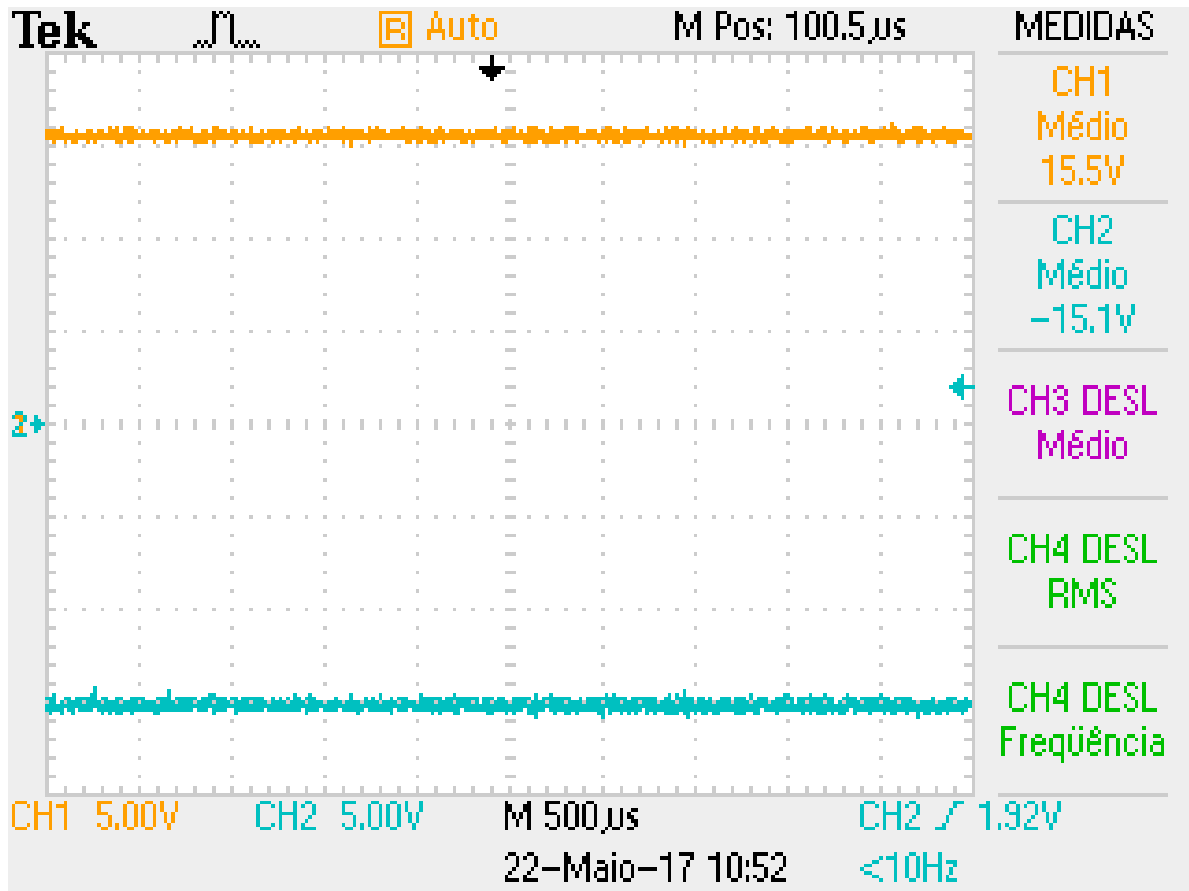
Também por pequenos desvios das relações de esperas para estas saídas seus valores ficaram um pouco desbalanceados experimentalmente (Figura 41) se comparados aos valores simulados (Figura 40). Pela aplicação dos amplificadores operacionais não possuir valores elevados de tensão na entrada, o que poderia gerar distorção na saída do mesmo, este fator também não interfere nos resultados.

Figura 40 - Tensões de saída 15 V para conversor *flyback* simulado.



Fonte: próprio autor.

Figura 41 - Tensões de saída 15 V para conversor *flyback* experimental.



Fonte: próprio autor.

Tabela 25 - Valores encontrados de tensões de saída 15 V para conversor *flyback* simulado.

PARÂMETRO	VALOR
Tensão média saída de 15V+	14,95 V
Tensão média saída de 15V-	14,95 V

Fonte: próprio autor.

4.2 INVERSOR PONTE COMPLETA

Optou-se para os testes iniciais a utilização de uma modulante simplificada. Dessa maneira removeu-se a componente de 1200 Hz da mesma e adequou-se o índice de modulação para 0,7 tornando o modelo de simulação como apresentado na Figura 42.

O cálculo das cargas se baseou na potência proposta para o projeto, 125 W. Devido a limitação de indutâncias para teste do laboratório fixou-se o valor de indutor

em 12mH, sendo este valor encontrado no laboratório e comprovado por medição utilizando a ponte RLC (Marca Hioki®, modelo 3511-50), e calculou-se o valor da resistência através do valor de tensão eficaz da saída e das impedâncias equivalentes.

$$V_{oef1} = \frac{m \times V_{in}}{\sqrt{2}} = 123,74 \text{ V} \quad (62)$$

$$|Z_1| = \frac{V_{oef1}^2}{|S|} = 122,49 \Omega \quad (63)$$

$$R_{O1} = \sqrt{|Z|^2 - (2 \times \pi \times f \times L)^2} = 122,4 \Omega \quad (64)$$

Para os testes finais, devido a presença de uma ondulação de corrente menor acarretada pela componente de 1200 Hz, optou-se por uma indutância de 4,65 mH, também comprovados por análise na ponte RLC. O cálculo da carga neste caso fica:

$$V_{oef2} = \sqrt{\left(\frac{m_1 \times V_{in}}{2 \times \sqrt{2}}\right)^2 + \left(\frac{m_2 \times V_{in}}{2 \times \sqrt{2}}\right)^2} = 104,99 \text{ V} \quad (65)$$

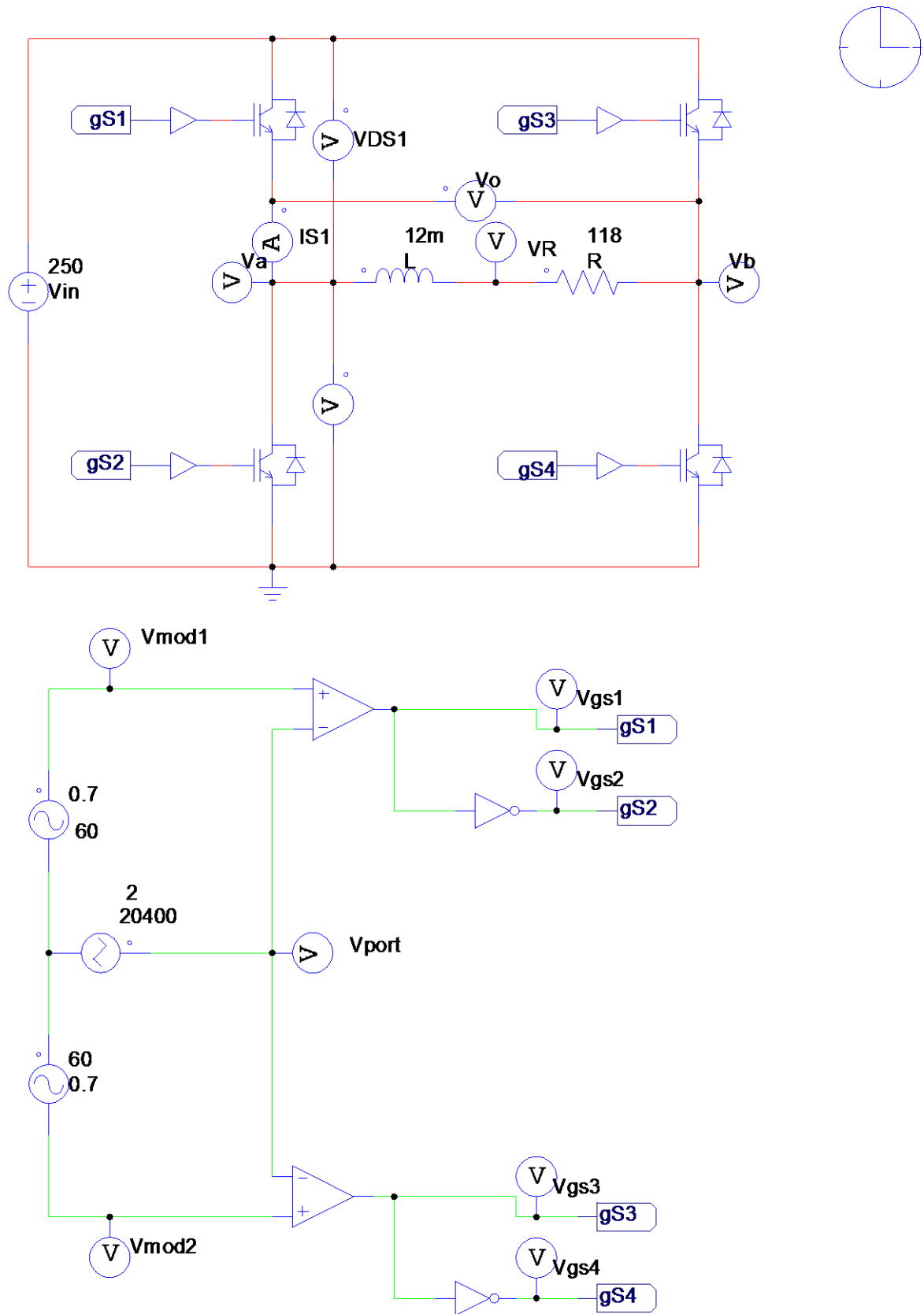
$$|Z_2| = \frac{V_{oef2}^2}{|S|} = 88,18 \Omega \quad (66)$$

$$R_{O2} = \sqrt{|Z|^2 - (2 \times \pi \times f \times L)^2} = 80,91 \Omega \quad (67)$$

Por limitação dos valores de resistência encontrados, utilizou-se $R1$ como 118 Ω e $R2$ como 83 Ω , sendo a simulação também adequada a estes parâmetros.

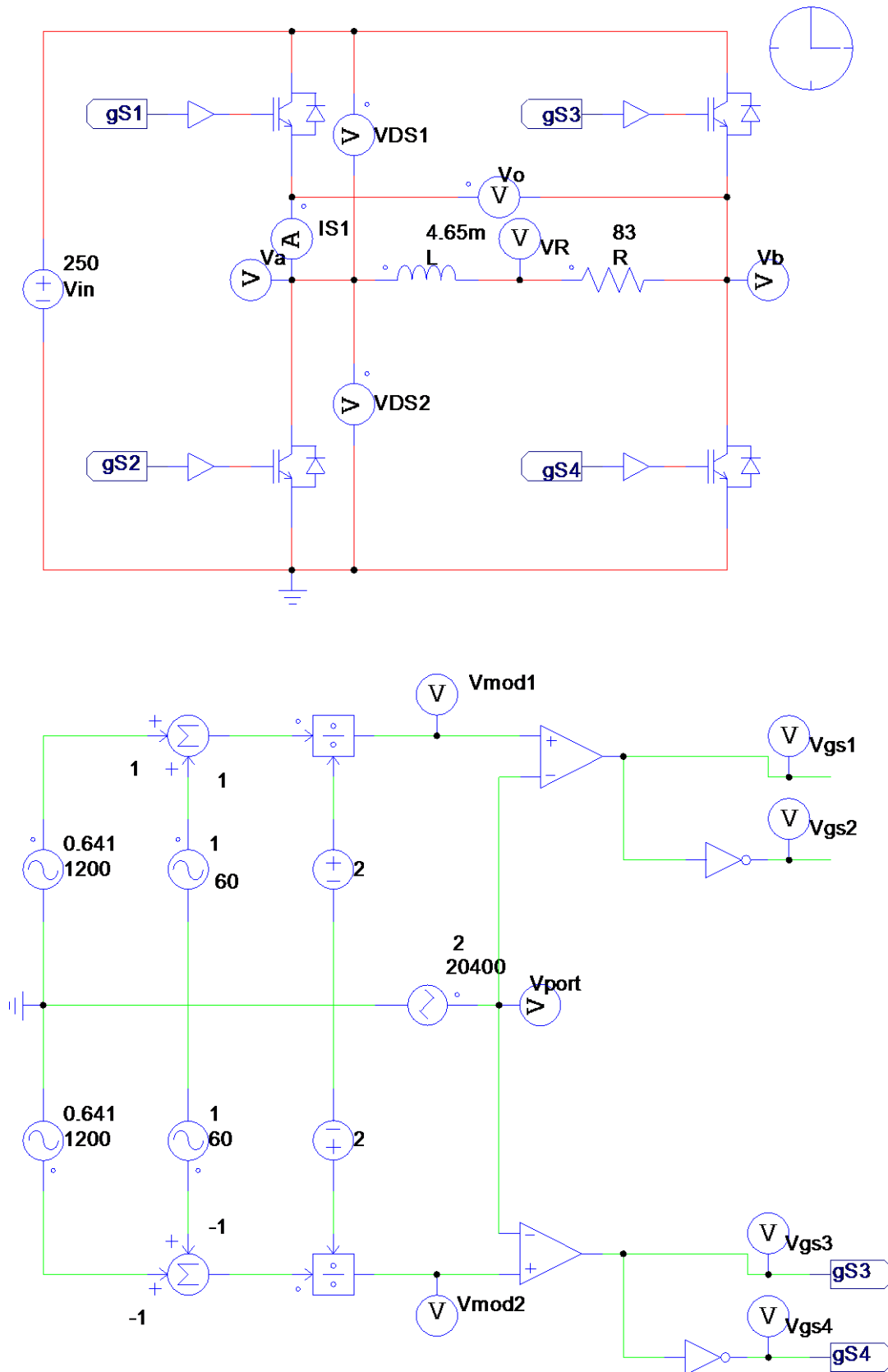
Os circuitos de simulação utilizados para o teste inicial e final são como apresentados na Figura 42 e Figura 43, respectivamente. O protótipo final utilizado é mostrado na Figura 43.

Figura 42 - Inversor ponte completa simulado para modulante puramente senoidal de 60 Hz.



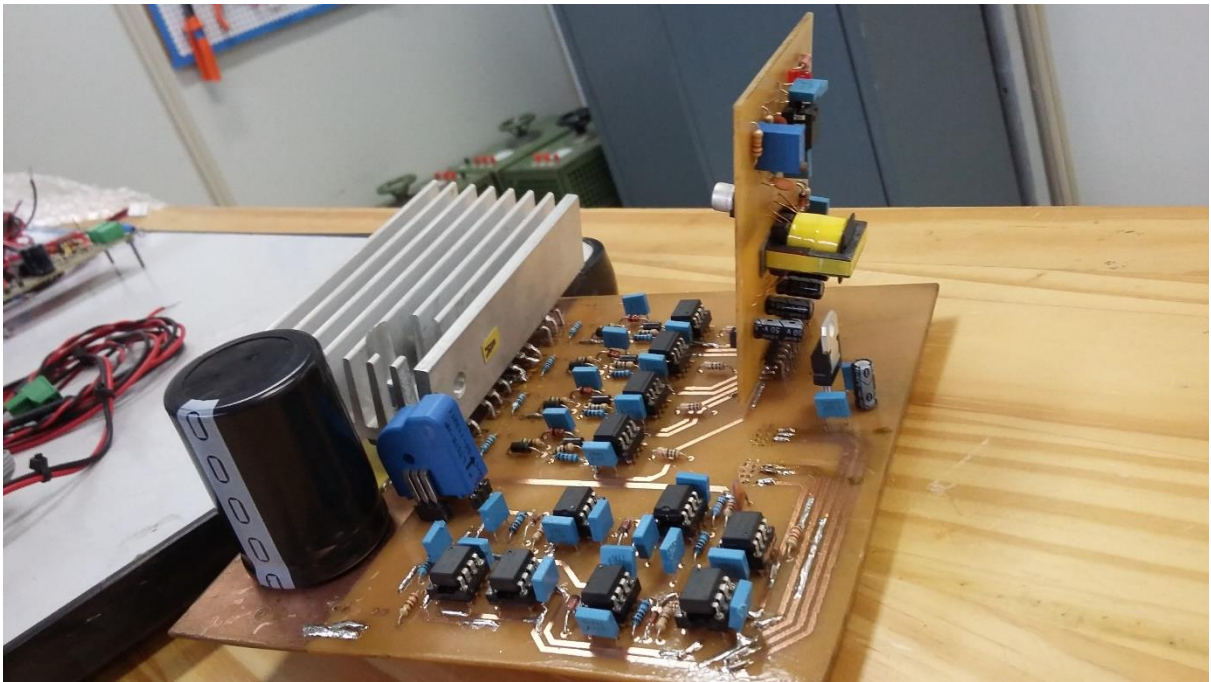
Fonte: próprio autor.

Figura 43 - Inversor ponte completa simulado para modulante senoidal com componentes frequenciais de 60 Hz e 1200 Hz.



Fonte: próprio autor.

Figura 44 - Protótipo do inversor ponte completa com fonte auxiliar acoplada utilizado para testes.



Fonte: próprio autor.

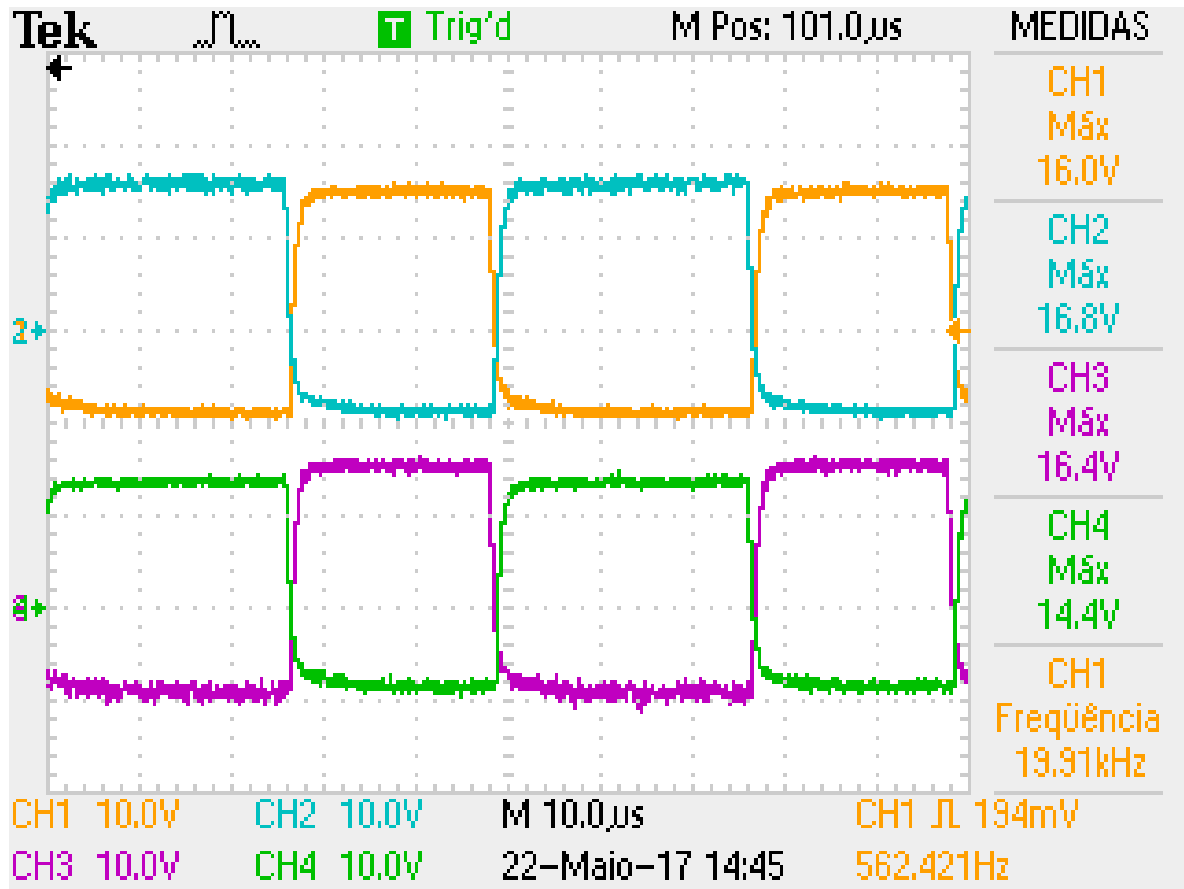
4.2.1 Comando dos interruptores

Os primeiros resultados obtidos foram os pulsos de gatilho para os interruptores, utilizando a fonte auxiliar já acoplada. Para este teste utilizou-se uma programação intermediária com apenas uma modulante e uma portadora de 20 kHz, tornando a modulação bipolar. Utilizou-se também um tempo morto de 500 ns nesta etapa inicial.

A Figura 45 apresenta as formas de onda encontradas nos quatro pontos *gate-source* dos interruptores. Nota-se a propagação da assimetria das tensões de saída da fonte auxiliar para as formas de onda de gatilho.

A tensão negativa também não é idêntica em todos os pulsos devido aos pequenos erros de regulação dos zeners utilizados. Todos os pulsos ainda assim estão conforme o esperado.

Figura 45 - Pulsos de gatilho para inversor ponte completa experimental.



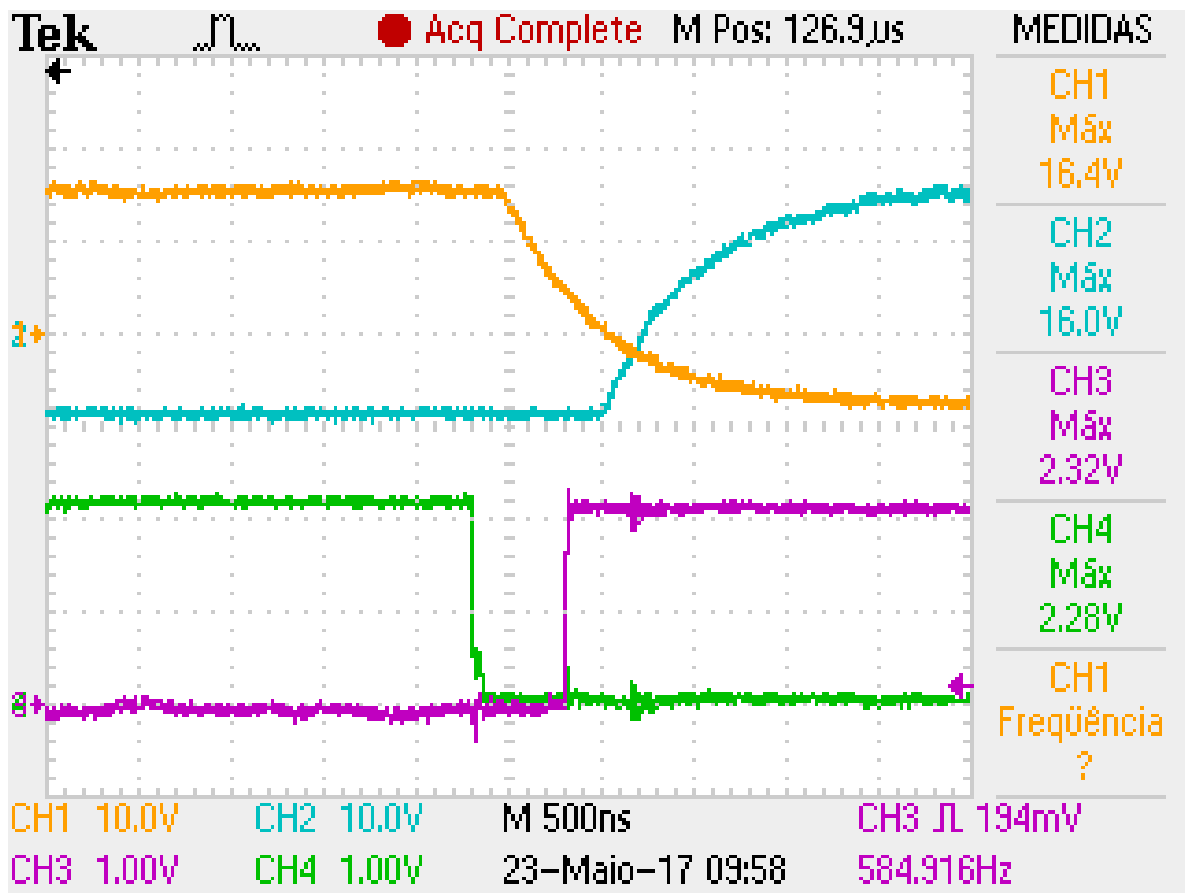
Fonte: próprio autor.

Não se apresentou resultados de simulação comparativos para esta etapa por não utilização do *driver* na simulação

A característica de tempo morto pode ser visualizada na Figura 46, onde se mostra o pulso inicial do FPGA e o mesmo pulso após o *driver*. Visto o valor elevado do resistor de gatilho inicialmente proposto, as derivadas de subida e descida dos interruptores diminuem consideravelmente o tempo de segurança entre pulsos de comando do mesmo braço. No entanto as mesmas ainda proporcionam algum tempo morto, mesmo que reduzido para o circuito.

As derivadas lentas, contudo, aumentam consideravelmente as perdas por comutação, visto a presença de tensão e corrente no interruptor durante o período de bloqueio e comutação. Para a baixa corrente do projeto a mesma não é crucial ao funcionamento do protótipo, mas devido a frequência de comutação média-alta este fator limita a potência em caso de adequação do projeto.

Figura 46 - Pulsos de gatilho antes e depois do *driver* com zoom no tempo morto para inversor ponte completa experimental.



Fonte: próprio autor.

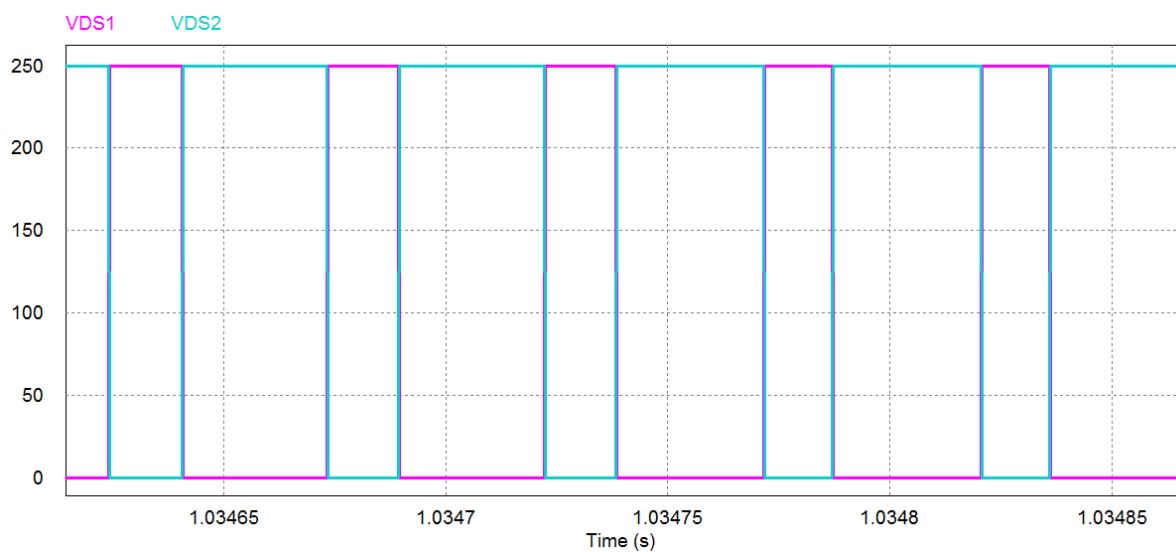
4.2.2 Interruptores

Com a introdução do estágio de potência ao protótipo notou-se a presença de uma sobretensão não esperada nos interruptores. Sabe-se que a tensão de bloqueio dos interruptores é grampeada pela tensão de entrada, comprovado também pelo resultado de simulação mostrado na Figura 47. Um curioso efeito notado era uma sobretensão com característica ressonante muito além do esperado na entrada em bloqueio dos interruptores.

Uma análise mais detalhada levou a conclusão de que as capacitâncias dos interruptores e as indutâncias intrínsecas de trilha eram responsáveis pela ressonância em si e o tempo elevado de recuperação reversa do diodo (390 ns), assim como sua alta corrente de recuperação reversa abria espaço para reflexão dessa ressonância nas chaves.

Entre as tentativas iniciais de solução do problema, aumentou-se gradativamente o resistor de *gate*, em busca de uma menor derivada de subida da tensão *drain-source*, tentando deste modo combater o pico inicial da ressonância. Após utilização de um resistor de até $180\ \Omega$ notou-se que esta solução não seria suficiente para alcance da tensão nominal de entrada sem risco de danificar o interruptor.

Figura 47 - Tensão *drain-source* de interruptores S1 e S2 para inversor ponte completa simulado.



Fonte: próprio autor.

Entre as soluções possíveis para este problema cogitou-se a utilização de um *snubber* do tipo RCD grampeador, descartada pela dificuldade e desnecessidade de adequação dos mesmos ao layout, e a troca do interruptor por um IGBT com um diodo ultrarrápido e característica *soft recovery*.

Sendo a segunda opção a mais adequada, utilizou-se o IGBT IRG4PF50WD da fabricante *International Rectifier*®, disponível em laboratório. Suas características elétricas são mostradas na Tabela 26.

Comprovada a eficácia da solução proposta, decidiu-se também reduzir o resistor de *gate* sucessivamente até atingir-se um valor baixo de resistência que minimize as perdas por comutação mas que não influenciasse na derivada de tensão, agora de coletor-emissor, tão fortemente. Seu valor final escolhido foi de $56\ \Omega$.

Tabela 26 - Características elétricas do IGBT IRG4PF50WD.

PARÂMETROS	VALORES
TENSÃO DE BLOQUEIO	900 V
CORRENTE DE ENTRADA (I_{CE} IGBT)	28 A
CAPACITÂNCIA DE ENTRADA (C_{ISS})	3300 pF
CAPACITÂNCIA DE SAÍDA (C_{OSS})	200 pF
CAPACITÂNCIA REVERSA (C_{RSS})	45 pF
TENSÃO DE LIMIAR (V_{TH})	4,5 V
TURN-ON DELAY	71 ns
TURN-OFF DELAY	150 ns
RISE TIME	50 ns
FALL TIME	110 ns
CORRENTE DO DIODO (I_{EC})	16 A
TEMPO DE RECUPERAÇÃO REVERSA (t_{rr})	90 ns

Fonte: próprio autor.

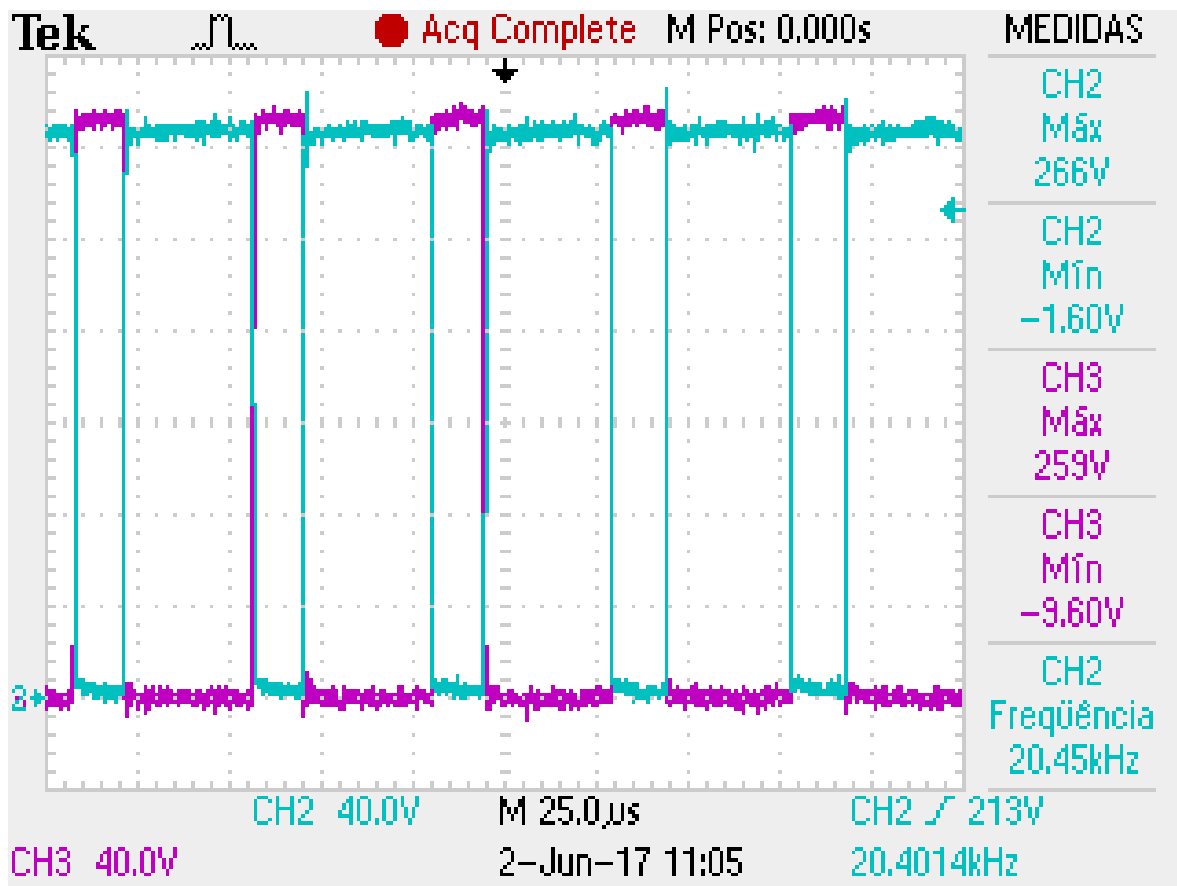
Os resultados de tensão coletor-emissor nesta configuração final são mostrados na Figura 48 e, com zoom na sobretensão, na Figura 49, sendo os valores de comparação com os resultados de simulação apresentados na Tabela 27

Tabela 27 - Valores encontrados para máxima e mínima tensão coletor-emissor de interruptores S1 e S2 para inversor ponte completa simulado.v

PARÂMETRO	VALOR
Tensão Drain-Source máxima de S1	250V
Tensão Drain-Source mínima de S1	0V
Tensão Drain-Source máxima de S2	250V
Tensão Drain-Source mínima de S2	0V

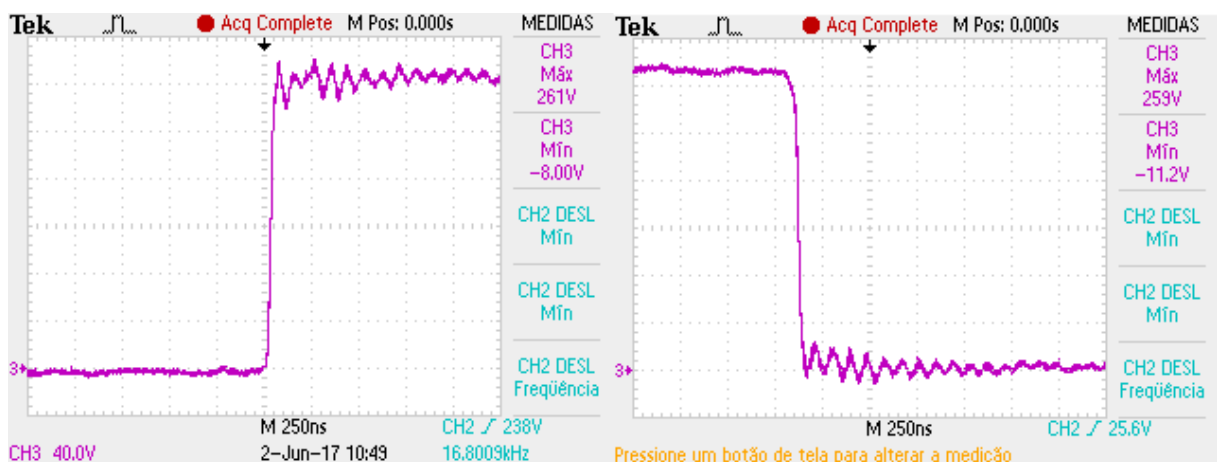
Fonte: próprio autor.

Figura 48 - Tensão coletor-emissor de interruptores S1 e S2 para inversor ponte completa experimental..



Fonte: próprio autor.

Figura 49 - Tensão coletor-emissor de interruptor S2 com zoom na subida (a) e descida (b) para inversor ponte completa experimental.



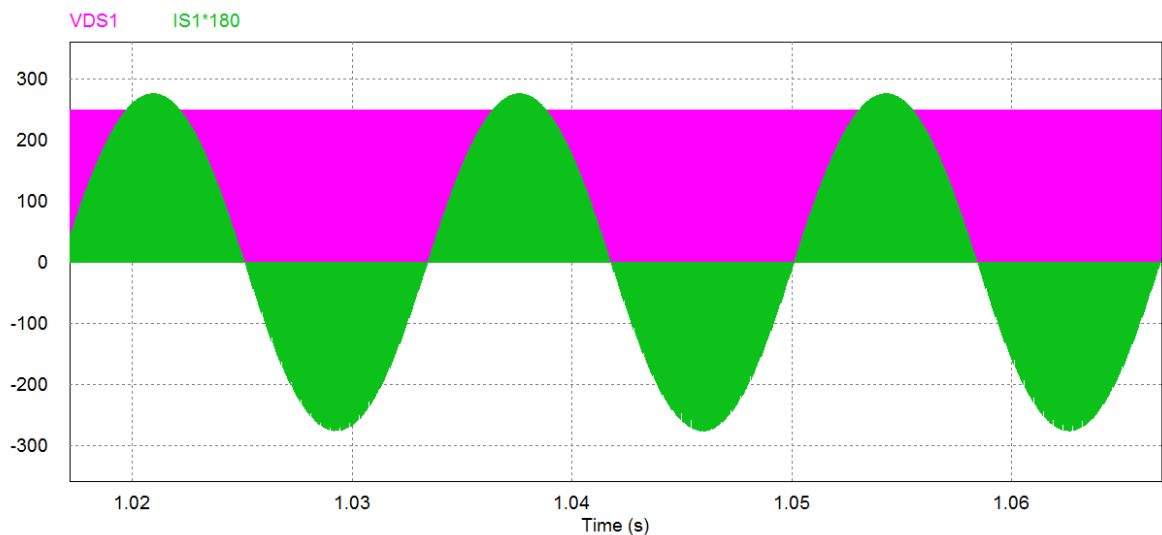
(a)

(b)

Fonte: próprio autor.

Com a utilização da ponteira de corrente TCP2020 também da Tektronix® obteve-se, simultaneamente, os resultados de tensão e corrente no interruptor, apresentados na Figura 51. Seu formato confere com os resultados de simulação (Figura 50) e os valores apresentados na Tabela 28, um espelho da corrente de saída com uma forte presença da frequência de comutação e uma condução negativa pelo diodo em antiparalelo do interruptor. A maior discrepância dos valores encontrados é relativa aos picos de corrente visto apenas em alguns períodos da senóide, gerados pela introdução de elementos parasitas na medição.

Figura 50 - Tensão e corrente (x180) do interruptor e diodo S1 para modulante puramente senoidal de 60 Hz em inversor ponte completa simulado.



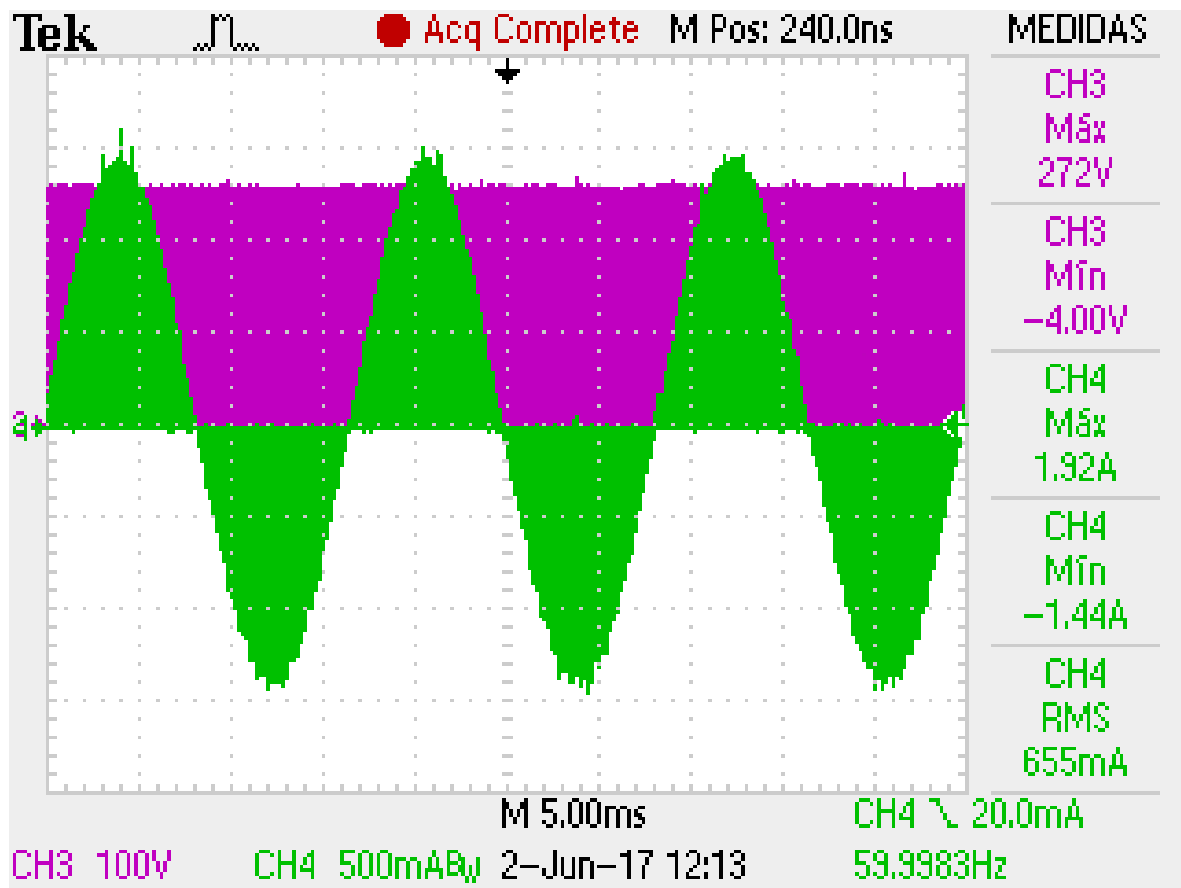
Fonte: próprio autor.

Tabela 28 - Valores encontrados de corrente do interruptor S1 para modulante puramente senoidal de 60 Hz em inversor ponte completa simulado.

PARÂMETRO	VALOR
Corrente máxima do interruptor (I_{smax})	1,54 A
Corrente mínima do interruptor (I_{smin})	-1,54 A
Corrente eficaz do interruptor (I_{srms})	743 mA

Fonte: próprio autor.

Figura 51 - Tensão e corrente do interruptor S1 para modulante puramente senoidal de 60 Hz em inversor ponte completa experimental.

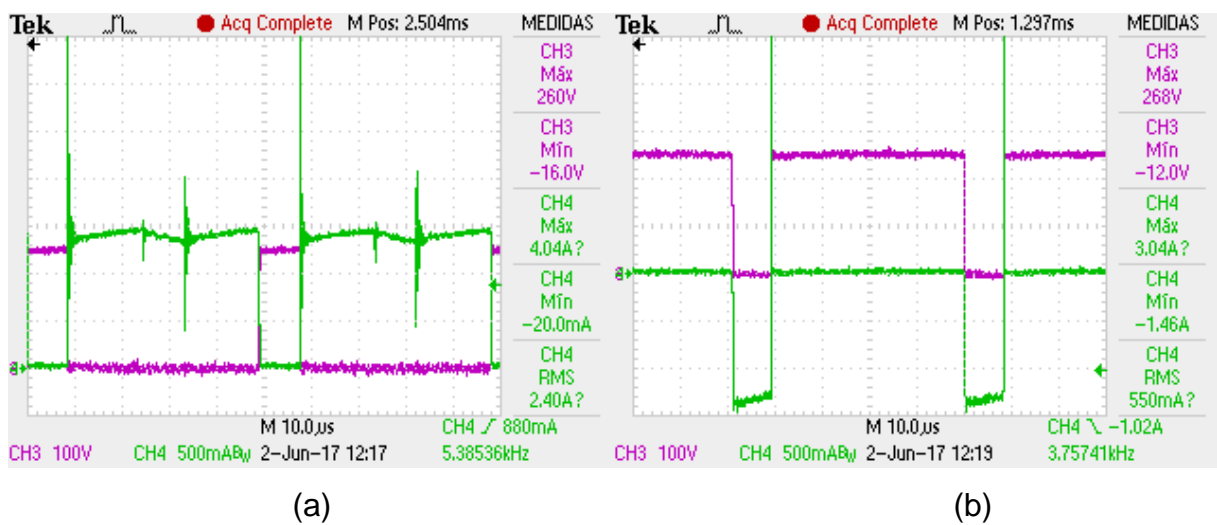


Fonte: próprio autor.

Uma análise com *zoom* nos mostra o efeito da recuperação reversa dos diodos na corrente da chave (Figura 52), tanto para a recuperação dos diodos do interruptor do mesmo braço quanto do interruptor do braço adjacente, sendo este efeito notado no meio do período.

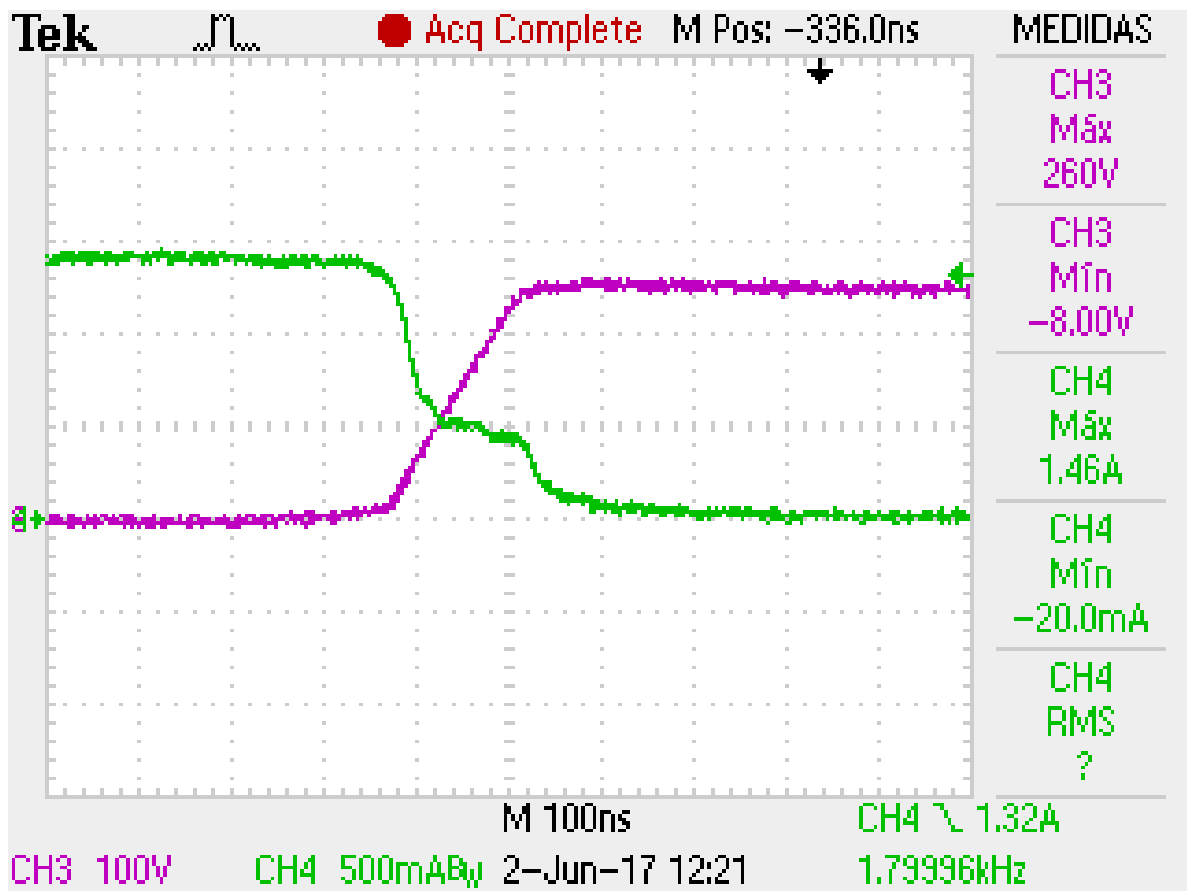
Com um *zoom* ainda maior no bloqueio do interruptor é possível inclusive visualizar o efeito da entrada na zona de *threshold* do IGBT, na corrente (Figura 53).

Figura 52 - Tensão e corrente do interruptor S1 para modulante puramente senoidal de 60 Hz e zoom em I_{smax} (a) e I_{smin} (b) para inversor ponte completa experimental.



Fonte: próprio autor.

Figura 53 - Tensão e corrente do interruptor S1 para modulante puramente senoidal de 60 Hz e zoom na comutação com I_{smax} .

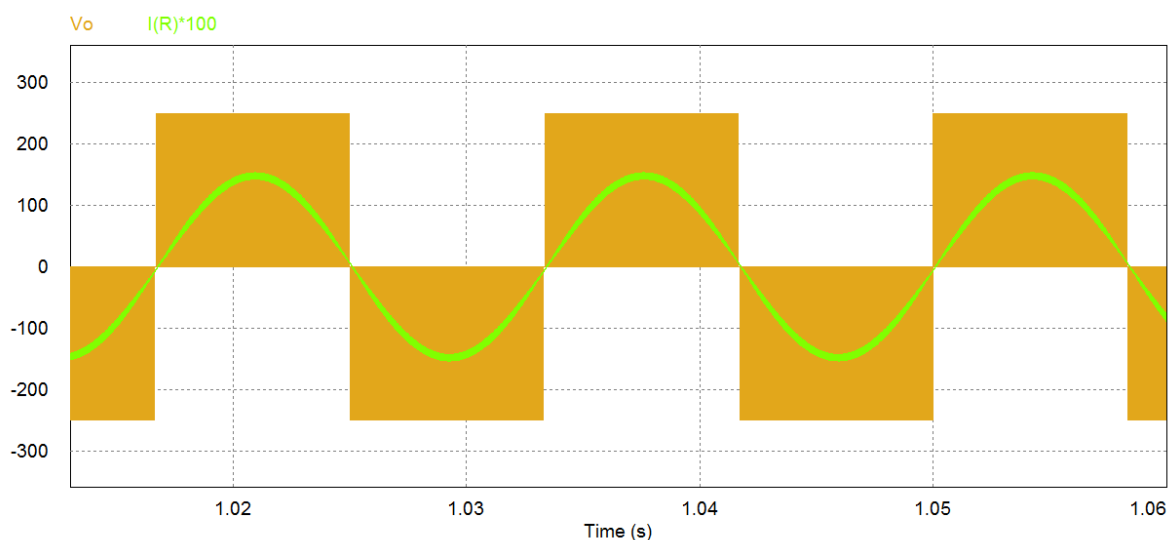


Fonte: próprio autor.

4.2.3 Saída com um componente frequencial na modulante

O filtro indutivo de saída foi capaz de remover grande parte da ondulação de alta frequência que apareceria na corrente de saída no caso de uma carga puramente resistiva, conforme se vê na Figura 54.

Figura 54 - Tensão e corrente de saída (x100) para modulante puramente senoidal de 60 Hz em inversor ponte completa simulado.

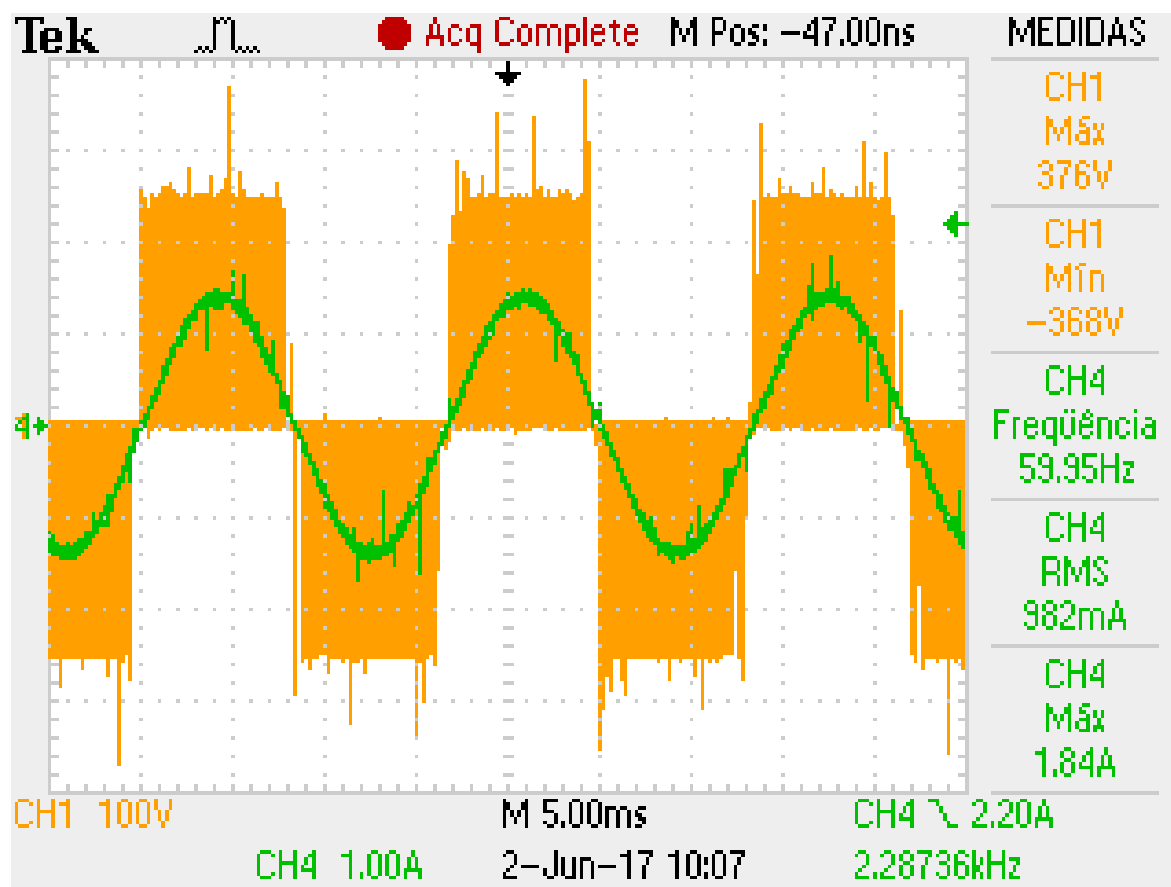


Fonte: próprio autor.

Os valores comparativos entre simulação e experimental são mostrados na Tabela 29.

Os valores experimentais para corrente eficaz encontrados (Figura 55) são menores que os vistos por simulação pelo efeito do tempo morto na tensão de saída. Esta teoria pôde ser confirmada através do *Application Key* do osciloscópio, onde através da função FFT (*Fast Fourier Transformer* – Transformada Rápida de Fourier) e de uma aquisição por médias, para atenuação dos componentes em alta frequência, extraiu-se o valor eficaz da tensão mostrado na Figura 56. Esperava-se inclusive um valor menor para o mesmo, visto o valor da corrente eficaz encontrado na saída. Tal fator é resultante da aquisição por média que teve seus valor levemente alterado pelos picos de tensão apresentados na Figura 55.

Figura 55 - Tensão e corrente de saída para modulante puramente senoidal de 60Hz em inversor ponte completa experimental.



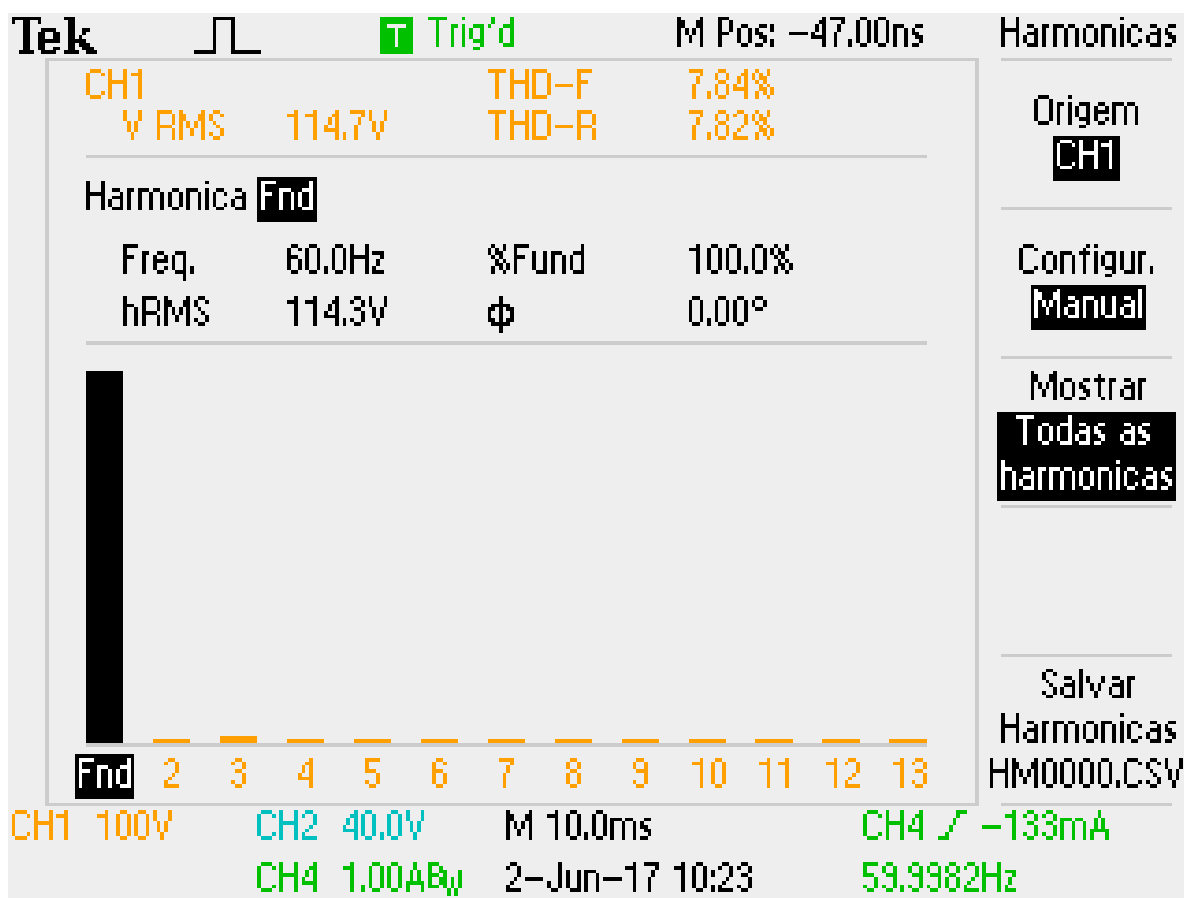
Fonte: próprio autor.

Tabela 29 - Valores encontrados para tensão e corrente de saída com modulante puramente senoidal de 60Hz para inversor ponte completa simulado.

PARÂMETRO	VALOR
Tensão máxima de saída	250 V
Tensão mínima de saída	91,60 mV
Frequência da corrente de saída (f_{out})	60 Hz
Corrente de saída eficaz (I_{outrms})	1,03 A
Corrente de pico de saída ($I_{outpeak}$)	1,53 A

Fonte: próprio autor.

Figura 56 - Componente harmônica da fundamental de tensão da saída com modulante puramente senoidal de 60 Hz em inversor ponte completa.



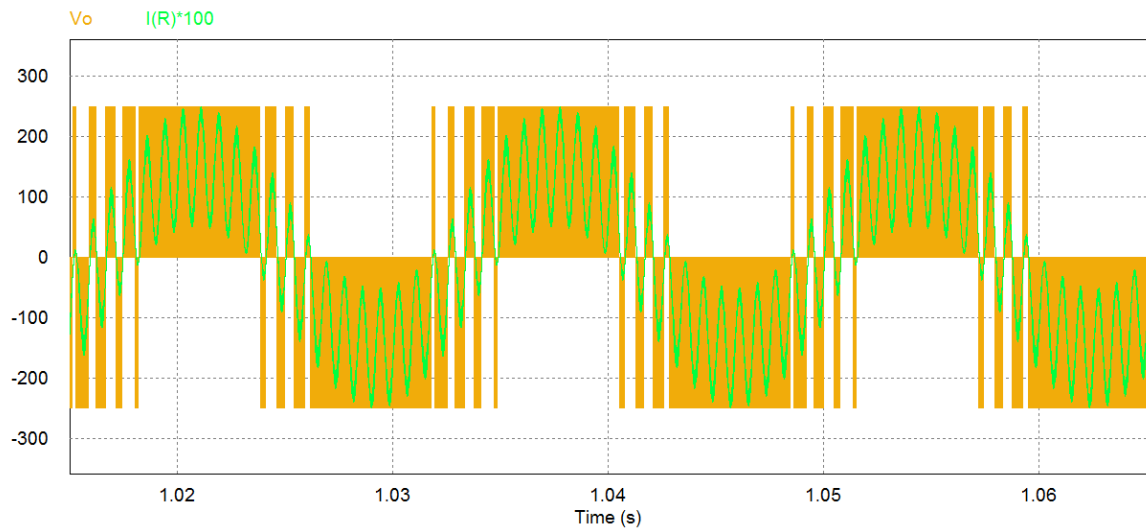
Fonte: próprio autor.

4.2.4 Saída com dois componentes frequenciais na modulante

Após ter sido comprovada a eficácia do protótipo, decidiu-se pôr em prática a proposta inicial: uma modulante com duas componentes frequenciais. A programação utilizada foi a mesma já apresentada no capítulo anterior.

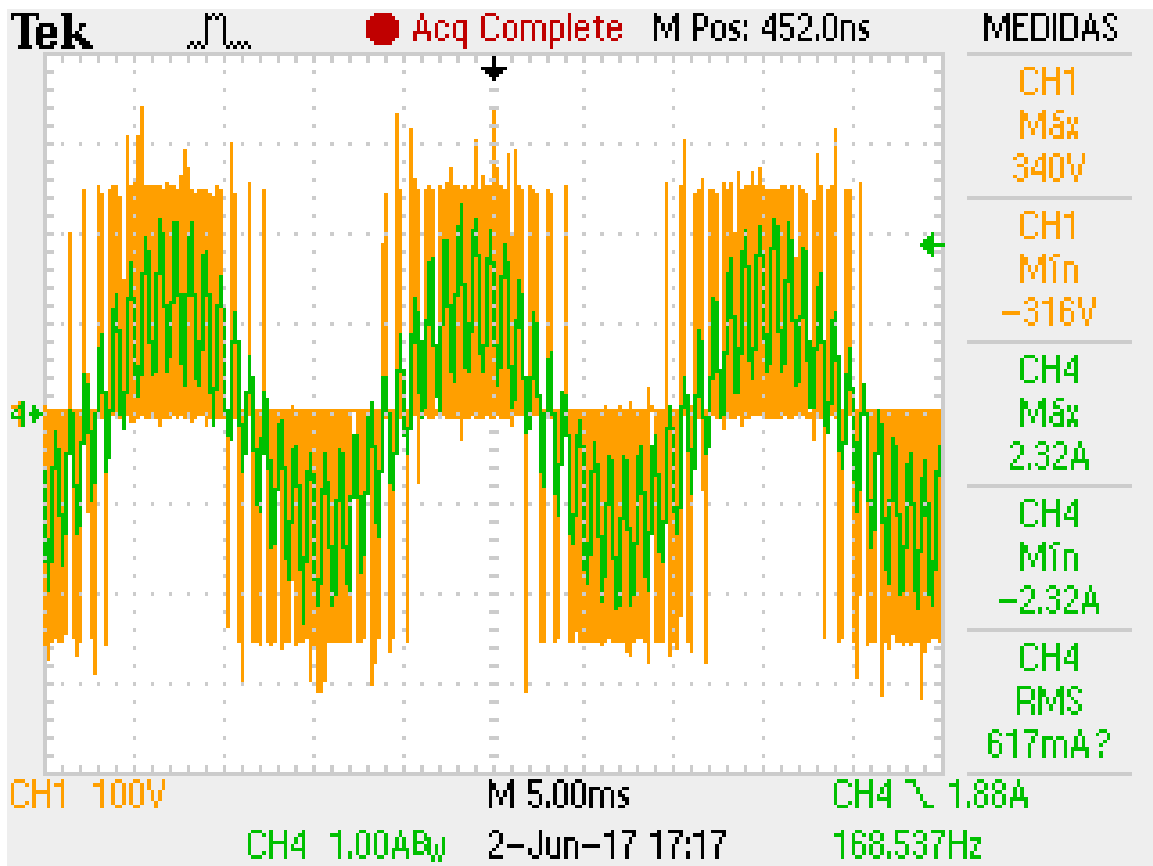
Não sendo possível para o osciloscópio calcular os valores eficazes de tensão e corrente, tanto de forma direta quanto pelo *Application Key*, pela forte presença de duas componentes frequenciais, os únicos valores comparados entre os resultados de simulação (Figura 57) e experimentais (Figura 58) foram os de máximo e mínimo da corrente de saída, mostrados na Tabela 30.

Figura 57 - Tensão e corrente de saída (x100) para modulante senoidal com componentes frequenciais de 60 Hz e 1200 Hz em inversor ponte completa simulado.



Fonte: próprio autor.

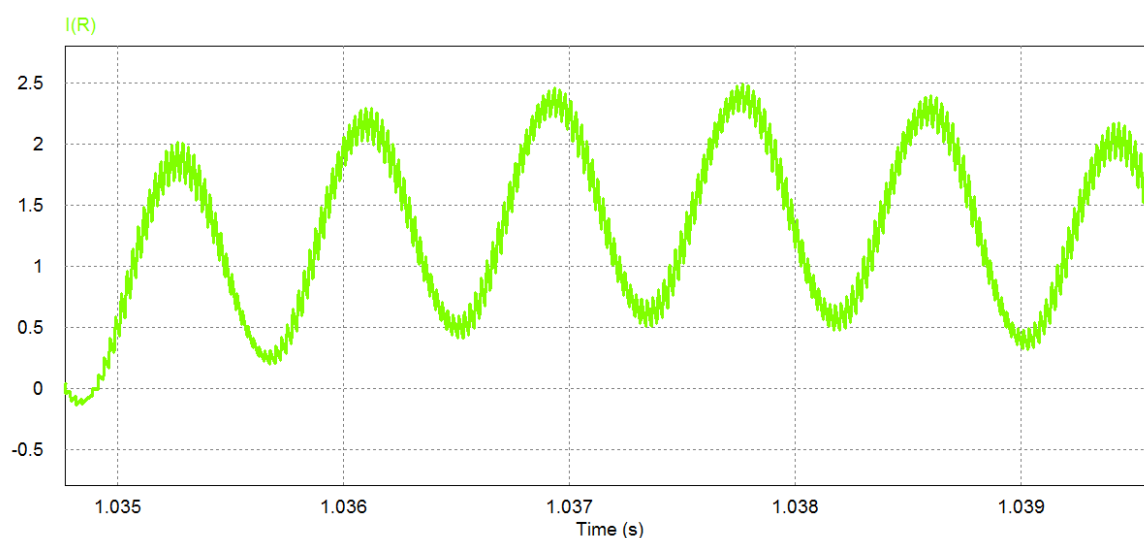
Figura 58 - Tensão e corrente de saída (x100) para modulante senoidal com componentes frequenciais de 60 Hz e 1200 Hz em inversor ponte completa experimental.



Fonte: próprio autor.

Para facilitar a visualização também, mostra-se o formato de corrente de saída com *zoom* na ondulação em alta frequência simulado (Figura 59) e também experimental (Figura 60). Pode se ver nas escalas de simulação uma ondulação na componente frequencial alta de aproximadamente 1 A, sendo este valor um pouco menor experimentalmente devido a influência do tempo morto, como já citado no subitem anterior.

Figura 59 - Corrente de saída para modulante senoidal com componentes frequenciais de 60 Hz e 1200 Hz com zoom na ondulação em inversor ponte completa simulado.



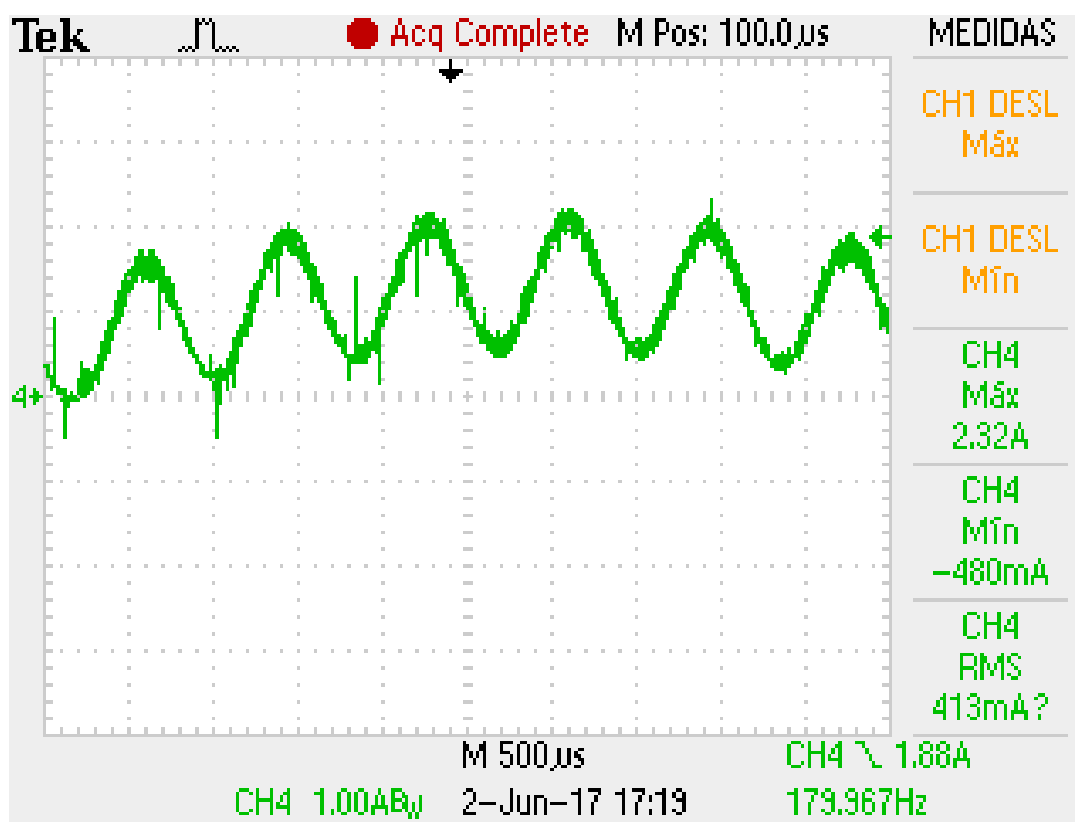
Fonte: próprio autor.

Tabela 30 - Valores encontrados de corrente de saída para modulante senoidal com componentes frequenciais de 60 Hz e 1200 Hz em inversor ponte completa simulado.

PARÂMETRO	VALOR
Corrente máxima da saída (I_{omax})	2,49 A
Corrente mínima da saída (I_{omin})	-2,49 A
Corrente eficaz da saída (I_{orms})	1,23 A

Fonte: próprio autor.

Figura 60 - Corrente de saída para modulante senoidal com componentes frequenciais de 60Hz e 1200Hz com zoom na ondulação em inversor ponte completa experimental.



Fonte: próprio autor.

Por impossibilidade de aquisição das imagens térmicas da câmera do laboratório, apenas confirmou-se a temperatura em regime permanente dos componentes mais críticos, ou seja, os interruptores.

O MOSFET do *flyback* atingia valores em torno de 73 °C na situação nominal dos *drivers* e condicionamento funcionando. Já os IGBTs do inversor chegavam a apenas 54 °C na tensão e corrente nominal.

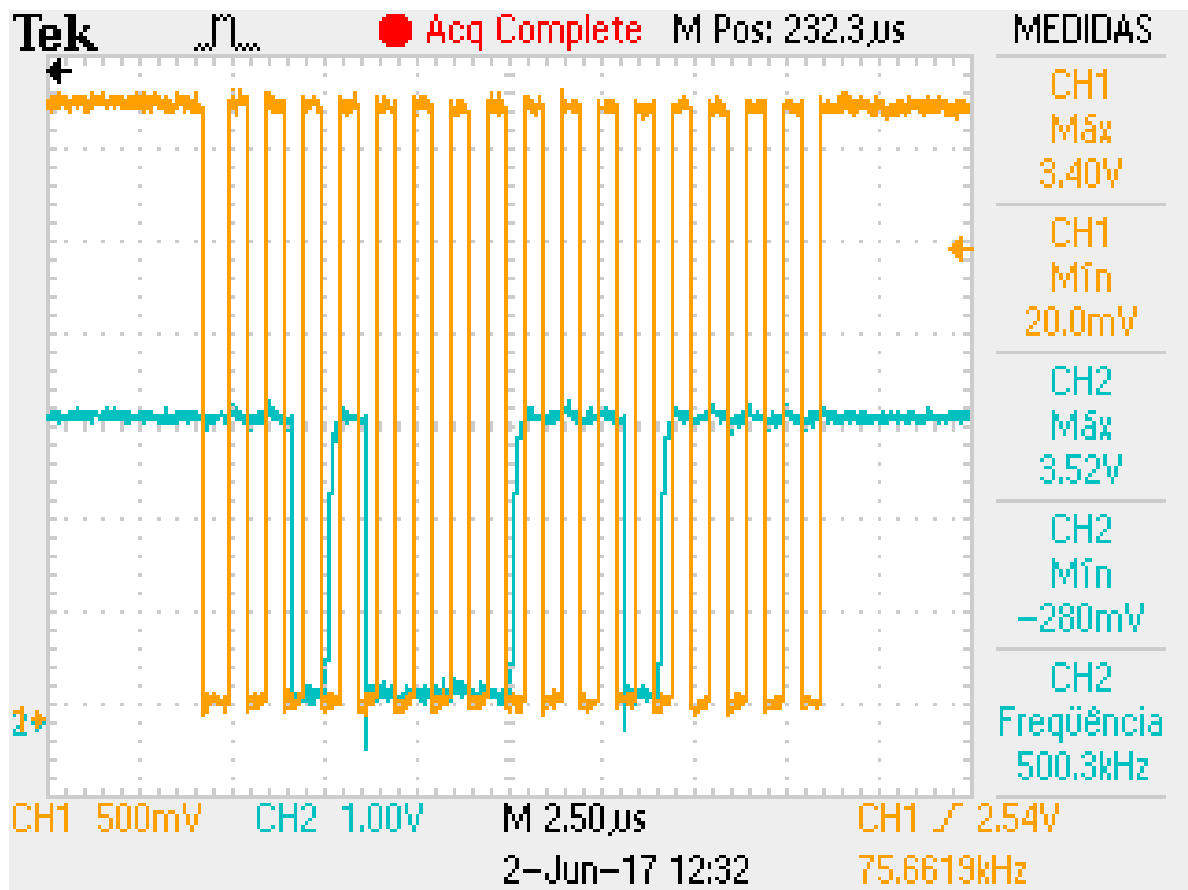
4.2.5 Conversor AD – serial

A proposta de teste dos condicionadores de tensão e corrente era a de leitura da tensão de entrada do inversor, visto o posicionamento da entrada do conversor ser o barramento CC do MMC final, e também da corrente de entrada do mesmo.

Por praticidade de obtenção dos resultados optou-se pela injeção indireta de uma tensão e corrente conhecida de valores menores para leitura destes sinais.

Com uma fonte de tensão ajustada para 2,5 V, como mostrada no display da mesma, injetou-se este valor em cima do resistor $R16$ (Figura 26), pulando a etapa de divisor resistivo. Com a habilitação do *clock* obteve-se as formas de onda mostrados na Figura 61.

Figura 61 - Trem de pulso do *clock* e sinal de leitura de tensão do conversor ad serial implementado.



Fonte: próprio autor.

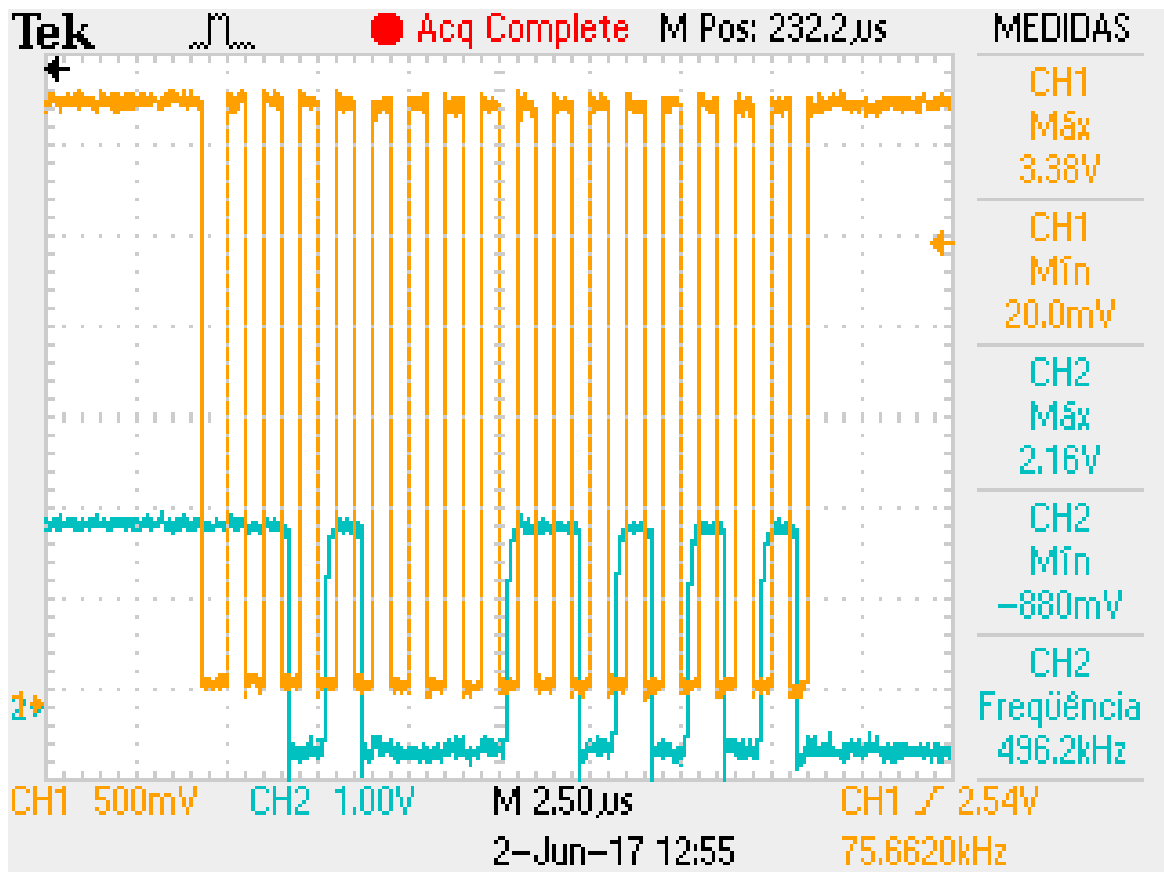
Desconsiderando-se a primeira borda de descida do *clock*, representado em amarelo, conta-se dois pulsos nulos (característicos do CI) e inicia-se a conversão serial. O valor binário lido e convertido foi:

$$100001110111_B = 2167_D \Leftrightarrow 2,645 V \quad (68)$$

Sendo este erro resultante da amostragem com erros do display da fonte utilizada.

Para a medição de corrente, injetou-se um valor de 200 mA entre os pontos V_{SOURCE} e $Input$ (Figura 27) do sensor Hall e obteve-se o resultado apresentado na Figura 62.

Figura 62 - Trem de pulso do clock e sinal de leitura de corrente do conversor ad serial implementado.



Fonte: próprio autor.

Sua conversão binária ficou apresentando um erro percentual extremamente baixo:

$$100001101010_B = 2154_D \Leftrightarrow 2,629 \text{ V} \Leftrightarrow 206 \text{ mA} \quad (69)$$

O nível DC negativo presente neste segundo resultado foi simplesmente por descuido de alocação do GND da ponteira de tensão do lado oposto do optoacoplador, deixando a medição flutuando.

5 CONCLUSÃO

O estudo deste trabalho englobou diversos ramos da eletrônica industrial, indo desde a microeletrônica até a eletrônica de potência, passando por áreas intermediárias como as digitais, mostrando a interdisciplinaridade exigida para aprovação do trabalho de conclusão de curso.

Entre as ferramentas utilizadas durante a produção deste trabalho e não citadas no texto é possível citar o *software ISE Design Suite 13.7*, sendo esta a plataforma de compilação da Xilinx®, onde foi feita toda a programação do FPGA. Também se utilizou diversos programas do pacote *Office®* para geração do texto (Word), tabelas (Excel) e fluxogramas/figuras (Visio).

Se analisados os objetivos, tanto geral quanto específicos, citados no início deste trabalho, percebe-se que todos foram alcançados. Tanto a fonte auxiliar proposta, quanto o conversor em si, as estratégias de modulação implementadas e também os condicionadores apresentaram resultados coerentes com a análise teórica e simulação das estruturas.

Entre os deslizes realizados durante as etapas experimentais é interessante citar alguns pontos específicos:

- Dificuldade de medição de tensões e correntes com precisão, por interferência de elementos parasitas inseridos indiretamente aos circuitos;
- Integração de circuitos testados isoladamente, que apresentam problemas quando funcionando juntos;
- Necessidade de utilização de ferramentas e funcionalidades dos equipamentos de medição que eram, até então, desconhecidas.

Todas estas dificuldades proporcionaram uma experiência não explorada durante o período de graduação e foram responsáveis por um engrandecimento pessoal significativo, sendo uma excelente preparação para os futuros problemas que serão encontrados após o início da entrada no mercado de trabalho e exercício da função de engenheiro.

Durante a execução experimental notou-se também algumas possíveis melhorias passíveis de implementação/ajuste em trabalhos futuros:

- Substituição do interruptor utilizado para um com tensão de bloqueio e corrente menores, tornando o protótipo menos custoso;

- Outra solução seria aumentar os parâmetros do projeto, como tensão do barramento CC ou até mesmo a potência processada pela estrutura, já que os interruptores trabalham praticamente a frio;
- Adequação da alimentação da fonte auxiliar como sendo a mesma tensão do barramento CC. Esta tarefa, inicialmente não visualizada, dispensaria o uso de outro conversor externo para adequação da tensão de alimentação do MMC para alimentação das fontes auxiliares;
- Melhor disposição dos conectores de potência/sinal, de maneira a facilitar as ligações do MMC como projeto final;

REFERÊNCIAS

- [1] X. SHE, A. Q. HUANG e R. BURGOS, “**Review of Solid-State Transformer technologies and their application in power distribution systems,**” *IEE - Transactions on Industrial Electronics*, vol. 1, nº 3, pp. 186-198, Agosto 213.
- [2] W. A. RODRIGUES, R. A. S. SANTANA e A. P. L. COSTA, “**Aplicação do Transformador de Estado Sólido em Sistemas de Distribuição,**” *Simpósio Brasileiro de Sistemas Elétricos*, pp. 1-3, Janeiro 2016.
- [3] D. G. CASTELLAIN, “**Desenvolvimento de conversores modulares multiníveis para aplicação em transformadores eletrônicos,**” Blumenau, 2013.
- [4] M. P. KAZMIERKOWSKI, L. G. FRANQUELO, J. RODRIGUEZ, M. A. PEREZ e J. I. LEON, “**High-Performance Motor Drives,**” *IEEE Transactions on Industrial Electronics*, pp. 11-17, Setembro 2011.
- [5] M. MEZARоба, “**Modulação PWM,**” 2008.
- [6] A. L. BATSCHAUER, “**Inversores alimentados em tensão: Ponte-completa (full-bridge),**” 2013.
- [7] J. E. BRITAIN, “**From Computer to Electrical Engineer — the Remarkable Career of Edith Clarke,**” *IEEE Transactions on Education*, vol. 4, nº 28, pp. 184-189, Novembro 1985.
- [8] D. C. FERNANDES, “**Estudo da técnica de modulação por espaço vetorial para comutação de motores sem escovas aplicados a rotores de inércia,**” São José dos Campos, 2014.
- [9] UNESP, “**Modulação Vetorial Espacial,**” 200_.
- [10] A. L. BATSCHAUER, “**Inversores alimentados em tensão: Inversor Trifásico,**” 2013.
- [11] S. SIRISUKPRASERT, “**Optimized harmonic stepped-waveform for Multilevel Inverter,**” Blacksburg, 1999.
- [12] J. R. WELLS, “**Modulation-Based Harmonic Elimination,**” *IEEE Transactions on Education*, vol. 22, nº 1, pp. 336-339, Janeiro 2007.
- [13] M. SHARIFZADEH e H. VAHEDI, “**Hybrid SHM-SHE Pulse-Amplitude Modulation,**” *IEEE Transactions on Industrial Electronics*, vol. 63, pp. 7234-7240, Novembro 2016.
- [14] R. GUPTA, “**Multiband Hysteresis Modulation and Switching,**” *IEEE Transactions on Industrial Electronics*, vol. 57, nº 7, pp. 2344-2352, Julho 2010.
- [15] J. A. POMILIO, “**Técnicas de modulação de potência,**” 2014.
- [16] C. BORDONS e C. MONTERO, “**Basic Principles of MPC for Power Converters,**” *IEEE Transactions on Industrial Electronics*, pp. 31-41, Setembro 2015.
- [17] L. M. CÚNICO, “**Estudo do conversor modular multinível,**” Joinville, 2013.
- [18] A. L. BATSCHAUER, “**Inversor multinível híbrido trifásico baseado em módulos meia-ponte,**” Florianópolis, 2011.
- [19] C. d. COSTA, **Projetando controladores digitais com FPGA**, 1 ed., São Paulo: NOVATEC, 2006.

- [20] S. KILTS, **Advanced FPGA design: Architecture, Implementation, and Optimization**, Hoboken: John Wiley & Sons, 2007.
- [21] J. LAGO, G. J. M. Sousa e M. L. HELDWEIN, “**Digital Control/Modulation Platform for a Modular Multilevel Converter System**,” *IEEE Transactions on Industrial Electronics*, pp. 2833-2837, Fevereiro 2016.
- [22] W. d. O. AVELINO, “**Desenvolvimento de um inversor monofásico utilizando controlador digital baseado em FPGA**,” Fortaleza, 2010.
- [23] R. P. T. BASCOPE e A. J. PERIN, **O Transistor IGBT aplicado em eletrônica de potência**, Porto Alegre: Sagra Luzzatto, 1997.
- [24] M. B. d. ROSA, “**Projeto de conversor flyback como fonte auxiliar para conversor modular multinível**,” Joinville, 2015.
- [25] T. Instruments, “**CURRENT MODE PWM CONTROLLER**,” Dallas, 1997.
- [26] M. R. HADDIOUI, “**Control and modulation strategies for MMC-based HVDC**,” Aalborg, 2015.
- [27] I. BARBI, **Projetos de Fontes Chaveadas**, A18 ed., Florianópolis: do autor, 2014.
- [28] ASSOCIATED POWER TECHNOLOGIES - APT, “**Total Harmonic Distortion and Effects in Electrical Power Systems**,” 201_.

APÊNDICE A

Este apêndice contém a programação utilizada para geração dos valores instantâneos do vetor da senóide utilizado na modulação.

```
Vpico_1 = 1;
Vpico_2 = 0.641;

ma = (Vpico_1+Vpico_2)/2;

f1 = 60;
f2 = 1200;

V_portadora_max = 4902;

n_pontos = 1200;

t = (1:n_pontos)/n_pontos/f1;

referencia = Vpico_1*sin(2*pi*f1.*t) + Vpico_2*sin(2*pi*f2.*t);

delta = (max(referencia) - min(referencia));

referencia = ma*referencia*V_portadora_max/delta;

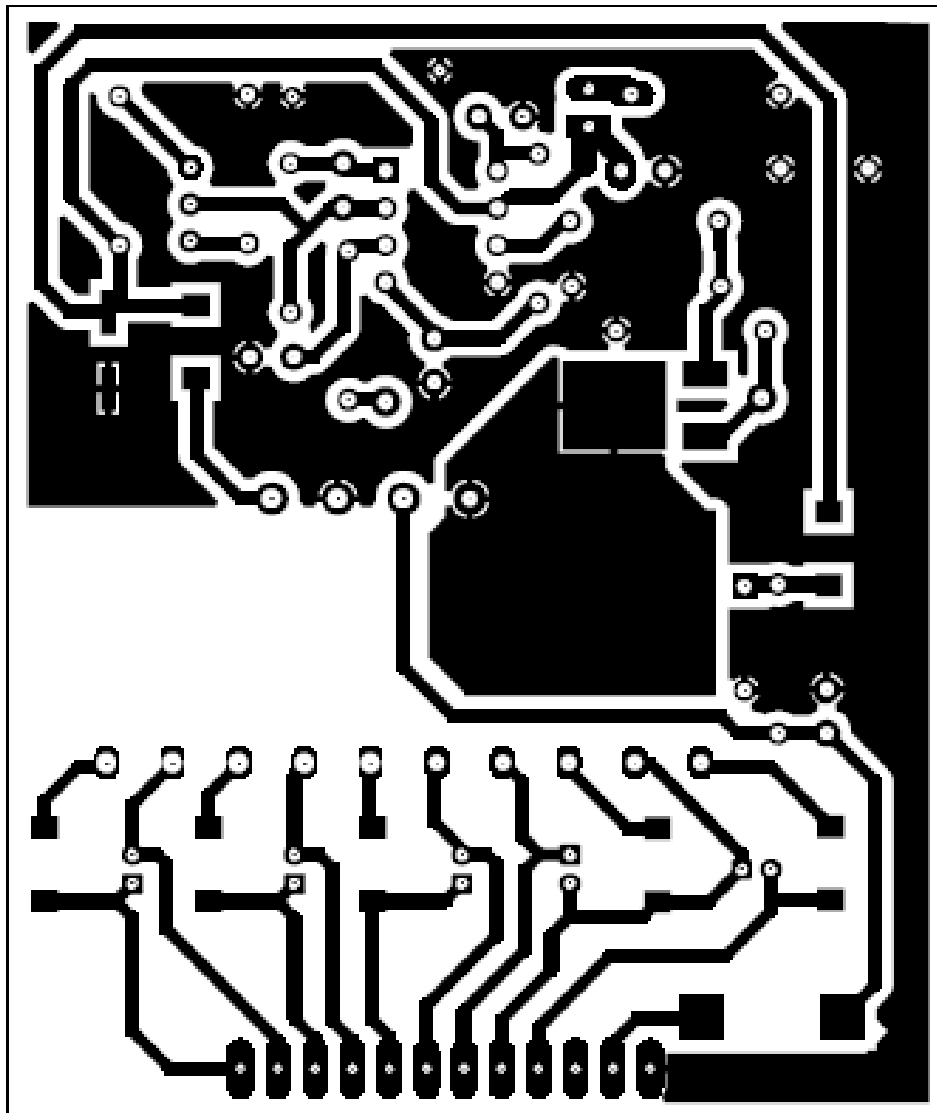
nivel_medio = V_portadora_max/2;

referencia = referencia + nivel_medio;

fid = fopen( [location_save,file_name_txt], 'w');
for i = 1:n_pontos
    fprintf(fid, 'assign Vmod_vetor1[%.0f] = %.0f;', i, referencia(i));
end
fclose(fid);
```

APÊNDICE B

Este apêndice contém o *layout* (fora de escala) utilizado para a fonte auxiliar do tipo *flyback*.



APÊNDICE C

Este apêndice contém o *layout* (fora de escala) utilizado para o inversor ponte completa. Vale se citar que a placa utilizada foi projetada como *dual layer* por praticidade na disposição e ligação dos componentes. Utilizou-se, tanto na produção do *flyback* quanto do inversor, o processo de produção de fotolito para criação da PCB. A primeira imagem mostra a parte inferior da placa e a segunda imagem a superior.

