

UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS - CCT
CURSO DE ENGENHARIA ELÉTRICA - DEE
TRABALHO DE CONCLUSÃO DE CURSO - TCC

FERNANDO HENRIQUE VAZ MELLO

**ESTUDO COMPARATIVO DE DESEMPENHO DE TÉCNICAS PARA DETECÇÃO E
MITIGAÇÃO DE FALHAS EM CONVERSORES MULTINÍVEIS**

JOINVILLE

2026

FERNANDO HENRIQUE VAZ MELLO

**ESTUDO COMPARATIVO DE DESEMPENHO DE TÉCNICAS PARA DETECÇÃO E
MITIGAÇÃO DE FALHAS EM CONVERSORES MULTINÍVEIS**

Trabalho de Conclusão de Curso apresentado ao Programa de Graduação em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, como requisito parcial para a obtenção do grau de Bacharel em Engenharia Elétrica.

Orientador: Alessandro Luiz Batschauer

JOINVILLE

2026

FERNANDO HENRIQUE VAZ MELLO

**ESTUDO COMPARATIVO DE DESEMPENHO DE TÉCNICAS PARA DETECÇÃO E
MITIGAÇÃO DE FALHAS EM CONVERSORES MULTINÍVEIS**

Trabalho de Conclusão de Curso apresentado ao
Programa de Graduação em Engenharia Elétrica
do Centro de Ciências Tecnológicas da Univer-
sidade do Estado de Santa Catarina, como requi-
sito parcial para a obtenção do grau de Bacharel
em Engenharia Elétrica.

Orientador: Alessandro Luiz Batschauer

BANCA EXAMINADORA:

Prof. Dr. Alessandro Luiz Batschauer
Universidade do Estado de Santa Catarina (UDESC - CCT) - Presidente da banca e orientador

Membros:

Me. Henrique Fernandes de Souza
Universidade do Estado de Santa Catarina (UDESC - CCT)

Me. Marciel Wenk
Universidade do Estado de Santa Catarina (UDESC - CCT)

Joinville, 10 de julho de 2026

A todos que acreditaram em meu potencial durante minha jornada e, principalmente, aos meus pais, dedico este trabalho.

AGRADECIMENTOS

Gostaria, primeiramente, de expressar minha gratidão a meus pais, pelo apoio incondicional e incentivo durante toda a minha trajetória acadêmica. Desde sempre, eles foram uma fonte de inspiração e motivação, e sem o amor e a orientação deles, eu não teria chegado até aqui.

Agradeço ao professor Dr. Alessandro Luiz Batschauer, meu orientador, por sua orientação e dedicação ao longo deste trabalho. Sua expertise e conselhos foram fundamentais para o desenvolvimento deste projeto, além de que a sua matéria de Eletrônica de Potência foi fator motivador para a escolha do tema deste trabalho. Agradeço também aos demais professores do curso de Engenharia Elétrica da UDESC, que contribuíram para minha formação acadêmica, pessoal e profissional.

Aos meus amigos e colegas, que não são muitos em números, mas são muitos em qualidade, agradeço pelo apoio, incentivo e companheirismo durante toda a minha jornada acadêmica.

Por fim, agradeço a todos que, de alguma forma, contribuíram para a realização deste trabalho. Cada um de vocês teve um papel importante na minha trajetória acadêmica e pessoal, e sou grato por isso.

“Aquele que apenas obedece aos números e à lógica se torna uma engrenagem. Aquele que questiona o propósito... esse é um ser humano.”

— Treize Khushrenada (Mobile Suit Gundam Wing)

RESUMO

Este trabalho de conclusão de curso realiza uma análise comparativa de desempenho de diversas técnicas para detecção e mitigação de falhas em conversores multiníveis, com foco nas topologias de Conversor Multinível Modular (MMC) e Conversor Ponte H em Cascata (CHB). Dado o uso crescente desses conversores em aplicações críticas de alta potência, garantir sua confiabilidade e tolerância a falhas é fundamental. O estudo aborda uma variedade de soluções propostas na literatura, classificando-as entre implementações de *software*, que se aproveitam do *hardware* existente, e abordagens que combinam *hardware* e *software*, as quais podem necessitar de componentes adicionais, como circuitos de *bypass* e submódulos redundantes. A pesquisa bibliográfica abrange trabalhos de todas as topologias multiníveis encontradas, com revisão aprofundada dos conversores CHB e MMC, sendo o MMC escolhido, ao final, como plataforma para a comparação geral das técnicas. O desempenho dessas diferentes abordagens é avaliado com base em critérios-chave como custo, complexidade de implementação, robustez, tempo de detecção e a eficácia da ação corretiva. As estratégias mais promissoras são validadas em tempo real em uma plataforma de co-simulação composta por um emulador *Hardware-in-the-Loop* (HIL, Typhoon HIL402) e um DSP físico (TMS320F28335). O objetivo é determinar as estratégias mais vantajosas para aumentar a confiabilidade e garantir a continuidade da operação do conversor mesmo após a ocorrência de uma falha.

Palavras-chave: identificação de falhas de circuito aberto em semicondutores; estratégias de mitigação; comparação de topologias; sistemas críticos.

ABSTRACT

This bachelor's thesis conducts a comparative performance analysis of various techniques for the detection and mitigation of faults in multilevel converters, focusing on the Modular Multilevel Converter (MMC) and Cascaded H-Bridge (CHB) topologies. Given the increasing use of these converters in critical high-power applications, ensuring their reliability and fault tolerance is essential. The study addresses a variety of solutions proposed in the literature, classifying them into software-based implementations that leverage existing hardware, and approaches that combine hardware and software, which may require additional components such as bypass circuits and redundant submodules. The literature survey covers works on all multilevel topologies found, with an in-depth review of the CHB and MMC converters, the MMC being ultimately selected as the platform for the overall comparison of the techniques. The performance of these different approaches is evaluated based on key criteria such as cost, implementation complexity, robustness, detection time, and the effectiveness of the corrective action. The most promising strategies are validated in real time on a co-simulation platform composed of a Hardware-in-the-Loop (HIL, Typhoon HIL402) emulator and a physical DSP (TMS320F28335). The objective is to determine the most advantageous strategies to increase reliability and ensure the continuity of the converter's operation even after a fault occurs.

Keywords: open-circuit semiconductor fault diagnosis; mitigation strategies; topology comparison; critical systems.

LISTA DE ILUSTRAÇÕES

Figura 1 – Distribuição de falhas de componentes em sistemas de eletrônica de potência.	34
Figura 2 – Número de publicações (<i>Journals</i> e <i>Magazines</i> , 1998 a 2025) na IEEE Xplore .	34
Figura 3 – Estrutura de um módulo ponte completa do CHB.	40
Figura 4 – Estrutura de um Conversor CHB.	40
Figura 5 – Conversor CHB de 7 níveis.	41
Figura 6 – Princípio da modulação PS-PWM para um conversor de 7 níveis.	42
Figura 7 – Princípio da modulação LS-PWM para um conversor de 7 níveis.	43
Figura 8 – Fluxograma da estratégia de identificação/correção.	44
Figura 9 – Filtro Média Móvel da tensão de saída (CHB) (a) e sinais do comando do bypass para os módulos (CHB) (b).	45
Figura 10 – Tensão de saída do Conversor CHB.	46
Figura 11 – Corrente na carga do Conversor CHB.	46
Figura 12 – Ponte completa com identificação das chaves e sentido de corrente.	47
Figura 13 – Estados de chaveamento SF_1 (a) e SF_2 (b).	48
Figura 14 – Tensão de saída estimada.	48
Figura 15 – Fluxograma do método de eliminação através de contagem.	49
Figura 16 – Fluxograma do método de identificação e localização.	50
Figura 17 – Estados de Falta (a) e Contadores (b).	51
Figura 18 – Tensão de Saída do Conversor CHB.	51
Figura 19 – Corrente na Carga do Conversor CHB.	52
Figura 20 – Análise da necessidade de compensação positiva.	53
Figura 21 – Análise da necessidade de compensação negativa.	53
Figura 22 – Fluxograma de implementação da compensação intra-fase.	53
Figura 23 – Fluxograma de implementação da compensação inter-fase.	54
Figura 24 – Formas de onda das tensões de fase.	55
Figura 25 – Formas de onda da tensão v_{bn}	56
Figura 26 – Formas de onda da tensão v_{cn}	56
Figura 27 – Formas de onda das tensões de linha.	57
Figura 28 – Formas de onda das correntes de linha.	57
Figura 29 – Representação do vetor de referência $\vec{V}_{ref}$ no plano estacionário $\alpha\beta$	58
Figura 30 – Projeção do vetor de referência $\vec{V}_{ref}$ sobre os eixos das fases a , b e c (plano abc).	59
Figura 31 – Plano xyz das tensões diferenciais, com eixos V_x , V_y e V_z defasados de 120° : o vetor remanescente $\vec{V}_r$ é sintetizado pelos três vetores de comutação mais próximos.	59

Figura 32 – Operação do método sob falta no plano de comutação: decomposição do vetor de referência $\vec{V}_{ref}$ no BRV $\vec{V}_B$ (módulos saudáveis) e no vetor remanescente $\vec{V}_r$ (RRV), sintetizado pelos três vetores de comutação mais próximos. . . .	61
Figura 33 – Formas de onda das tensões de fase ($m = 0,95$).	63
Figura 34 – Formas de onda das tensões de fase ($m = 0,82$).	63
Figura 35 – Formas de onda das tensões de linha ($m = 0,95$).	64
Figura 36 – Formas de onda das tensões de linha ($m = 0,82$).	64
Figura 37 – Formas de onda das correntes de linha ($m = 0,95$).	64
Figura 38 – Formas de onda das correntes de linha ($m = 0,82$).	65
Figura 39 – Formas de onda de tensão de fase, tensão de linha e corrente de linha sem estratégia de correção ($m = 0,95$).	66
Figura 40 – Estrutura de um submódulo meia ponte do MMC.	67
Figura 41 – Estrutura de um Conversor MMC.	68
Figura 42 – Circuito equivalente entre MMC e carga RL.	70
Figura 43 – Estrutura hierárquica de controle do MMC.	72
Figura 44 – Diagrama de vetores espaciais que ilustra o princípio da modulação SVM para um conversor de dois níveis.	75
Figura 45 – Princípio da modulação NLM: aproximação da referência para o inteiro mais próximo.	77
Figura 46 – Princípio da modulação SUPWM convencional, com portadoras defasadas em 180°	78
Figura 47 – Princípio da modulação aprimorada (NL-PWM), com portadoras em fase, resultando em mais níveis de tensão e degraus menores.	79
Figura 48 – Filtro Média Móvel da tensão de saída (MMC).	80
Figura 49 – Sinais do comando do <i>bypass</i> após a identificação da falta do primeiro submódulo do sub-braço superior. (MMC).	81
Figura 50 – Tensão de Saída do Conversor MMC.	82
Figura 51 – Corrente na Carga do Conversor MMC.	82
Figura 52 – Tensão dos capacitores dos submódulos.	82
Figura 53 – Erro para NL-PWM.	85
Figura 54 – Erro para PS-PWM.	85
Figura 55 – Erro com valores de impedância errados para PS-PWM.	86
Figura 56 – Tensão dos capacitores do sub-braço superior para NL-PWM.	87
Figura 57 – Tensão dos capacitores do sub-braço superior para PS-PWM.	87
Figura 58 – Valores de $\rho_{u/l,mn}$ para NL-PWM.	87
Figura 59 – Valores de $\rho_{u/l,mn}$ para PS-PWM.	88
Figura 60 – Tensão de saída do conversor para NL-PWM.	89
Figura 61 – Tensão de saída do conversor para PS-PWM.	89
Figura 62 – Corrente de saída do conversor para NL-PWM.	89

Figura 63 – Corrente de saída do conversor para PS-PWM.	90
Figura 64 – Etapa de condução do diodo de S_1 ($S_1 = 1, S_2 = 0, i_{sm} > 0$).	93
Figura 65 – Etapa de condução do interruptor de S_2 ($S_1 = 0, S_2 = 1, i_{sm} > 0$).	93
Figura 66 – Etapa de condução do interruptor de S_1 ($S_1 = 1, S_2 = 0, i_{sm} < 0$).	93
Figura 67 – Etapa de condução do diodo de S_2 ($S_1 = 0, S_2 = 1, i_{sm} < 0$).	93
Figura 68 – Estrutura de um submódulo meia ponte do MMC com falha do interruptor superior.	94
Figura 69 – Estrutura de um submódulo meia ponte do MMC com falha do interruptor inferior.	95
Figura 70 – Circuito equivalente de modo comum modificado com impedâncias $2R_a$ e indutores acoplados L_a	97
Figura 71 – Simulação MATLAB Simulink automática para <i>sweep</i> de valores de N	99
Figura 72 – Resposta da tensão dos capacitores dos submódulos sob falha de S_1 com modulação PS-PWM.	100
Figura 73 – Resposta da corrente de circulação sob falha de S_1 com modulação PS-PWM.	101
Figura 74 – Comportamento das tensões dos capacitores sob falha de S_1 com modulação NLM: tensão do SM defeituoso constante.	102
Figura 75 – Varredura de N : tensão do SM defeituoso (a) e média dos saudáveis sob falha de S_1 (b) com modulação NLM.	105
Figura 76 – Varredura de N : tensão do SM defeituoso (a) e média dos saudáveis sob falha de S_1 (b) com modulação PS-PWM.	105
Figura 77 – Varredura de N : tensão do SM defeituoso (a) e média dos saudáveis sob falha de S_2 (b) com modulação NLM.	106
Figura 78 – Varredura de N : tensão do SM defeituoso (a) e média dos saudáveis sob falha de S_2 (b) com modulação PS-PWM.	107
Figura 79 – Impacto do número de submódulos por braço (N) na degradação da tensão de linha em condição de falta.	109
Figura 80 – Evolução da Mitigação de Faltas no MMC com <i>Cold Reserve</i> : Inserção da Redundância.	117
Figura 81 – Comparação do Conversor MMC: Operação Normal vs. <i>Bypass</i> Assimétrico com <i>Hot Reserve</i>	120
Figura 82 – Evolução da Mitigação de Faltas no MMC com <i>Hot Reserve</i> : Consumo da Redundância.	121
Figura 83 – Diagrama fasorial ilustrando o método <i>Neutral-Shift</i> : tensões de fase desbalanceadas para manter tensões de linha simétricas.	123
Figura 84 – Fluxograma matemático sequencial da estratégia de mitigação CZVI.	126
Figura 85 – Exemplo de forma de onda da referência tensão para compensação de falta na fase A conforme o método de Li et al. (2024).	126

Figura 86 – Diagrama vetorial e limite geométrico para a injeção de Tensão de Sequência Zero (ZSV) em faltas severas (Caso III).	129
Figura 87 – Fluxograma de atribuição da Tensão Virtual para <i>bypass</i> lógico por <i>software</i>	130
Figura 88 – Comparação das estratégias de operação trifásica em falta: tensão de linha máxima normalizada e estresse nos capacitores em função do número de faltas.	131
Figura 89 – Diagrama de blocos do modelo de simulação no MATLAB/Simulink.	133
Figura 90 – Estrutura interna de um submódulo.	133
Figura 91 – Condicionamento do sinal de gate e injeção de falhas.	133
Figura 92 – Estrutura interna do módulo de controle de corrente circulante e energia.	134
Figura 93 – Operação do MMC em regime permanente sem faltas: (a) tensões dos capacitores do braço superior da fase A, todas uniformes em torno de 70 V, (b) tensão de linha v_{ab} e corrente de saída i_{ab} em condição senoidal nominal.	135
Figura 94 – Método Grubbs, falta única no SM3 em $t = 0,75$ s: (a) tensões dos capacitores com destaque para $v_{c,3}$, (b) tensão de linha e corrente de saída, (c) estado do algoritmo FDI (3 = localizado).	136
Figura 95 – Método Correlação por Pares, falta única no SM3 em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente de saída, (c) estado do algoritmo FDI.	136
Figura 96 – Método Média Móvel, falta única no SM3 em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente de saída, (c) estado do algoritmo FDI.	137
Figura 97 – Método SMO sequencial, falta única no SM3 em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente de saída, (c) estado do algoritmo FDI (4 = localizado no SMO).	138
Figura 98 – Método SMO paralelo, falta única no SM3 em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente de saída, (c) estado do algoritmo FDI.	138
Figura 99 – Método Grubbs, três faltas sequenciais nos SMs 3, 7 e 9 ($t = 0,50, 1,00$ e $1,50$ s): (a) tensões dos capacitores com submódulos defeituosos em destaque, (b) tensão de linha e corrente, (c) estado FDI.	139
Figura 100 – Método Correlação por Pares, três faltas sequenciais nos SMs 3, 7 e 9: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI.	140
Figura 101 – Método Média Móvel, três faltas sequenciais nos SMs 3, 7 e 9: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI.	140
Figura 102 – Método SMO sequencial, três faltas sequenciais nos SMs 3, 7 e 9: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI.	141
Figura 103 – Método SMO paralelo, três faltas sequenciais nos SMs 3, 7 e 9: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI.	141
Figura 104 – Método Grubbs, degrau de U_{cc} em $t = 0,75$ s ($700 \rightarrow 558$ V): (a) tensão do barramento, (b) estado FDI permanece em 0, sem falso positivo, (c) tensões dos capacitores, (d) tensão de linha e corrente.	142

Figura 105–Método Correlação por Pares, degrau de U_{cc} em $t = 0,75$ s: (a) tensão do barramento, (b) estado FDI em 0, sem falso positivo, (c) tensões dos capacitores, (d) tensão de linha e corrente.	143
Figura 106–Método Média Móvel, degrau de U_{cc} em $t = 0,75$ s: (a) tensão do barramento, (b) estado FDI em 0, sem falso positivo, (c) tensões dos capacitores, (d) tensão de linha e corrente.	143
Figura 107–Método SMO sequencial, degrau de U_{cc} em $t = 0,75$ s: (a) tensão do barramento, (b) estado FDI sobe após o degrau, falso positivo gerado , (c) tensões dos capacitores, (d) tensão de linha e corrente.	144
Figura 108–Método SMO paralelo, degrau de U_{cc} em $t = 0,75$ s: (a) tensão do barramento, (b) estado FDI sobe após o degrau, falso positivo gerado , (c) tensões dos capacitores, (d) tensão de linha e corrente.	144
Figura 109–Método Grubbs, degrau de carga em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI em 0, sem falso positivo.	145
Figura 110–Método Correlação por Pares, degrau de carga em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI em 0, sem falso positivo.	145
Figura 111–Método Média Móvel, degrau de carga em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI em 0, sem falso positivo.	146
Figura 112–Método SMO sequencial, degrau de carga em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI em 0, sem falso positivo.	146
Figura 113–Método SMO paralelo, degrau de carga em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI em 0, sem falso positivo.	147
Figura 114–Método Grubbs, degrau na referência de tensão em $t = 0,75$ s: (a) referências v_d^* e v_q^* , (b) estado FDI em 0, sem falso positivo, (c) tensões dos capacitores, (d) tensão de linha e corrente.	147
Figura 115–Método Correlação por Pares, degrau na referência de tensão em $t = 0,75$ s: (a) referências v_d^* e v_q^* , (b) estado FDI em 0, sem falso positivo, (c) tensões dos capacitores, (d) tensão de linha e corrente.	148
Figura 116–Método Média Móvel, degrau na referência de tensão em $t = 0,75$ s: (a) referências v_d^* e v_q^* , (b) estado FDI em 0, sem falso positivo, (c) tensões dos capacitores, (d) tensão de linha e corrente.	148
Figura 117–Método SMO sequencial, degrau na referência de tensão em $t = 0,75$ s: (a) referências v_d^* e v_q^* , (b) estado FDI em 0, sem falso positivo, (c) tensões dos capacitores, (d) tensão de linha e corrente.	149

Figura 118–Método SMO paralelo, degrau na referência de tensão em $t = 0,75$ s: (a) referências v_d^* e v_q^* , (b) estado FDI em 0, sem falso positivo, (c) tensões dos capacitores, (d) tensão de linha e corrente.	149
Figura 119–Tensões de capacitores para operação em baixa frequência de saída ($f_o = 5$ Hz) com faltas nos instantes 2, 4, 6 e 8 segundos.	150
Figura 120–Tempos de detecção (t_{det}) e localização (t_{loc}) dos métodos de identificação de falhas para falta única em regime permanente ($N = 10$).	153
Figura 121–Métricas de custo computacional dos métodos de identificação ($N = 10$): (a) carga efetiva em operações por segundo, (b) requisito de memória em número de entradas armazenadas.	153
Figura 122–Figura de mérito composta dos métodos de identificação de falhas ($N = 10$). A pontuação normalizada é calculada pela Equação 101, menor valor indica melhor desempenho. O método vencedor é destacado com borda em destaque.	154
Figura 123–Reserva Fria, faltas concentradas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) tensões nos capacitores, (e) soma das frequências, (f) THD, (g) correntes RMS dos braços, (h) correntes médias dos braços.	156
Figura 124–Problema dos transitórios na Reserva Fria.	157
Figura 125–Reserva Quente, faltas concentradas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) tensões nos capacitores, (e) soma das frequências, (f) THD, (g) correntes RMS dos braços, (h) correntes médias dos braços.	158
Figura 126–Método Xiao, faltas concentradas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) tensões nos capacitores, (e) soma das frequências, (f) THD, (g) correntes RMS dos braços, (h) correntes médias dos braços.	159
Figura 127–Deslocamento do Neutro (Yang), faltas concentradas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) tensões nos capacitores, (e) soma das frequências, (f) THD, (g) correntes RMS dos braços, (h) correntes médias dos braços.	160
Figura 128–Evolução fasorial do método de Deslocamento do Neutro (Yang), faltas concentradas: (a) pré-falta, (b) falta 1, (c) falta 2, (d) falta 3. O ponto N indica a posição do neutro deslocado em relação ao neutro original n	161
Figura 129–CZVI (Li), faltas concentradas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) tensões nos capacitores, (e) soma das frequências, (f) THD, (g) correntes RMS dos braços, (h) correntes médias dos braços.	162

Figura 130–Evolução fasorial do método CZVI (Li), faltas concentradas: (a) pré-falta, (b) falta 1, (c) falta 2, (d) falta 3. O ponto N indica a posição do neutro deslocado em relação ao neutro original n	163
Figura 131–Reserva Fria, faltas distribuídas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) soma das frequências, (e) THD, (f)–(h) correntes RMS por fase, (i) correntes médias dos braços superiores.	165
Figura 132–Reserva Quente, faltas distribuídas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) soma das frequências, (e) THD, (f)–(h) correntes RMS por fase, (i) correntes médias dos braços superiores.	166
Figura 133–Método Xiao, faltas distribuídas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) soma das frequências, (e) THD, (f)–(h) correntes RMS por fase, (i) correntes médias dos braços superiores.	167
Figura 134–Deslocamento do Neutro (Yang), faltas distribuídas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) soma das frequências, (e) THD, (f)–(h) correntes RMS por fase, (i) correntes médias dos braços superiores.	168
Figura 135–Evolução fasorial do método de Deslocamento do Neutro (Yang), faltas distribuídas: (a) pré-falta, (b) falta 1 (fase A), (c) falta 2 (fase B), (d) falta 3 (fase C).	169
Figura 136–CZVI (Li), faltas distribuídas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) soma das frequências, (e) THD, (f)–(h) correntes RMS por fase, (i) correntes médias dos braços superiores.	170
Figura 137–Evolução fasorial do método CZVI (Li), faltas distribuídas: (a) pré-falta, (b) falta 1 (fase A), (c) falta 2 (fase B), (d) falta 3 (fase C).	171
Figura 138–Evolução fasorial do método de Deslocamento do Neutro (Yang), faltas distribuídas: (a) pré-falta, (b) falta 1 (fase A, braço superior), (c) falta 2 (fase A, braço inferior), (d) falta 3 (fase A, braço superior) e (e) falta 4 (fase A, braço inferior).	172
Figura 139–Emulador de tempo real Typhoon HIL402.	176
Figura 140–Placa de interface Typhoon HIL DSP 100.	177
Figura 141– <i>ControlCARD</i> do DSP Texas Instruments TMS320F28335, placa verde, alojada na placa de interface Typhoon HIL DSP 100.	177
Figura 142–Bancada experimental completa.	178
Figura 143–Esquemático do modelo no <i>software</i> Typhoon HIL: planta do MMC e blocos de interface Versão 1.	180
Figura 144–Esquemático do modelo no <i>software</i> Typhoon HIL: planta do MMC e blocos de interface Versão 2.	181
Figura 145–Arquitetura da Versão 1: apenas identificação no DSP; controle e modulação PD LS-PWM no HIL.	182

Figura 146–Arquitetura da Versão 2: controle, modulação NLM e identificação no DSP; planta, ordenação e gates no HIL.	183
Figura 147–PD LS-PWM - Visão geral das tensões dos capacitores. Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo superior 2 (Fase A), Canal 3 - Sinal confirmação <i>bypass</i> e Canal 4 - Tensão capacitor submódulo inferior 1 (Fase A).	187
Figura 148–PD LS-PWM - Impacto na tensão e corrente de saída, falta 1. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação <i>bypass</i>	187
Figura 149–PD LS-PWM - Impacto na tensão e corrente de saída, falta 2. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação <i>bypass</i>	188
Figura 150–PD LS-PWM - Impacto na tensão e corrente de saída, falta 3. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação <i>bypass</i>	188
Figura 151–PD LS-PWM - Impacto na tensão e corrente de saída, falta 4. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação <i>bypass</i>	189
Figura 152–PD LS-PWM - Reconfiguração e <i>bypass</i> , falta 1. Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo superior 2 (Fase A), Canal 3 - Sinal confirmação <i>bypass</i> e Canal 4 - Tensão capacitor submódulo inferior 1 (Fase A).	189
Figura 153–PD LS-PWM - Reconfiguração e <i>bypass</i> , falta 2. Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo superior 2 (Fase A), Canal 3 - Sinal confirmação <i>bypass</i> e Canal 4 - Tensão capacitor submódulo inferior 1 (Fase A).	190
Figura 154–PD LS-PWM - Prova da injeção de sequência zero (ZSVI) pós falta 4. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Tensão de fase v_{an} e Canal 3 - Sinal confirmação <i>bypass</i>	191
Figura 155–PD LS-PWM - Prova da injeção de sequência zero (ZSVI) pós falta 4, captura 2. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Tensão de fase v_{an} e Canal 3 - Sinal confirmação <i>bypass</i>	191
Figura 156–Visão geral da operação do método (Versão 1)	192
Figura 157–Visão geral da operação do método - Ampliação próxima à falta 1 (Versão 1)	193
Figura 158–Visão geral da operação do método - Ampliação próxima à falta 2 (Versão 1)	194
Figura 159–Visão geral da operação do método - Ampliação próxima à falta 3 (Versão 1)	195
Figura 160–Visão geral da operação do método - Ampliação próxima à falta 4 (Versão 1)	196
Figura 161–NLM - Impacto na tensão e corrente de saída, falta 1. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação <i>bypass</i>	197

Figura 162–NLM - Impacto na tensão e corrente de saída, falta 2. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação <i>bypass</i> .	198
Figura 163–NLM - Impacto na tensão e corrente de saída, falta 3. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação <i>bypass</i> .	198
Figura 164–NLM - Impacto na tensão e corrente de saída, falta 4. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação <i>bypass</i> .	199
Figura 165–NLM - Reconfiguração e bypass, falta 1. Canal 1 - Tensão capacitor submódulo superior 2 (Fase A), Canal 2 - Tensão capacitor submódulo inferior 1 (Fase A) e Canal 3 - Sinal confirmação <i>bypass</i>	199
Figura 166–NLM - Reconfiguração e bypass, falta 1. Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo inferior 1 (Fase A) e Canal 3 - Sinal confirmação <i>bypass</i>	200
Figura 167–NLM - Reconfiguração e bypass, falta 2. Canal 1 - Tensão capacitor submódulo superior 2 (Fase A), Canal 2 - Tensão capacitor submódulo inferior 1 (Fase A) e Canal 3 - Sinal confirmação <i>bypass</i>	200
Figura 168–NLM - Visão geral das tensões dos capacitores. Canal 1 - Tensão capacitor submódulo superior 3 (Fase A), Canal 2 - Tensão capacitor submódulo inferior 1 (Fase A) e Canal 3 - Sinal confirmação <i>bypass</i>	201
Figura 169–NLM - Prova da injeção de sequência zero (ZSVI) pós falta 4. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Tensão de fase v_{an} e Canal 3 - Sinal confirmação <i>bypass</i>	201
Figura 170–Visão geral da operação do método (Versão 2)	203
Figura 171–Visão geral da operação do método - Ampliação próxima à falta 1 (Versão 2)	204
Figura 172–Visão geral da operação do método - Ampliação próxima à falta 2 (Versão 2)	205
Figura 173–Visão geral da operação do método - Ampliação próxima à falta 3 (Versão 2)	206
Figura 174–Visão geral da operação do método - Ampliação próxima à falta 4 (Versão 2)	207
Figura 175–Simulação do artigo de Souza, Zimann e Batschauer (2025).	222
Figura 176–Simulação do artigo de Xie et al. (2022).	222
Figura 177–Simulação do artigo de Xue et al. (2023) - parte 1.	223
Figura 178–Simulação do artigo de Xue et al. (2023) - parte 2.	223
Figura 179–Simulação do artigo de Lin et al. (2020).	224
Figura 180–Simulação do artigo de Souza, Zimann e Batschauer (2025) para MMC. . .	225
Figura 181–Simulação do artigo de Zhou et al. (2019).	226
Figura 182–Captura completa do modelo de simulação no MATLAB/Simulink.	228
Figura 183–PD LS-PWM - Visão geral das tensões dos capacitores (captura direta do osciloscópio). Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo superior 2 (Fase A), Canal 3 - Sinal confirmação <i>bypass</i> e Canal 4 - Tensão capacitor submódulo inferior 1 (Fase A).	229

Figura 184–PD LS-PWM - Impacto na tensão e corrente de saída, falta 1 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação <i>bypass</i>	230
Figura 185–PD LS-PWM - Impacto na tensão e corrente de saída, falta 2 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação <i>bypass</i>	230
Figura 186–PD LS-PWM - Impacto na tensão e corrente de saída, falta 3 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação <i>bypass</i>	231
Figura 187–PD LS-PWM - Impacto na tensão e corrente de saída, falta 4 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação <i>bypass</i>	231
Figura 188–PD LS-PWM - Reconfiguração e bypass, falta 1 (captura direta do osciloscópio). Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo superior 2 (Fase A), Canal 3 - Sinal confirmação <i>bypass</i> e Canal 4 - Tensão capacitor submódulo inferior 1 (Fase A).	232
Figura 189–PD LS-PWM - Reconfiguração e bypass, falta 1, captura adicional (captura direta do osciloscópio). Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo superior 2 (Fase A), Canal 3 - Sinal confirmação <i>bypass</i> e Canal 4 - Tensão capacitor submódulo inferior 1 (Fase A).	232
Figura 190–PD LS-PWM - Reconfiguração e bypass, falta 2 (captura direta do osciloscópio). Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo superior 2 (Fase A), Canal 3 - Sinal confirmação <i>bypass</i> e Canal 4 - Tensão capacitor submódulo inferior 1 (Fase A).	233
Figura 191–PD LS-PWM - Prova da injeção de sequência zero (ZSVI) pós falta 4 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Tensão de fase v_{an} e Canal 3 - Sinal confirmação <i>bypass</i>	233
Figura 192–PD LS-PWM - Prova da injeção de sequência zero (ZSVI) pós falta 4, captura 2 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Tensão de fase v_{an} e Canal 3 - Sinal confirmação <i>bypass</i>	234
Figura 193–NLM - Impacto na tensão e corrente de saída, falta 1 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação <i>bypass</i>	234
Figura 194–NLM - Impacto na tensão e corrente de saída, falta 2 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação <i>bypass</i>	235

Figura 195–NLM - Impacto na tensão e corrente de saída, falta 3 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação <i>bypass</i>	235
Figura 196–NLM - Impacto na tensão e corrente de saída, falta 4 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação <i>bypass</i>	236
Figura 197–NLM - Reconfiguração e bypass, falta 1 (captura direta do osciloscópio). Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo inferior 1 (Fase A) e Canal 3 - Sinal confirmação <i>bypass</i> .	236
Figura 198–NLM - Reconfiguração e bypass, falta 2 (captura direta do osciloscópio). Canal 1 - Tensão capacitor submódulo superior 2 (Fase A), Canal 2 - Tensão capacitor submódulo inferior 1 (Fase A) e Canal 3 - Sinal confirmação <i>bypass</i> .	237
Figura 199–NLM - Reconfiguração e bypass, falta 1 (captura direta do osciloscópio). Canal 1 - Tensão capacitor submódulo superior 2 (Fase A), Canal 2 - Tensão capacitor submódulo inferior 1 (Fase A) e Canal 3 - Sinal confirmação <i>bypass</i> .	237
Figura 200–NLM - Visão geral das tensões dos capacitores (captura direta do osciloscópio). Canal 1 - Tensão capacitor submódulo superior 3 (Fase A), Canal 2 - Tensão capacitor submódulo inferior 1 (Fase A) e Canal 3 - Sinal confirmação <i>bypass</i>	238
Figura 201–NLM - Prova da injeção de sequência zero (ZSVI) pós falta 4 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Tensão de fase v_{an} e Canal 3 - Sinal confirmação <i>bypass</i>	238

LISTA DE TABELAS

Tabela 2 – Trabalhos em revistas e periódicos de alto impacto	37
Tabela 3 – Comparação de estratégias de identificação	38
Tabela 4 – Comparação de estratégias de mitigação	39
Tabela 5 – Parâmetros da simulação CHB de Souza, Zimann e Batschauer (2025). . . .	45
Tabela 6 – Parâmetros da simulação de Xie et al. (2022).	51
Tabela 7 – Parâmetros da simulação de Xue et al. (2023).	55
Tabela 8 – Soma dos Estados de Comutação do BRV e RRV (Exemplo de Falha na Célula $a1$).	62
Tabela 9 – Parâmetros da simulação de Lin et al. (2020).	62
Tabela 10 – Parâmetros da simulação MMC de Souza, Zimann e Batschauer (2025). . .	80
Tabela 11 – Tabela de diagnóstico de falhas no braço superior ($N = 3$).	84
Tabela 12 – Parâmetros da simulação de Zhou et al. (2019).	84
Tabela 13 – Comparativo de Tolerância a Falhas e Impactos Operacionais em Conversores Multiníveis.	91
Tabela 14 – Estados de comutação no modo Normal.	94
Tabela 15 – Estados de comutação sob falha de circuito aberto em S_1	95
Tabela 16 – Estados de comutação sob Falha de Circuito Aberto em S_2	96
Tabela 17 – Parâmetros da simulação de <i>sweep</i> de valores de N	99
Tabela 18 – Corrente do capacitor do submódulo defeituoso por estado de operação. . .	103
Tabela 19 – Comparação Teórica das Estratégias de Diagnóstico Seleccionadas.	115
Tabela 20 – Resumo da Estratégia de Ajuste de Tensão e Injeção ZSV (Passo 1).	128
Tabela 21 – Parâmetros do sistema simulado.	132
Tabela 22 – Comparação dos métodos de identificação de falhas.	151
Tabela 23 – Robustez dos métodos de identificação a perturbações externas (ausência de falsa detecção).	151
Tabela 24 – Complexidade computacional assintótica dos métodos de identificação de falhas.	152
Tabela 25 – Ranking dos métodos de identificação de falhas segundo a figura de mérito composta.	154
Tabela 26 – Indicadores de qualidade pós-falha globais dos métodos de tolerância a falhas (3 faltas em concentrado e 5 faltas em distribuído, $N = 10$).	173
Tabela 27 – Indicadores detalhados por fase pós-terceira falta (valores em p.u. e %). . .	173
Tabela 28 – Complexidade computacional dos métodos de tolerância a falhas.	175
Tabela 29 – Parâmetros do sistema em <i>hardware-in-the-loop</i> para diferentes estratégias de modulação.	186
Tabela 30 – Parâmetros de entrada para cálculo dos ganhos.	216
Tabela 31 – Constantes de tempo das malhas de controle.	216

Tabela 32 – Resumo dos ganhos dos controladores do MMC.	217
Tabela 33 – Resumo dos ganhos dos controladores do MMC para a Versão 2 (modulação NLM).	218

LISTA DE ABREVIATURAS E SIGLAS

ABNT	Associação Brasileira de Normas Técnicas
ADC	<i>Analog-to-Digital Converter</i> (conversor analógico-digital)
ANPC	<i>Active Neutral Point Clamped</i>
BRV	<i>Basic Reference Vector</i>
BU	Biblioteca Universitária
BZVI	<i>Balanced Zero-Voltage Injection</i>
ca	Corrente Alternada
cc	Corrente Contínua
CCS	<i>Circulating Current Suppressor</i> (supressor de corrente circulante)
CHB	<i>Cascaded H-Bridge</i>
CVV	<i>Capacitor Voltage Variation</i>
CZVI	<i>Common Zero Vector Injection</i>
DSP	<i>Digital Signal Processor</i> (processador digital de sinais)
ePWM	<i>enhanced Pulse Width Modulator</i> (periférico de PWM do C2000)
FC	<i>Flying Capacitor</i>
FDI	<i>Fault Detection and Isolation</i>
FIR	<i>Finite Impulse Response</i> (resposta finita ao impulso)
FOM	<i>Figure of Merit</i> (figura de mérito)
FPGA	<i>Field Programmable Gate Array</i>
FPU	<i>Floating-Point Unit</i> (unidade de ponto flutuante)
GPIO	<i>General Purpose Input/Output</i>
HB	<i>Half-Bridge</i> (meia-ponte)
HIL	<i>Hardware-in-the-Loop</i>
HVDC	<i>High-Voltage Direct Current</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
IIR	<i>Infinite Impulse Response</i> (resposta infinita ao impulso)
IN	Instrução Normativa
IPD	<i>In-Phase Disposition</i> (variante em fase da LS-PWM)
ISR	<i>Interrupt Service Routine</i> (rotina de serviço de interrupção)
LS-PWM	<i>Level-Shifted Pulse Width Modulation</i>

MATLAB	<i>Matrix Laboratory</i>
MMC	<i>Modular Multilevel Converter</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
NBR	Normas Técnicas Brasileiras
NLC	<i>Nearest Level Control</i>
NLM	<i>Nearest Level Modulation</i>
NL-PWM	<i>Nearest Level Pulse Width Modulation</i>
NPC	<i>Neutral Point Clamped</i>
OC	<i>Open Circuit</i> (circuito aberto)
PD LS-PWM	<i>Phase Disposition Level-Shifted PWM</i>
PI	Proporcional-Integral
POC	<i>Point of Common Coupling</i>
PS-PWM	<i>Phase-Shifted Pulse Width Modulation</i>
PWM	<i>Pulse Width Modulation</i>
RAM	<i>Random Access Memory</i>
RMS	<i>Root Mean Square</i> (valor eficaz)
RRV	<i>Redundant Reference Vector</i>
SC	<i>Short Circuit</i> (curto-circuito)
SCADA	<i>Supervisory Control and Data Acquisition</i>
SHE	<i>Selective Harmonic Elimination</i>
SM	Submódulo (<i>Submodule</i>)
SMO	<i>Sliding Mode Observer</i>
STATCOM	<i>Static Synchronous Compensator</i>
SUPWM	<i>Submodules Unified Pulse Width Modulation</i>
SVM	<i>Space Vector Modulation</i>
TCC	Trabalho de Conclusão de Curso
THD	<i>Total Harmonic Distortion</i>
Udesc	Universidade do Estado de Santa Catarina
ZSV	<i>Zero Sequence Voltage</i>
ZSVI	<i>Zero-Sequence Voltage Injection</i>

LISTA DE SÍMBOLOS

Convenção de notação: Letras maiúsculas (e.g. V , I) representam grandezas constantes, valores nominais ou valores eficazes (RMS). Letras minúsculas (e.g. v , i) representam grandezas instantâneas, variantes no tempo. O acento circunflexo (^) indica valores estimados ou de pico, e a seta ($\vec{}$) indica vetores espaciais.

Símbolo	Descrição	Unidade
α	Coeficiente de suavização exponencial (Holt/Grubbs); eixo do plano estacionário $\alpha\beta$	—
δ	Ângulo de deslocamento (Neutral-Shift, estratégia de Li)	rad
δ_L	Índice de sentido de corrente (método de Xie, CHB)	—
δ_m	Margem de modulação de segurança (estratégia de Xiao)	—
Δ_{cr}	Deslocamento de fase entre portadoras (PS-PWM)	rad
ΔQ_f	Carga de erro residual não compensada pela ordenação (platô da falta de S_1)	C
$\Delta u_{u/l,arm}$	Erro entre tensão instantânea estimada e medida do subbraço (método de Zhou)	V
Δv	Erro ou variação instantânea de tensão medida	V
$\varepsilon_{u/l,arm}$	Erro normalizado do subbraço superior/inferior	—
η_v	Fator de utilização de tensão (parcela da capacidade do braço disponível para a excursão ca)	—
θ	Ângulo do vetor de referência no plano $\alpha\beta$	rad
$\rho_{u/l,mn}$	Coeficiente de correlação entre as tensões dos capacitores dos submódulos m e n	—
σ	Desvio padrão das características de falta dos submódulos (critério de Grubbs)	—
τ_{arm}	Constante de tempo da malha de energia do braço	s
τ_{circ}	Constante de tempo da malha de corrente de circulação	s
τ_{out}	Constante de tempo da malha de corrente de saída	s
τ_{vout}	Constante de tempo da malha de tensão de saída	s
$\varphi_{m,j}$	Ângulo de fase reajustado da fase j (Neutral-Shift)	rad
ω	Frequência angular fundamental	rad/s
ω_c	Largura de banda dos controladores ressonantes	rad/s

Símbolo	Descrição	Unidade
ω_n	Frequência de sintonia dos controladores ressonantes	rad/s
C_{sm}	Capacitância do submódulo	F
cc_{inj}	Componente contínua residual na tensão de linha (pós-falta)	p.u.
$D(k)$	Soma dos estados de falta	—
D_1, D_2	Diodos antiparalelos do submódulo	—
e_g, e_h	Componentes do vetor de referência (método SVM linear)	V
$F_{ix}(k)$	Estados de falta (método de Xie)	—
F_{max}	Número máximo de falhas suportadas para identificação ou mitigação	—
f_{cntr}	Frequência de controle (amostragem)	Hz
f_{dif}	Desvio normalizado da soma das frequências de comutação (pós-falta)	p.u.
f_{fdi}	Frequência de detecção de falta (diagnóstico)	Hz
f_o	Frequência fundamental da tensão de saída	Hz
f_s	Frequência de chaveamento	Hz
G_{crit}	Valor crítico tabelado da estatística de Grubbs	—
G_i	Estatística de Grubbs para o submódulo i	—
i_{ab}, i_{bc}, i_{ca}	Correntes instantâneas de linha entre as fases	A
I_{avg}	Corrente média do braço	A
I_c	Valor constante da corrente circulante (método de Shao)	A
i_c	Corrente instantânea de modo comum (circulante) do MMC	A
$\hat{i}_c$	Corrente circulante estimada (observador SMO)	A
i_{cira}	Referência de corrente de circulação da fase a (mala de energia)	A
I_{co}	Corrente circulante em plena carga (método de Shao)	A
I_{rms}	Desvio máximo da corrente eficaz de saída (pós-falta)	p.u.
i_{arm}	Corrente instantânea do braço (genérico)	A
i_d, i_q	Correntes instantâneas nos eixos d e q	A
i_d^*, i_q^*	Referências de corrente nos eixos d e q	A

Símbolo	Descrição	Unidade
i_s	Corrente instantânea de modo diferencial (de saída) do MMC	A
i_{sm}	Corrente instantânea do submódulo	A
I_{th1}, I_{th2}	Limiares de erro do observador de modos deslizantes	A
i_u, i_l	Corrente instantânea dos braços superior e inferior (MMC)	A
k	Índice de equações discretas ou de diferença	—
K_{ia}, K_{ib}	Coeficientes de chaveamento (estratégia de Li, CHB)	—
K_L	Ganho do observador de modos deslizantes (SMO)	—
k_L	Limite de contador	—
$K_{L,o}$	Ganho do observador em plena carga	—
$K_{p,sum}, K_{p,delta}$	Ganhos proporcionais das malhas de energia do braço	—
$K_{p,out}, K_{i,out}$	Ganhos proporcional e integral do PI de corrente de saída	—
$K_{p,circ}, K_{i,circ}$	Ganhos proporcional e integral do PI de corrente de circulação	—
K_r	Ganho dos controladores ressonantes	—
K_{th}	Fator multiplicativo do limiar de tensão (critério de Grubbs)	—
L	Comprimento da janela da média móvel	—
L_a, R_a	Indutância e resistência do braço do conversor (MMC)	H, Ω
$L_{eq,ca}, R_{eq,ca}$	Indutância e resistência equivalentes da malha de corrente de saída (ca)	H, Ω
L_l, R_l	Indutância e resistência da carga conectadas em Y	H, Ω
$L_l(\Delta), R_l(\Delta)$	Indutância e resistência da carga conectadas em Δ (carga trifásica)	H, Ω
m	Índice de modulação	—
m_{max}	Índice de modulação máximo em operação de falta	—
M	Indutância mútua entre os indutores dos braços	H
M_P	Última amostra de um conjunto	—
M_{res}	Número de submódulos de redundância (reserva)	—
M_T	Número total de amostras em um período	—

Símbolo	Descrição	Unidade
N	Número de submódulos por braço (MMC) ou por fase (CHB)	—
N_f	Número total de submódulos em falha	—
$N_{f,u,j}, N_{f,l,j}$	Número de submódulos em falha no braço superior/inferior da fase j	—
n_{on}	Número instantâneo de submódulos a serem inseridos (NLM)	—
n_u, n_l	Número instantâneo de submódulos inseridos nos braços superior e inferior	—
N_V	Número de níveis de tensão na saída de fase	—
NS_{60Hz}	Componente de 60 Hz na tensão de sequência zero (método de Yang)	p.u.
Q^+, Q^-	Carga disponível para carregar e para descarregar o submódulo, por ciclo	C
Q_{err}	Carga de erro determinística por ciclo introduzida pela falta	C
S_1, S_2, S_3, S_4	Interruptores semicondutores do submódulo (IGBT/MOSFET)	—
S_{a2}, S_{b2}, S_{c2}	Estados de chaveamento individuais por fase (método BRV)	—
$SF_i(k)$	Estado de chaveamento do módulo (método de Xie)	—
s_{HB_i}, s_j	Função de inserção (sinal de controle) do submódulo (1 inserido, 0 em <i>bypass</i>)	—
S'_t, S''_t	Estatísticas de suavização exponencial de Holt (critério de Grubbs)	—
T_C	Tempo de carregamento do submódulo em reserva fria	s
T_{ctrl}	Período de controle	s
t_{det}	Tempo de detecção de falha	s
t_{i1}, t_{i2}	Contadores internos	—
t_{iden}	Tempo de identificação	s
t_{loc}	Tempo de localização	s
t_{trans}	Tempo de acomodação do transitório de reconfiguração	ms
T_o	Período fundamental da tensão de saída	s
T_s	Período de chaveamento	s

Símbolo	Descrição	Unidade
T_T	Janela temporal do filtro de média móvel (diagnóstico de falta)	s
T_{th}	Valor limite (<i>threshold</i>) para detecção de falha	—
u_{ab_e}, u_{ab_r}	Tensão de saída estimada e de referência do conversor	V
U_{cc}	Tensão constante total do barramento CC (MMC) ou alimentação total de cada módulo (CHB)	V
$U_{cc,zero}$	Tensão CC de sequência zero injetada (estratégia de Li)	V
$U_{dca}^{sum}, U_{dca}^{delta}$	Sinais de soma e diferença das tensões dos capacitores (malha de energia)	V
$u_{e,u/l,arm}$	Tensão instantânea estimada do subbraço superior/inferior	V
$u_{m,u/l,arm}$	Tensão instantânea medida do subbraço superior/inferior	V
U_{NS}	Tensão de <i>Neutral-Shift</i> injetada	V
$U_{POC,j}$	Tensão útil disponível na fase j (<i>Point of Common Coupling</i>)	V
U_{sm}	Tensão nominal (constante) do submódulo (MMC/CHB)	V
$u_r(k)$	Erro normalizado entre a tensão real e a estimada	—
$u_{rd}(k)$	Erro normalizado e filtrado entre a tensão real e a estimada	—
$u_{sum,e}, u_{dif,e}$	Tensões instantâneas comum e diferencial estimadas (método de Zhou)	V
V_{ab}, V_{bc}, V_{ca}	Tensões eficazes de linha entre as fases a - b , b - c e c - a	V
V_{an}, V_{bn}, V_{cn}	Tensões eficazes de fase das fases a , b e c	V
V_{ADC}	Tensão lida pelo conversor analógico-digital (HIL)	V
V_{pino}	Tensão no pino de entrada do condicionamento (calibração do ADC)	V
V_c	Tensão nominal (constante) do capacitor do submódulo	V
v_c	Tensão instantânea de modo comum do MMC	V
$v_{c,i}, v_{cap}$	Tensão instantânea do capacitor do submódulo	V
$v'_{cap,f}, v'_{cap,k}$	Tensões virtuais instantâneas do capacitor em falha e saudável (estratégia de Xiao)	V

Símbolo	Descrição	Unidade
V_{uplim}, V_{lowlim}	Limites artificiais superior e inferior da tensão virtual (evasão lógica, Xiao)	V
V_g	Amplitude (constante) da tensão da rede (carga)	V
V_x, V_y, V_z	Tensões diferenciais de linha normalizadas (método SVM linear)	—
V_{x1}, V_{y1}, V_{z1}	Tensões diferenciais remanescentes que delimitam $\vec{V}_r$ (RRV)	—
$\vec{V}_0$ a $\vec{V}_6$	Vetores espaciais do SVM para conversor de dois níveis	V
V_0	Tensão de sequência zero (ZSV, estratégia de Xiao)	V
$V_{max,0}$	Limite geométrico máximo da injeção de sequência zero (estratégia de Xiao)	V
V_d^*, V_q^*	Referências de tensão nos eixos d e q (constantes em regime)	V
$\vec{V}_{ref}$	Vetor de referência da modulação SVM	V
v_{ref}	Tensão instantânea de referência	V
v_s	Tensão instantânea de modo diferencial do MMC	V
$\hat{V}_{s,max}$	Tensão máxima de pico da saída CA (MMC)	V
v_{sm}	Tensão instantânea do submódulo	V
v_{uj}, v_{lj}	Referências instantâneas de tensão dos subbraços superior e inferior	V
v_u, v_l	Tensão instantânea dos braços superior e inferior (MMC)	V

SUMÁRIO

1	INTRODUÇÃO	33
1.1	OBJETIVO GERAL	35
1.1.1	Objetivos Específicos	35
2	REVISÃO BIBLIOGRÁFICA	36
2.1	MECANISMO DE <i>BYPASS</i> DE SUBMÓDULOS	36
2.2	MÉTODOS DE IDENTIFICAÇÃO E MITIGAÇÃO PARA CONVERSORES MULTINÍVEIS	36
2.2.1	Métodos de Identificação	38
2.2.2	Métodos de Mitigação	38
2.3	CONVERTOR EM PONTE H EM CASCATA (CHB)	40
2.3.1	Modulação por Deslocamento de Fase (PS-PWM)	41
2.3.2	Modulação por Deslocamento de Nível (LS-PWM)	42
2.3.3	Identificação através de Filtro Média Móvel (CHB)	43
2.3.4	Identificação através de estimação de saída e comparação do chavea- mento e erro	46
2.3.5	Mitigação através de operações lógicas	52
2.3.6	Mitigação através da adaptação da estratégia SVM	57
2.4	CONVERTOR MODULAR MULTINÍVEL (MMC)	66
2.4.1	Modelo Matemático do MMC	69
2.4.2	Projeto do Sistema de Controle do Conversor MMC	71
2.4.2.1	<i>Separação de Bandas Passantes</i>	72
2.4.2.2	<i>Malha Interna de Corrente de Saída</i>	72
2.4.2.3	<i>Malha Interna de Corrente de Circulação</i>	73
2.4.2.4	<i>Malha Externa de Energia dos Braços</i>	73
2.4.2.5	<i>Geração das Referências de Modulação</i>	74
2.4.3	Modulação por Deslocamento de Fase (PS-PWM, MMC)	74
2.4.4	Modulação por Vetor Espacial (SVM)	74
2.4.5	Modulação por nível mais próximo (NLM e NL-PWM)	76
2.4.5.1	<i>Nearest Level Modulation (NLM)</i>	76
2.4.5.2	<i>Nearest Level Pulse Width Modulation (NL-PWM)</i>	77
2.4.6	Identificação através de Filtro Média Móvel (MMC)	79
2.4.7	Identificação através da correlação	83
2.4.8	Métodos de mitigação para o Conversor MMC	90
3	APLICAÇÃO DE METODOLOGIAS DE IDENTIFICAÇÃO E MITI- GAÇÃO	91

3.1	ESCOLHA DO CONVERSOR MAIS ADEQUADO PARA OPERAÇÃO DURANTE FALTAS	91
3.2	ETAPAS DE OPERAÇÃO PARA O SUBMÓDULO EM FALTA	93
3.3	CORRENTE CIRCULANTE EM CONDIÇÕES DE FALTA	96
3.4	COMPORTAMENTO DAS TENSÕES DOS CAPACITORES EM CONDIÇÃO DE FALTA: INFLUÊNCIA DA ESTRATÉGIA DE MODULAÇÃO E NÚMERO DE MÓDULOS	98
3.4.1	Modulação sem ordenação forçada (PS-PWM)	100
3.4.2	Modulação com ordenação forçada (NLM)	101
3.4.3	Influência do número de submódulos na assinatura de falta	103
3.4.3.1	<i>Falha em S_1 - NLM vs. PS-PWM</i>	<i>104</i>
3.4.3.2	<i>Falha em S_2 - NLM vs. PS-PWM</i>	<i>106</i>
3.4.3.3	<i>Síntese e implicações para os algoritmos de localização</i>	<i>107</i>
3.5	DIAGNÓSTICO DAS FALHAS DE CURTO-CIRCUITO	109
3.6	ESTRATÉGIAS AVANÇADAS DE DIAGNÓSTICO DE FALHAS DE CIRCUITO ABERTO	110
3.6.1	Diagnóstico através de Média Móvel da Tensão do Capacitor	111
3.6.2	Diagnóstico através do Coeficiente de Correlação	112
3.6.3	Diagnóstico através do Critério de Grubbs com Suavização Exponencial	112
3.6.4	Diagnóstico através de Observador de Modos Deslizantes (SMO)	113
3.7	SÍNTESE COMPARATIVA DAS METODOLOGIAS	115
3.8	OPERAÇÃO MONOFÁSICA EM FALTA PÓS-LOCALIZAÇÃO	115
3.8.1	Estratégia de <i>Cold Reserve</i> (Reserva Fria)	116
3.8.2	Estratégia de <i>Hot Reserve</i> (Reserva Quente)	118
3.9	OPERAÇÃO TRIFÁSICA EM FALTA PÓS-LOCALIZAÇÃO	122
3.9.1	Estratégia Pós-Falta Baseada em Deslocamento do Neutro (<i>Neutral-Shift</i>)	122
3.9.2	Estratégia de Injeção Combinada de Tensão de Sequência Zero (CZVI)	124
3.9.3	Estratégia de Tolerância a Falhas com Tensão Virtual e Injeção de Sequência Zero	127
3.9.3.1	<i>Passo 1: Escalonamento da Tensão e Injeção de Sequência Zero</i>	<i>127</i>
3.9.3.2	<i>Passo 2: Evasão Lógica via Tensão Virtual</i>	<i>129</i>
3.10	COMPARAÇÃO DAS ESTRATÉGIAS DE OPERAÇÃO PÓS-FALTA	130
4	ANÁLISE COMPARATIVA DAS ESTRATÉGIAS ATRAVÉS DE SIMULAÇÃO NUMÉRICA	132
4.1	PARÂMETROS DO SISTEMA SIMULADO	132
4.2	IDENTIFICAÇÃO DE FALHAS	134
4.2.1	Operação em Regime Permanente sem Falhas	134

4.2.2	Falta em Submódulo do Braço Superior em Regime Permanente	135
4.2.3	Faltas Sequenciais	139
4.2.4	Robustez a Perturbações Externas	142
4.2.4.1	<i>Degrau na tensão do barramento cc</i>	142
4.2.4.2	<i>Degrau de carga</i>	144
4.2.4.3	<i>Degrau na referência de tensão de saída (v_d^* e v_q^*)</i>	147
4.2.4.4	<i>Robustez a operação em baixas frequências de tensão de saída</i>	149
4.2.5	Síntese Comparativa dos Métodos de Identificação	150
4.3	TOLERÂNCIA A FALHAS	155
4.3.1	Faltas Sequenciais Concentradas em Uma Fase	155
4.3.2	Faltas Distribuídas em Fases Distintas	164
4.4	SÍNTESE COMPARATIVA DOS MÉTODOS DE TOLERÂNCIA A FALHAS	173
5	VALIDAÇÃO EXPERIMENTAL VIA HARDWARE-IN-THE-LOOP .	176
5.1	PLATAFORMA DE <i>HARDWARE</i>	176
5.2	ARQUITETURA DE CO-SIMULAÇÃO EM TEMPO REAL: DSP E TYPHOON HIL	178
5.2.1	Restrição de tempo real de 50 microssegundos	182
5.2.2	Versão 1: identificação no DSP e modulação PD LS-PWM no HIL	182
5.2.3	Versão 2: controle, identificação e modulação NLM no DSP	183
5.2.4	Otimizações de implementação no DSP	184
5.2.4.1	<i>Alocação de memória: execução em RAM</i>	184
5.2.4.2	<i>Otimizações de cálculo</i>	184
5.2.4.3	<i>Otimizações de comunicação e concorrência</i>	185
5.3	VALIDAÇÃO EXPERIMENTAL EM <i>HARDWARE</i>	185
5.3.1	Versão 1: identificação no DSP com modulação PD LS-PWM	186
5.3.1.1	<i>Tensão dos capacitores</i>	186
5.3.1.2	<i>Impacto da falta na tensão e corrente de saída</i>	187
5.3.1.3	<i>Reconfiguração e bypass</i>	189
5.3.1.4	<i>Injeção de sequência zero (ZSVI)</i>	190
5.3.1.5	<i>Figuras gerais obtidas com o HIL SCADA</i>	191
5.3.2	Versão 2: controle, modulação NLM e identificação no DSP	197
5.3.2.1	<i>Tensão e corrente sob falta</i>	197
5.3.2.2	<i>Bypass, elevação de tensão e retorno</i>	199
5.3.2.3	<i>Injeção de sequência zero (ZSVI)</i>	201
5.3.2.4	<i>Figuras gerais obtidas com o HIL SCADA</i>	202
5.4	CONSIDERAÇÕES SOBRE A VALIDAÇÃO EXPERIMENTAL	208
6	CONCLUSÃO	209

6.1	SUGESTÕES PARA TRABALHOS FUTUROS	210
	REFERÊNCIAS	212
	APÊNDICE A – CÁLCULO NUMÉRICO DOS GANHOS DOS CON-	
	TROLADORES	216
A.1	GANHOS DA MALHA DE CORRENTE DE SAÍDA	216
A.2	GANHOS DA MALHA DE CORRENTE DE CIRCULAÇÃO	217
A.3	GANHOS DA MALHA DE ENERGIA DOS BRAÇOS	217
A.4	RESUMO DOS GANHOS CALCULADOS	217
A.5	GANHOS PARA A VERSÃO 2 (MODULAÇÃO NLM)	218
	APÊNDICE B – DIMENSIONAMENTO ANALÍTICO DOS PARÂ-	
	METROS DO CONVERSOR MMC	219
B.1	DEFINIÇÃO DO PONTO DE OPERAÇÃO	219
B.2	DIMENSIONAMENTO DO CAPACITOR DO SUBMÓDULO	220
B.3	DIMENSIONAMENTO DO INDUTOR DE BRAÇO	220
	APÊNDICE C – FIGURAS DAS SIMULAÇÕES FEITAS PARA A RE-	
	VISÃO BIBLIOGRÁFICA	222
C.1	MODELO COMPLETO DE SIMULAÇÃO NO MATLAB/SIMULINK	227
	APÊNDICE D – CAPTURAS DE OSCILOSCÓPIO DA VALIDAÇÃO	
	EXPERIMENTAL	229
D.1	VERSÃO 1: IDENTIFICAÇÃO NO DSP COM MODULAÇÃO PD LS-PWM	229
D.2	VERSÃO 2: CONTROLE, MODULAÇÃO NLM E IDENTIFICAÇÃO NO DSP	234

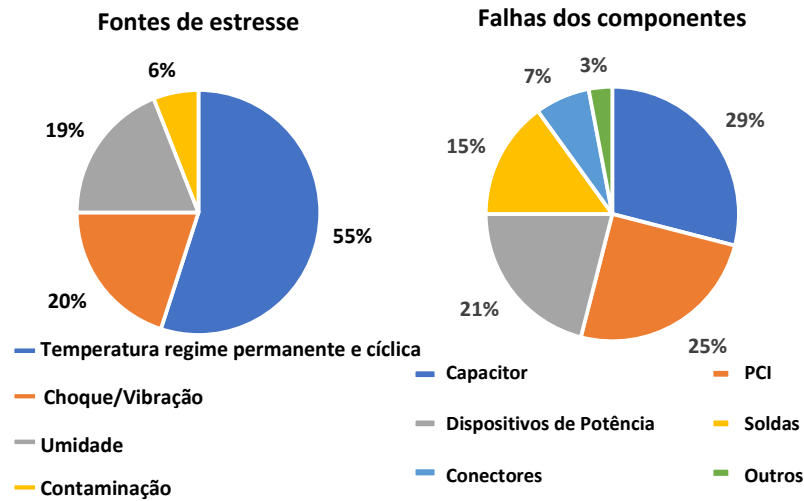
1 INTRODUÇÃO

O aumento contínuo da demanda por energia, aliado a expansão de sistemas de transmissão em alta tensão e a integração de fontes de energia renovável, tem impulsionado o desenvolvimento de equipamentos de eletrônica de potência para aplicações de alta tensão e alta potência. Neste cenário, os conversores multiníveis tornaram-se uma tecnologia essencial para aplicações críticas como sistemas de transmissão HVDC (*High-Voltage Direct Current*), compensadores estáticos de reativos (*Static Synchronous Compensator*, STATCOMs) e acionamentos de motores de média tensão, devido à sua capacidade de sintetizar formas de onda de alta qualidade com componentes de menor tensão nominal (Akagi, 2011).

A topologia dos conversores multiníveis, especialmente as modulares como o MMC (*Modular Multilevel Converter*) e o CHB (*Cascaded H-Bridge*), baseia-se na associação de um grande número de submódulos semicondutores para atingir os níveis de tensão/potência exigidos. Embora essa modularidade ofereça escalabilidade e desempenho superiores, a mesma introduz um desafio significativo em termos de confiabilidade, uma vez que o aumento do número de componentes eleva a probabilidade de ocorrência de falhas no sistema (Debnath et al., 2015).

A análise da distribuição de falhas em sistemas de eletrônica de potência, conforme ilustrado na Figura 1, apresentada em Souza (2023), revela que os componentes mais vulneráveis são os capacitores (29%) e os próprios dispositivos semicondutores de potência (21%), confirmados também por dados em (Wang; Liserre; Blaabjerg, 2013). As falhas nos interruptores, como IGBTs e MOSFETs, são particularmente preocupantes e geralmente classificadas em duas categorias principais: curto-circuito e circuito aberto. As falhas de curto-circuito, frequentemente causadas por fuga térmica ou surtos de tensão, são destrutivas e podem danificar componentes adjacentes (Oh et al., 2015). Por outro lado, as falhas de circuito aberto, tipicamente originadas por problemas como o descolamento de fios de ligação (*bond wire liftoff*) ou falhas no circuito de acionamento do *gate*, não levam a uma parada imediata do sistema (Choi; Blaabjerg; Lee, 2015). No entanto, sua persistência pode degradar a qualidade dos sinais, causar sobretensão nos capacitores dos módulos e impor estresse adicional aos componentes saudáveis, podendo levar a falhas secundárias em cascata e, em último caso, ao colapso do conversor (Zhang et al., 2020; Xie et al., 2022).

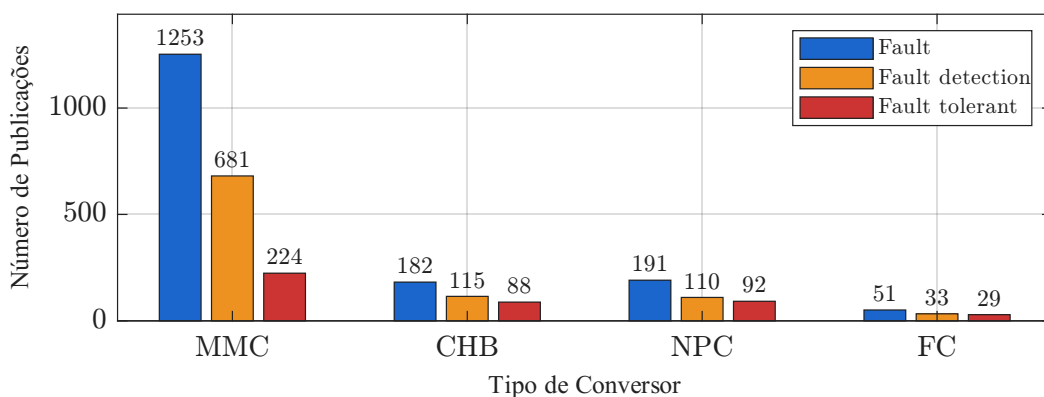
Figura 1 – Distribuição de falhas de componentes em sistemas de eletrônica de potência.



Fonte: Adaptado de Souza (2023)

A relevância da pesquisa em confiabilidade para conversores multiníveis é evidenciada pelo crescente volume de publicações científicas dedicadas ao tema. Uma pesquisa realizada na base de dados IEEE Xplore, ilustrada na Figura 2, quantifica o interesse da comunidade acadêmica ao apresentar o número de artigos em periódicos e revistas sobre falhas (*fault*), detecção de falhas (*fault detection*) e tolerância a falhas (*fault tolerant*) para as principais topologias. Os dados revelam um foco massivo de pesquisa no conversor MMC, o que se justifica por sua ampla adoção em sistemas críticos de transmissão de energia em alta tensão (HVDC), onde a confiabilidade é um requisito fundamental. As topologias CHB e NPC também apresentam um corpo de pesquisa consolidado, enquanto o conversor a capacitores flutuantes (FC) demonstra um volume menor de estudos, refletindo seu uso em aplicações mais específicas e sua falta de modularidade quando comparada a outras configurações, dificultando a operação em falha. De modo geral, o grande volume de publicações reforça a importância de desenvolver e aprimorar as técnicas abordadas neste trabalho.

Figura 2 – Número de publicações (*Journals e Magazines*, 1998 a 2025) na IEEE Xplore .



Fonte: Elaborado pelo autor (2026)

Em aplicações onde a continuidade da operação é crucial, como em sistemas de transmissão de energia ou acionamentos industriais essenciais, o simples desligamento do equipamento não é uma opção viável. Portanto, é indispensável não apenas detectar e localizar a falha rapidamente, mas também implementar estratégias de mitigação que permitam ao conversor continuar operando de forma segura, ainda que com desempenho degradado. Essa capacidade, conhecida como tolerância a falhas (*fault tolerance*), é um campo de pesquisa ativo e de extrema importância para a consolidação dos conversores multiníveis em aplicações críticas (Li et al., 2024; Lin et al., 2020).

1.1 OBJETIVO GERAL

O presente trabalho tem como objetivo determinar as topologias e técnicas mais adequadas para a tolerância a falhas de circuito aberto em conversores multiníveis. Para isso, é realizado um estudo comparativo de diferentes metodologias propostas na literatura, avaliando critérios como custo, complexidade de implementação, robustez, desempenho, tempo de detecção de falhas e a eficácia da ação corretiva.

1.1.1 Objetivos Específicos

- Analisar as topologias de conversores multiníveis e suas estratégias de modulação.
- Simular conversores em situação de falha utilizando as metodologias estudadas.
- Determinar os aspectos positivos e negativos das estratégias de identificação de faltas.
- Determinar os aspectos positivos e negativos das estratégias de mitigação de faltas.
- Propor aprimoramentos ou a junção de técnicas existentes, ou ainda uma nova técnica, visando aumentar o desempenho da estratégia.
- Documentar o conhecimento obtido.

2 REVISÃO BIBLIOGRÁFICA

Neste capítulo analisa-se o Conversor em Ponte H em Cascata (CHB) e o Conversor Modular Multinível (MMC), demonstrando suas características fundamentais de funcionamento e principais formas de ondas. Revisam-se, ainda, as modulações aplicadas a esses conversores e apresentam-se estratégias de identificação e mitigação de faltas, destacando aquelas que se sobressaem por suas peculiaridades.

2.1 MECANISMO DE *BYPASS* DE SUBMÓDULOS

Nos conversores modulares, a ação corretiva fundamental é o *bypass* do submódulo defeituoso: uma via rápida de isolamento composta por um tiristor (SCR) em paralelo com os terminais do módulo, responsável pelo curto-circuito imediato, associada a uma chave mecânica que assume a condução em regime permanente, reduzindo as perdas (Sharifabadi et al., 2016). Essa arquitetura permite a desativação imediata do módulo afetado e a continuidade da operação em modo degradado, além de possibilitar a substituição física do submódulo com o conversor em operação (*hot swap*). Embora o estudo desenvolvido neste trabalho foque na mitigação imediata da falha, a viabilidade de *hot swap* é uma extensão natural da mesma estrutura de *bypass*.

2.2 MÉTODOS DE IDENTIFICAÇÃO E MITIGAÇÃO PARA CONVERSORES MULTINÍVEIS

Com base na literatura técnica, existe uma variedade de métodos para a identificação e mitigação de falhas em conversores multiníveis. As estratégias abordam diferentes topologias, como o Conversor em Cascata Ponte H (CHB), o Conversor Multinível Modular (MMC), o Conversor a Capacitor Flutuante (FC) e o Conversor com Neutro Grampeado (NPC). As soluções variam entre implementações de *software*, que se aproveitam do *hardware* existente, e abordagens que necessitam de *hardware* adicional, com o circuito de *bypass* não sendo considerado como *hardware* adicional. O foco principal é a detecção e o manejo de falhas de circuito aberto (OC) e curto-circuito (SC). A Tabela 2 resume os trabalhos atuais, classificando-os segundo a topologia, o tipo de solução e a falha abordada.

Tabela 2 – Trabalhos em revistas e periódicos de alto impacto

Artigo	Topologia	Objetivo do Trabalho	Tipo de Solução	Configuração de Hardware	<i>Open-Circuit(OC)</i> ou <i>Short-Circuit(SC)</i>
(Souza; Zimann; Batschauer, 2025)	CHB	Identificação	<i>Software</i>	<i>Hardware</i> Existente	OC
(Xie et al., 2022)	CHB	Identificação	<i>Software</i>	<i>Hardware</i> Existente	OC
(Lin et al., 2020)	CHB	Mitigação	<i>Hardware e Software</i>	<i>Hardware</i> Existente	OC/SC
(Xue et al., 2023)	CHB	Mitigação	<i>Hardware e Software</i>	<i>Hardware</i> Existente	OC/SC
(Xiao et al., 2021b)	CHB	Mitigação	<i>Software</i>	<i>Hardware</i> Existente	OC/SC
(Zhou et al., 2019)	MMC	Identificação	<i>Software</i>	<i>Hardware</i> Existente	OC
(Zhang et al., 2020)	MMC	Identificação	<i>Software</i>	<i>Hardware</i> Existente	OC
(Xiao et al., 2021a)	MMC	Mitigação	<i>Software</i>	<i>Hardware</i> Existente	OC/SC
(Aslanian et al., 2024)	MMC	Mitigação	<i>Hardware e Software</i>	<i>Hardware</i> Existente	OC/SC
(Li et al., 2024)	MMC	Mitigação	<i>Hardware e Software</i>	<i>Hardware</i> Existente	OC/SC
(Fard et al., 2020)	FC	Identificação	<i>Software</i>	<i>Hardware</i> Existente	OC
(Tang et al., 2021)	FC	Identificação	<i>Software</i>	<i>Hardware</i> Existente	OC/SC
(Amini; Moallem, 2017)	FC	Identificação/Mitigação	<i>Software</i>	IntERRUPTORES Adicionais	OC/SC
(Wei et al., 2021)	NPC	Identificação	<i>Software</i>	<i>Hardware</i> Existente	OC
(Valiyil; Gangadharan, 2023)	NPC	Identificação	<i>Software</i>	<i>Hardware</i> Existente	OC
(Chen; He, 2024)	NPC	Identificação/Mitigação	<i>Software</i>	<i>Hardware</i> Existente	OC
(Häring et al., 2024)	NPC/ANPC/T-NPC	Mitigação	<i>Hardware e Software</i>	<i>Hardware</i> Adicional (NPC/T-NPC) ou <i>Hardware</i> Existente(ANPC)	OC/SC
(Isik; Parashar; Bhattacharya, 2022)	NPC	Mitigação	<i>Hardware e Software</i>	<i>Hardware</i> Adicional	OC/SC

Fonte: Elaborado pelo autor (2026)

2.2.1 Métodos de Identificação

Através da análise das informações obtidas nos trabalhos apresentados na Tabela 3, nota-se que a maioria dos métodos de identificação de falhas, independente da configuração do conversor, é capaz de identificar falhas de circuito aberto (OC). Apenas um método é capaz de identificar falhas de curto-circuito (SC), todavia, é comum que conversores de potências elevadas como os conversores multiníveis possuam circuitos de *driver* com monitoramento de dessaturação do interruptor, de forma que falhas de curto-circuito são detectadas e seus efeitos destrutivos são reduzidos (Chokhawala; Catt; Kiraly, 1995), com a possibilidade de *bypass* do módulo após reconhecimento. A máxima quantidade de faltas, o tempo de identificação e o tempo de localização são nomeados como F_{max} , t_{iden} e t_{loc} , respectivamente. Denota-se T_f como período fundamental e T_s como período de amostragem.

Tabela 3 – Comparação de estratégias de identificação

Artigo	Topologia	Versatilidade	Tipo de Falta	t_{iden} de Falha (Pior Caso)	t_{loc} de 1 Falha (Pior Caso)	t_{loc} de Múltiplas Falhas (Pior Caso)	F_{max}	Complexidade
(Souza; Zimann; Batschauer, 2025)	CHB	Sim	OC	$\approx 2 \cdot T_s$	$\frac{N-1}{2 \cdot T_s}$	-	1	Baixa
(Xie et al., 2022)	CHB	Sim	OC	$\approx 2 \cdot T_s$	10% de T_f	72% de T_f	N	Baixa
(Zhou et al., 2019)	MMC	Não	OC	7,5% de T_f	54% de T_f	54% de T_f	N	Medi
(Zhang et al., 2020)	MMC	Não	OC	1,5% de T_f	1,5% de T_f	1,5% de T_f	N	Medi
(Fard et al., 2020)	FC	Não	OC	12% de T_f	12% de T_f	-	1	Medi
(Tang et al., 2021)	FC	Sim	OC/SC	T_f	T_f	-	1	Alta
(Wei et al., 2021)	NPC	Não	OC	7% de T_f	7% de T_f	-	1	Alta
(Valiyil; Gangadharan, 2023)	NPC	Não	OC	25% de T_f	25% de T_f	25% de T_f	N	Medi

Fonte: Elaborado pelo autor (2026)

A versatilidade do método é definida como a capacidade do funcionamento com outras topologias de conversores, considerando as possíveis adaptações necessárias. A análise demonstra que a maioria dos trabalhos utiliza-se de características específicas da topologia, de forma que apenas os métodos para conversores *Cascaded H-Bridge* (CHB) com baixa complexidade de implementação, através da verificação do nível médio da saída (Souza; Zimann; Batschauer, 2025) e estimação da saída através de operações lógicas (Xie et al., 2022), cujas características simples são aplicáveis a qualquer topologia, porém com velocidade reduzida, estão aptos a funcionar em outras configurações. Além disso, o método demonstrado para o conversor *Flying Capacitor* (FC) através da utilização da Transformada de Fourier (Tang et al., 2021) também é extensível, porém possui o maior tempo de identificação e grande complexidade quando comparado a outros métodos.

2.2.2 Métodos de Mitigação

Através da comparação dos métodos de mitigação, demonstra-se a Tabela 4. A máxima tensão de linha em falta é referente a apenas uma falha, visto que características de múltiplas falhas dos métodos são complexas e não podem ser simplificadas a um único valor. Nota-se que

alguns trabalhos não citam Taxa de Distorção Harmônica, com foco apenas em máxima tensão de linha obtida. O símbolo F_{max} representa o número máximo de faltas suportadas pelo método.

Tabela 4 – Comparação de estratégias de mitigação

Artigo	Topologia	Máxima Tensão de Linha em Falta(%)	Aumento da THD da Tensão de Linha(%)	Aumento da THD da Tensão de Fase(%)	Distribuição dos Esforços	F_{max}	Técnica e Complexidade
(Xue et al., 2023)	CHB	100% ⁽¹⁾	Nulo ⁽¹⁾	15,6% $\Rightarrow$ 16,8%	Uniforme ⁽²⁾	1	Lógica/Baixa
(Lin et al., 2020)	CHB	100% ⁽³⁾	12,8% $\Rightarrow$ 15,1%	13,8% $\Rightarrow$ 16,8%	Não Uniforme	Múltiplos	SVM Modificada/Baixa
(Li et al., 2024)	MMC	100% ⁽⁴⁾	Não citado	Não citado	Não Uniforme	Múltiplos	ZSVI/Media
(Xiao et al., 2021a)	MMC	100% ⁽¹⁾	Não citado	Não citado	Não Uniforme	Múltiplos	ZSVI/Media
(Aslanian et al., 2024)	MMC	70,8%	Pequeno ⁽⁵⁾	Não citado	Não Uniforme	Múltiplos	SHE Modificada/Media

(1) O valor é 100% e o aumento é nulo, respectivamente, desde que haja módulos saudáveis o suficiente para compensar os módulos em falta. Teste feito com índice de modulação unitário.

(2) Apenas com a estratégia de controle adicional, que não foi implementada na simulação. A estratégia ainda funciona com distribuição não uniforme.

(3) O valor pode chegar a 100%, porém há aumento significativo na THD.

(4) O valor se mantém em 100% desde que haja pelo menos 90% de módulos saudáveis.

(5) Não apresentado de forma numérica no trabalho original, apenas sendo inferior aos trabalhos prévios.

Fonte: do Autor

A estratégia mais simples e efetiva é a apresentada em Xue et al. (2023). Sua característica lógica e com pouco esforço computacional adéqua as formas de onda das tensões de linha, mantendo a maior simetria possível nas formas de onda de fase. Todavia, ressalta-se a principal limitação do método: sua construção lógica é elaborada para a ocorrência de apenas uma falta ($F_{max} = 1$), de forma que os indicadores favoráveis apresentados na Tabela 4 restringem-se a este cenário. A possível extensão para múltiplas falhas é apenas citada no trabalho, com aumento considerável da complexidade total.

Em Lin et al. (2020), utiliza-se da modulação *Space Vector Modulation* (SVM) com modificações para mitigação das faltas. Sua performance em relação à Taxa de Distorção Harmônica é excelente quando comparada aos outros trabalhos da mesma natureza, porém há a necessidade de diminuir o índice de modulação para obter os resultados apresentados. Os cálculos adicionais além dos necessários para o modulação original não requerem memória adicional e são de baixa complexidade.

Os artigos de (Li et al., 2024) e (Xiao et al., 2021a) ambos utilizam-se da *Zero-Sequence Voltage Injection* (ZSVI), obtendo resultados próximos, com o maior aspecto positivo sendo o número de módulos em falta necessários para a necessidade da diminuição da tensão de linha superior ao dos outros trabalhos.

A estratégia descrita em Aslanian et al. (2024) possui foco diferente, enfatizando a Taxa de Distorção Harmônica mais que a tensão de linha máxima, e, por este motivo, utiliza modulação *Selective Harmonic Elimination* (SHE) modificada. Sua aplicabilidade é diferente, sendo recomendada para casos onde a carga não suporta o efeito das harmônicas adicionais nos outros métodos.

2.3 CONVERSOR EM PONTE H EM CASCATA (CHB)

O Conversor *Cascaded H-Bridge* (CHB), proposto originalmente em Peng et al. (1996), é composto por N células de Ponte H monofásicas conectadas em série por fase (Wu, 2006). Assumindo que cada célula é alimentada por uma tensão cc isolada e igual U_{cc} , o número total de níveis de tensão de fase de saída N_V é determinado pela equação (1) (Wu, 2006).

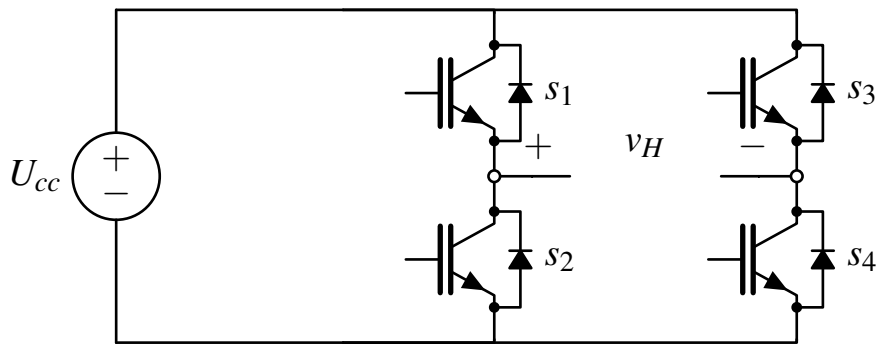
$$N_V = 2N + 1 \quad (1)$$

Onde:

- N : Número de células de Ponte H por fase.
- N_V : Número de níveis de tensão na saída de fase.

A célula ponte completa está representada na Figura 3.

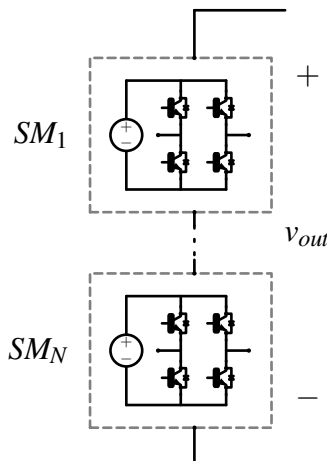
Figura 3 – Estrutura de um módulo ponte completa do CHB.



Fonte: Elaborado pelo autor (2026)

Uma fase do conversor, com N células, pode gerar tensões de saída que variam de $0, \pm U_{cc}, \pm 2U_{cc}, \dots, \pm NU_{cc}$, devido às fontes de valor idêntico de U_{cc} . A tensão máxima de pico na fase é, portanto, NU_{cc} . Sua estrutura está disposta na Figura 4.

Figura 4 – Estrutura de um Conversor CHB.



Fonte: Elaborado pelo Autor (2026)

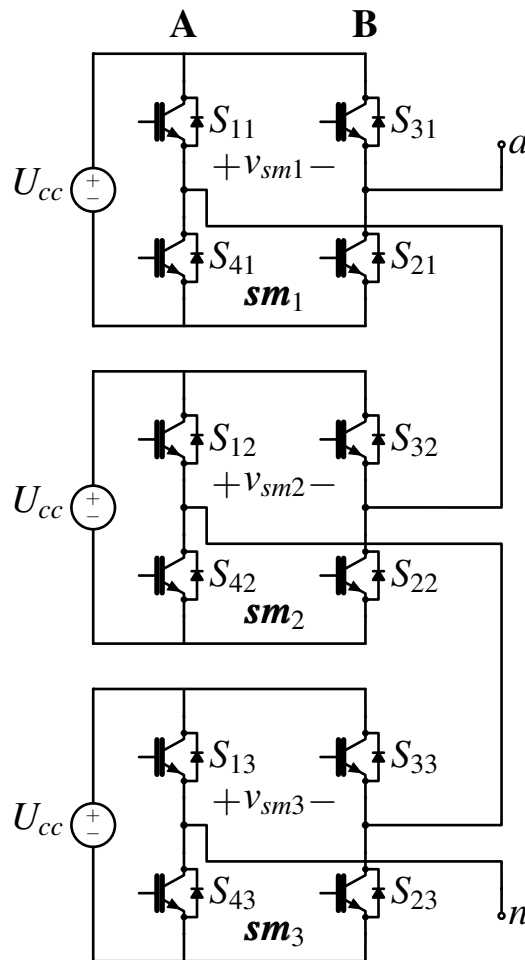
2.3.1 Modulação por Deslocamento de Fase (PS-PWM)

A modulação por portadora com deslocamento de fase (*Phase-Shifted Pulse Width Modulation* – PS-PWM) é uma estratégia utilizada em conversores multiníveis, como o CHB. O princípio consiste em utilizar múltiplas portadoras triangulares com a mesma frequência e amplitude. A característica principal é que existe um deslocamento de fase entre quaisquer duas portadoras adjacentes. Para um conversor de N_V níveis, são necessárias $(N_V - 1)$ portadoras, e o deslocamento de fase entre as mesmas é dado por (2).

$$\Delta_{cr} = \frac{360^\circ}{N_V - 1} \quad (2)$$

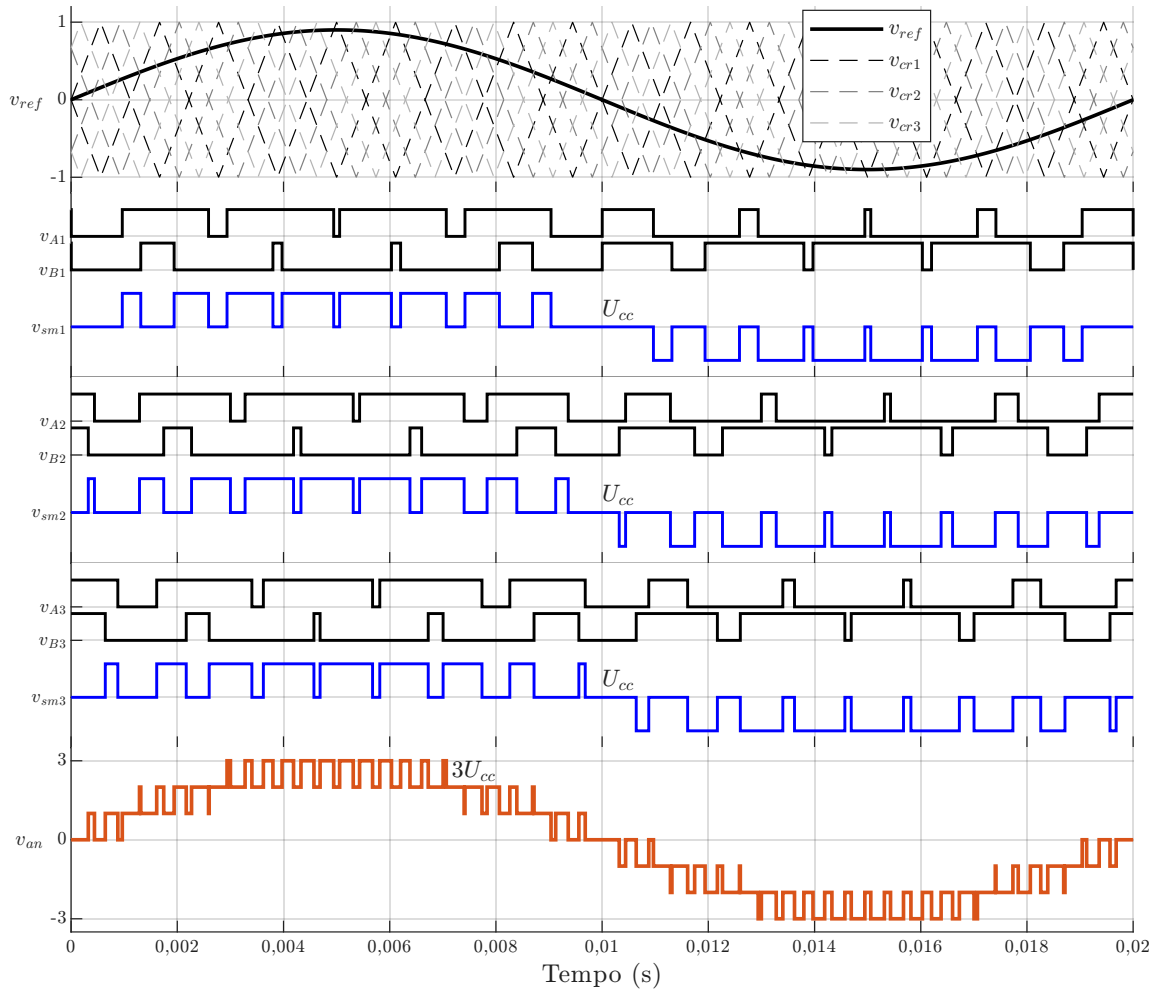
No conversor CHB de 7 níveis (Figura 5), a geração dos comandos baseia-se em PWM com portadoras defasadas (Figura 6). A tensão de fase v_{an} é formada pela soma das tensões de saída das células (v_{sm1} , v_{sm2} , v_{sm3}), onde v_{Ai} e v_{Bi} representam as tensões dos braços esquerdo e direito de cada célula i .

Figura 5 – Conversor CHB de 7 níveis.



Fonte: Adaptado de (Wu, 2006)

Figura 6 – Princípio da modulação PS-PWM para um conversor de 7 níveis.

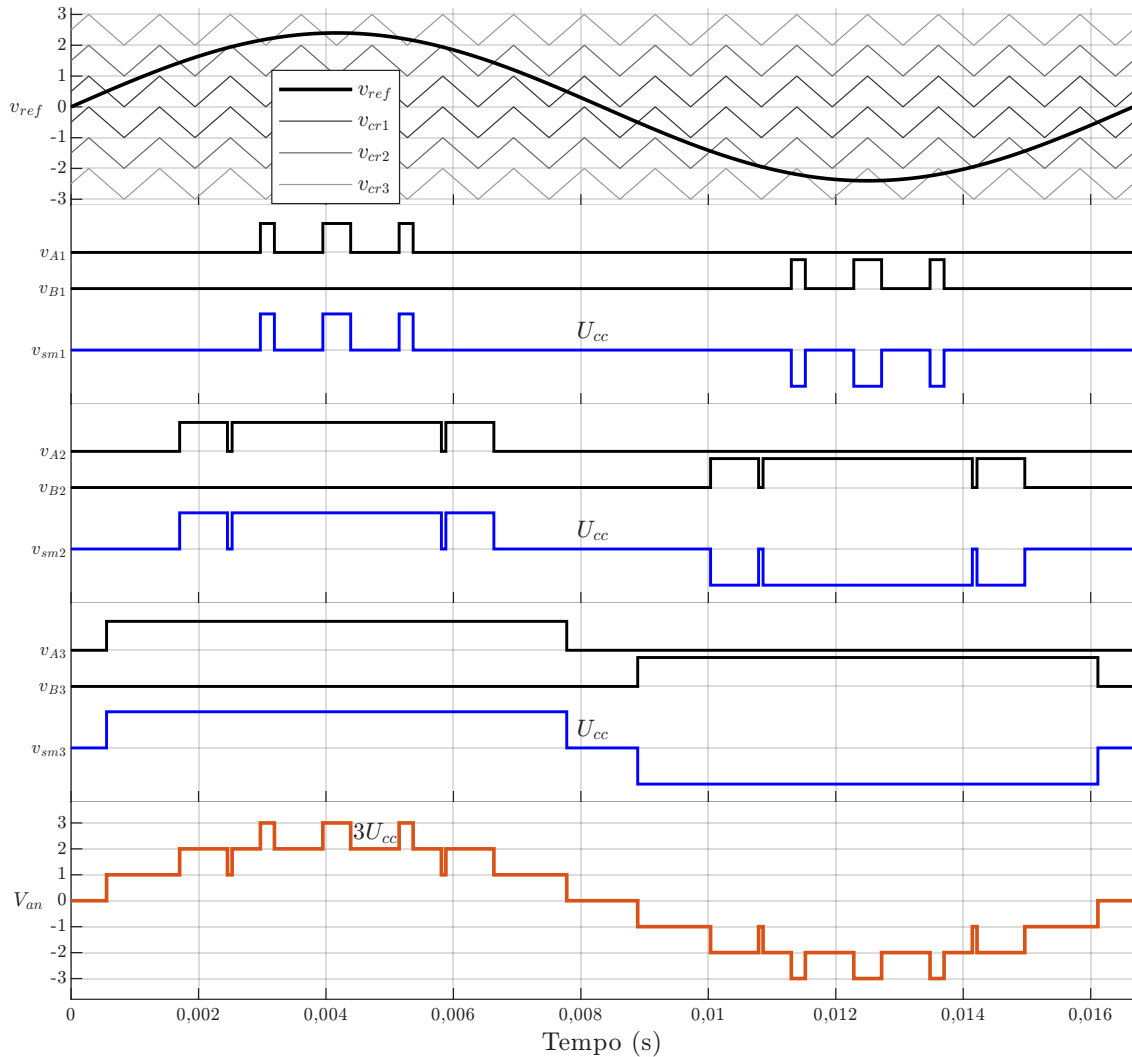


Fonte: Adaptado de (Wu, 2006)

2.3.2 Modulação por Deslocamento de Nível (LS-PWM)

A modulação por portadora com deslocamento de nível (*Level-Shifted Pulse Width Modulation* – LS-PWM) também utiliza $(N_V - 1)$ portadoras para um conversor de N_V níveis, todas com a mesma frequência e amplitude. A diferença fundamental é que, em vez de serem deslocadas em fase, as portadoras são deslocadas verticalmente para ocuparem faixas de amplitude diferentes. A variante mais comum é a *In-Phase Disposition* (IPD ou PD), onde todas as portadoras estão em fase. A Figura 7 ilustra este princípio para um conversor de sete níveis, mostrando como as tensões de saída de cada célula (v_{H1} , v_{H2} , v_{H3}) são geradas e somadas para formar a tensão de fase multinível V_{an} .

Figura 7 – Princípio da modulação LS-PWM para um conversor de 7 níveis.



Fonte: Adaptado de (Wu, 2006)

2.3.3 Identificação através de Filtro Média Móvel (CHB)

Apresenta-se em Souza, Zimann e Batschauer (2025) um método simples e efetivo, onde um filtro média móvel, apresentado em (3), é implementado através da utilização de um *buffer* circular de f_{cntr}/f_o posições, onde f_{cntr} é a frequência de controle, f_o é a frequência fundamental da tensão de saída, M_T é o número total de amostras, k é a amostra atual e M_P é a última amostra.

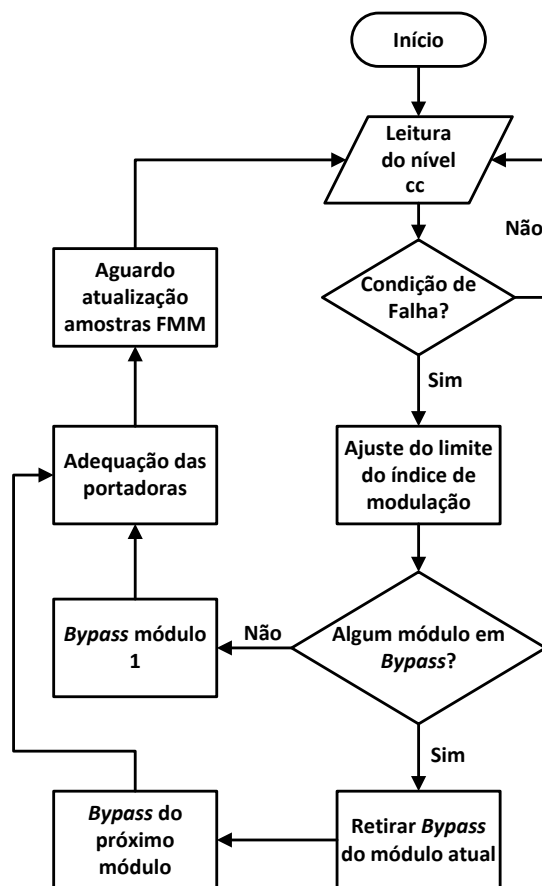
$$y[n] = \frac{1}{M_T} \sum_{k=0}^{M_P} x[n-k] \quad (3)$$

Nos conversores multiníveis em operação cc-ca o nível médio da tensão de saída é zero (Wu, 2006), de forma que valores muito superiores a nulo indicam falha. Dessa forma, o artigo propõe que caso a tensão média seja superior a um valor predeterminado, cuja magnitude controla a velocidade de resposta e imunidade a ruídos e não idealidades do conversor, desabilita-se um

submódulo por vez, limitando o índice de modulação e adequando as portadoras. Espera-se um período de chaveamento completo, e, caso a tensão média esteja dentro do esperado para regime permanente, identifica-se o módulo em falha, e, caso ainda exista condição de falha, reabilita-se o módulo atualmente em *bypass* e desabilita-se o próximo módulo, de forma que eventualmente o módulo em falha é desabilitado e localizado.

Percebe-se que o método de identificação é efetivamente um método de correção, visto que o *bypass* do módulo em falta identifica-o. Esta rotina de correção é restrita a apenas uma falha por vez, tendo em vista que apenas um módulo é desviado e por consequência duas ou mais faltas simultâneas nunca são identificadas. A rotina de correção está disposta na Figura 8.

Figura 8 – Fluxograma da estratégia de identificação/correção.



Fonte: Souza, Zimann e Batschauer (2025)

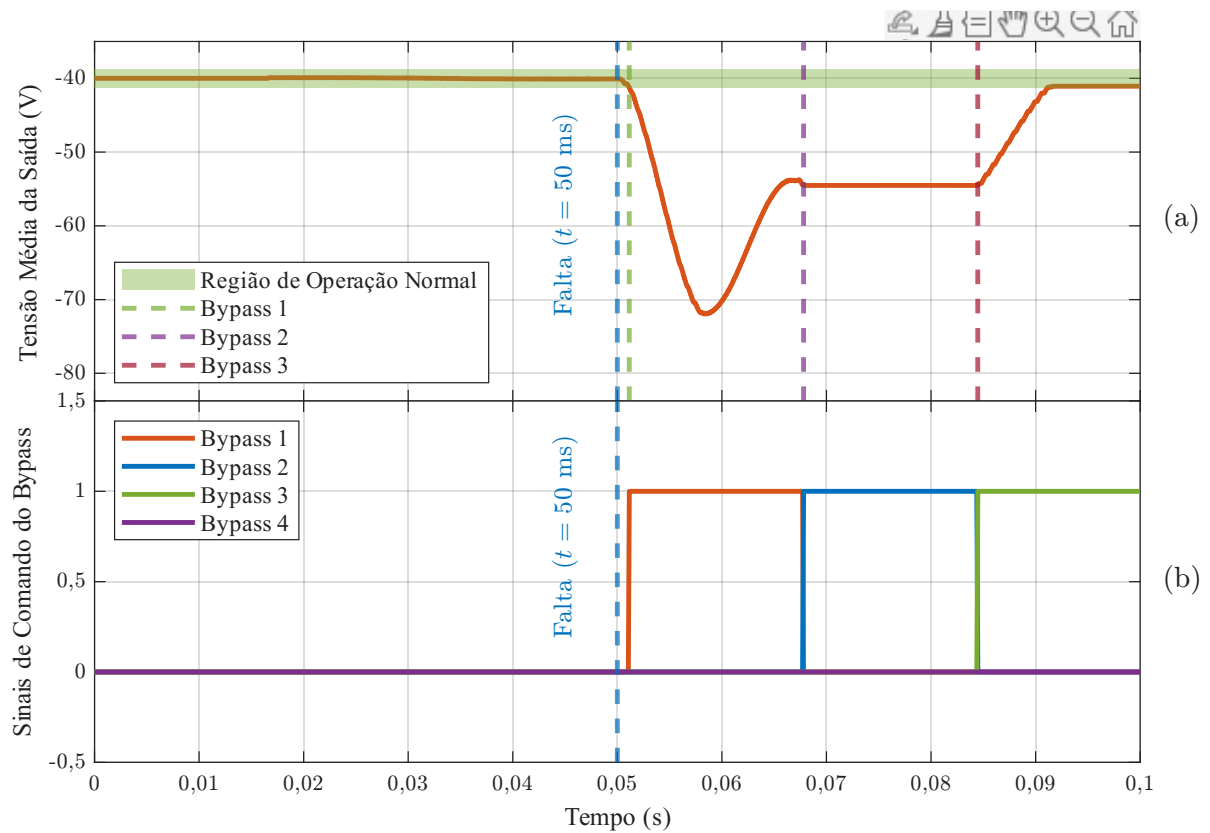
Os parâmetros da simulação do conversor CHB de 4 módulos utilizada para verificar o funcionamento do método estão apresentados na Tabela 5.

Tabela 5 – Parâmetros da simulação CHB de Souza, Zimann e Batschauer (2025).

Parâmetros	Valor
U_{cc}	87,5 V
f_s	1 kHz
f_{cntr}	20 kHz
R_l	600 Ω
L_l	200 mH

Fonte: Elaborado pelo autor (2026)

O procedimento é demonstrado na Figura 9, onde uma falta de circuito aberto ocorre no terceiro módulo de um conversor CHB com 4 módulos. Utilizou-se um valor predeterminado, chamado valor de limiar, de 2,5 V. Dessa maneira, ao sair fora da região de operação normal, itera-se entre os possíveis módulos defeituosos, esperando um período de frequência fundamental T_o para trocar para o próximo. Neste caso, como demonstrado na Figura 9, o terceiro módulo é identificado após três períodos da frequência fundamental.

Figura 9 – Filtro Média Móvel da tensão de saída (CHB) (a) e sinais do comando do *bypass* para os módulos (CHB) (b).

Fonte: Elaborado pelo autor (2026)

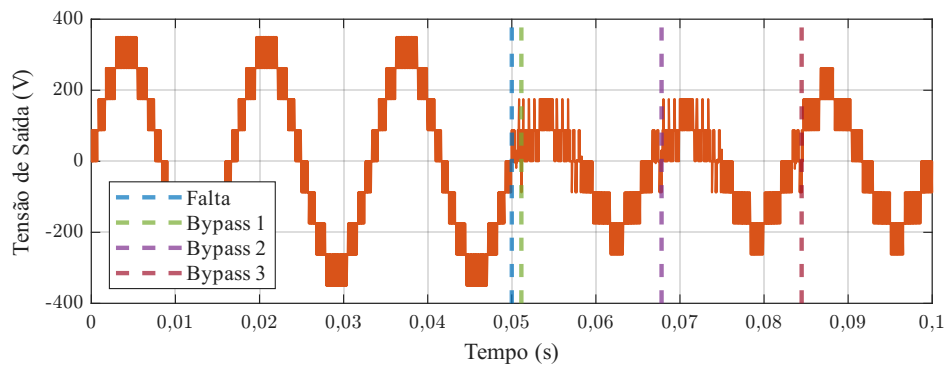
O método se demonstra eficaz, porém limitado a identificação de apenas um módulo em falha e seu tempo de identificação é linearmente dependente do número de módulos N , de forma

que o máximo tempo de identificação, no caso onde o módulo em falha é o último módulo a ser verificado, está disposto em (4).

$$t_{iden} = \frac{N}{2 \cdot f_o} \quad (4)$$

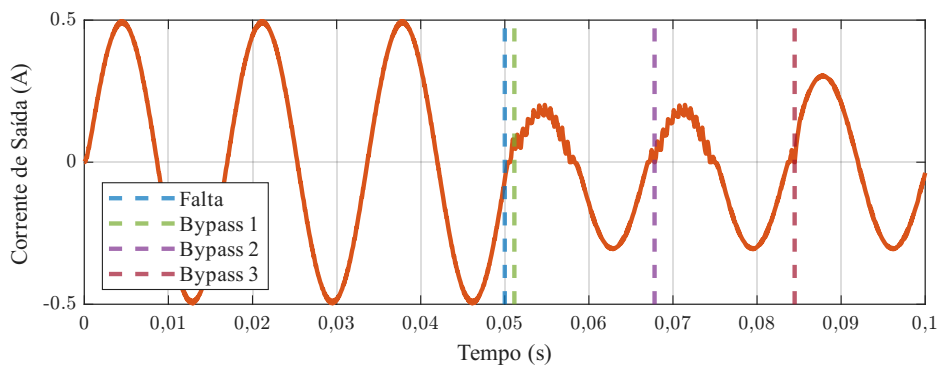
As formas de onda da estratégia de correção estão dispostas nas Figuras 10 e 11, havendo a necessidade de diminuir o índice de modulação, de forma que $m_{max} = (N - 1)/N$. Além disso, dependendo do tipo de modulação utilizado (SHE, PS-PWM ou PD LS-PWM), pode haver a necessidade da alteração de portadora ou mudança dos ângulos de comutação. Na simulação para comprovação, utiliza-se PS-PWM, havendo ajuste da defasagem das portadoras para operação em falha.

Figura 10 – Tensão de saída do Conversor CHB.



Fonte: Elaborado pelo autor (2026)

Figura 11 – Corrente na carga do Conversor CHB.



Fonte: Elaborado pelo autor (2026)

2.3.4 Identificação através de estimação de saída e comparação do chaveamento e erro

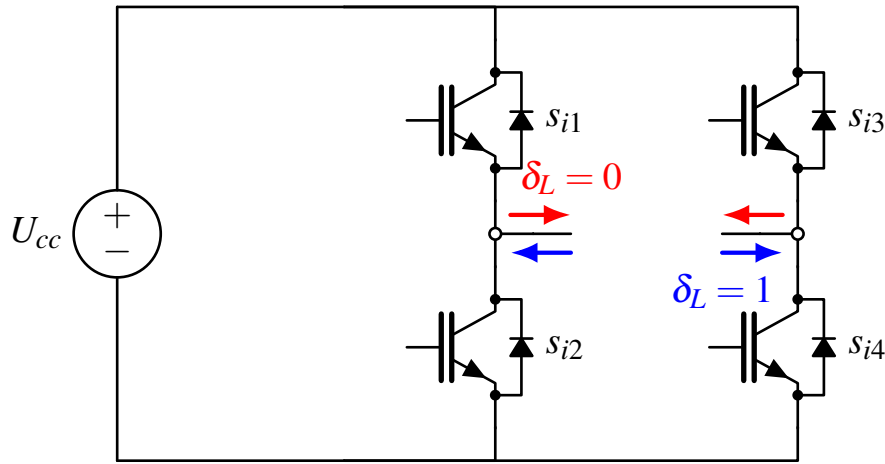
Apresenta-se em Xie et al. (2022) um método que utiliza uma estimativa da tensão de saída do conversor obtida através dos sinais de chaveamento, a qual é comparada com a saída real mensurada, de forma a gerar um sinal de erro, para identificar a falha em Conversores CHB. Este sinal de erro é utilizado em conjunto com os sinais de chaveamento para indicar qual módulo

do conversor está em falha através de contadores, partindo do princípio que, em média, o sinal de erro ocorre mais vezes durante o chaveamento do módulo em falha quando comparado ao chaveamento dos módulos saudáveis.

Define-se em (5), para cada módulo do conversor, uma função da variável δ_L , consequência do sentido da corrente do conversor, onde 1 e 0 indicam corrente entrando e saindo da célula, respectivamente. As outras variáveis são os sinais de chaveamento s_{ix} , onde i é o número do módulo e x é a identificação do interruptor interno ao módulo, conforme a notação na Figura 12. As variáveis $\bar{\delta}_L$ e $\bar{s}_{ix}$ representam suas negações lógicas e + indica a operação lógica OU.

$$\begin{cases} K_{ia} = s_{i1}\bar{\delta}_L + \bar{s}_{i2}\delta_L \\ K_{ib} = s_{i3}\delta_L + \bar{s}_{i4}\bar{\delta}_L \end{cases} \quad (5)$$

Figura 12 – Ponte completa com identificação das chaves e sentido de corrente.



Fonte: Elaborado pelo autor (2026)

As variáveis SF_i , as quais representam o estado de chaveamento do módulo, são definidas em (6) e o valor estimado da tensão de saída do conversor u_{ab_e} por índice k é equacionado em (7), sendo função de SF_i . O valor $U_{cc}(k)$ é a tensão de cada módulo, podendo ser medida ou apenas o valor nominal, que na prática é a tensão do capacitor da fonte que alimenta o módulo, todavia, simulou-se com fontes de tensão constante, que equivalem a utilizar valores de capacitâncias suficientes para limitar a ondulação.

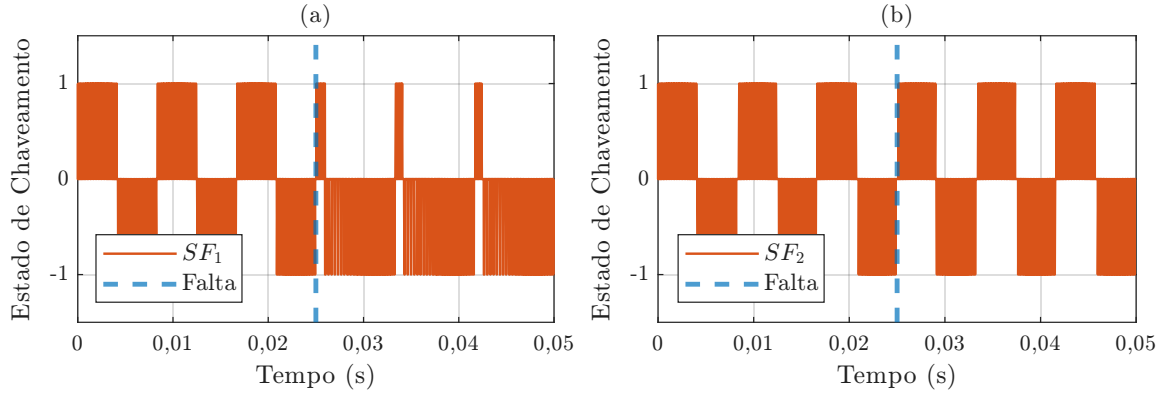
$$SF_i(k) = K_{ia} - K_{ib} \quad (6)$$

$$u_{ab_e}(k) = \sum_{i=1}^N SF_i(k)U_{cc}(k) \quad (7)$$

As Figuras 13(a), 13(b) e 14 ilustram os resultados obtidos por meio das equações (6) e (7), considerando a inserção de uma falha em $t = 50$ ms. Nota-se que, imediatamente após o

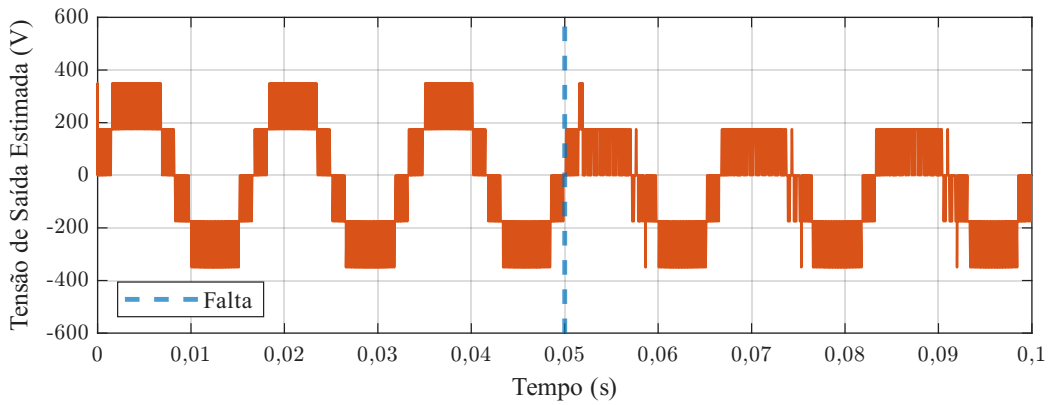
isolamento do defeito, o algoritmo reconfigura o sinal de chaveamento SF_1 e a tensão estimada u_{ab_e} . Essa etapa demonstra a habilidade do modelo matemático de replicar a operação anormal do conversor, bastando para isso suprimir o sinal da respectiva chave na equação (5). Essa adaptação é imprescindível para que a assinatura da falha atual seja incorporada a estimativa, garantindo assim a continuidade do diagnóstico diante de eventos de múltiplas falhas posteriores.

Figura 13 – Estados de chaveamento SF_1 (a) e SF_2 (b).



Fonte: Elaborado pelo autor (2026)

Figura 14 – Tensão de saída estimada.



Fonte: Elaborado pelo autor (2026)

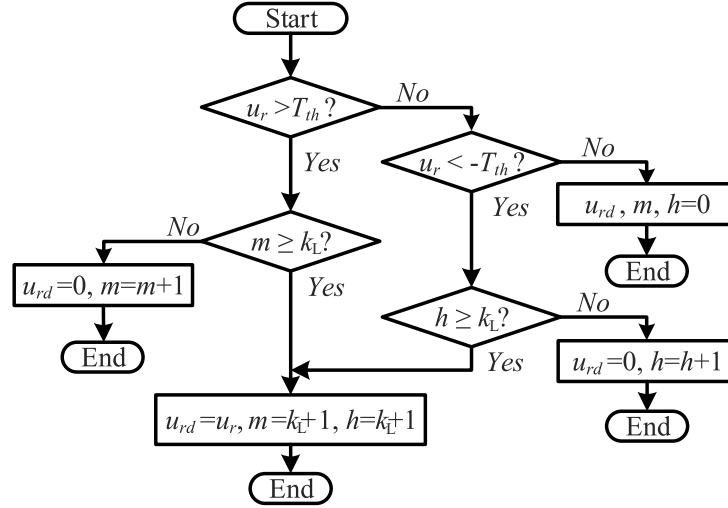
Adicionalmente, estabelece-se o erro normalizado $u_r(k)$ em (8), onde U_{cc} é a tensão de referência de cada módulo e u_{ab_r} é a tensão de saída medida do Conversor CHB. Desta maneira, $u_r(k)$ possui valores no intervalo de $[-1, 1]$. Desta forma, compara-se o valor estimado, conforme demonstrado na Figura 14, com o valor real de saída do conversor.

$$u_r(k) = \frac{u_{ab_r} - u_{ab_e}}{U_{cc}} \quad (8)$$

Após o cálculo de $u_r(k)$, seu valor é comparado com um valor de limiar T_{th} , onde valores superiores ao valor limite indicam operação em falta. Todavia, para evitar a falsa identificação

devido a ruídos de medição, erros de estimação e interferência eletromagnética, aplica-se um método de eliminação através de contagem, disposto na Figura 15. Neste caso, k_L é o valor limite de contador, onde caso o sinal de falta permaneça por mais de k_L passos de cálculo discretos, seu valor é transmitido para o algoritmo de identificação através da variável u_{rd} , o sinal de erro filtrado.

Figura 15 – Fluxograma do método de eliminação através de contagem.



Fonte: Xie et al. (2022)

No algoritmo de identificação da falta, após o valor de erro filtrado $|u_{rd}|$ ultrapassar T_{th} inicializa-se a localização da falta. Primeiramente, calcula-se o valor de $D(k)$ através de (9), comparando com seu valor anterior. A variável $D(k)$ é a soma de todos os estados de falta F_{ix} , os quais indicam qual falha já foi identificada. Efetivamente, se $D(k)$ for diferente de $D(k-1)$, identificou-se um módulo em falha.

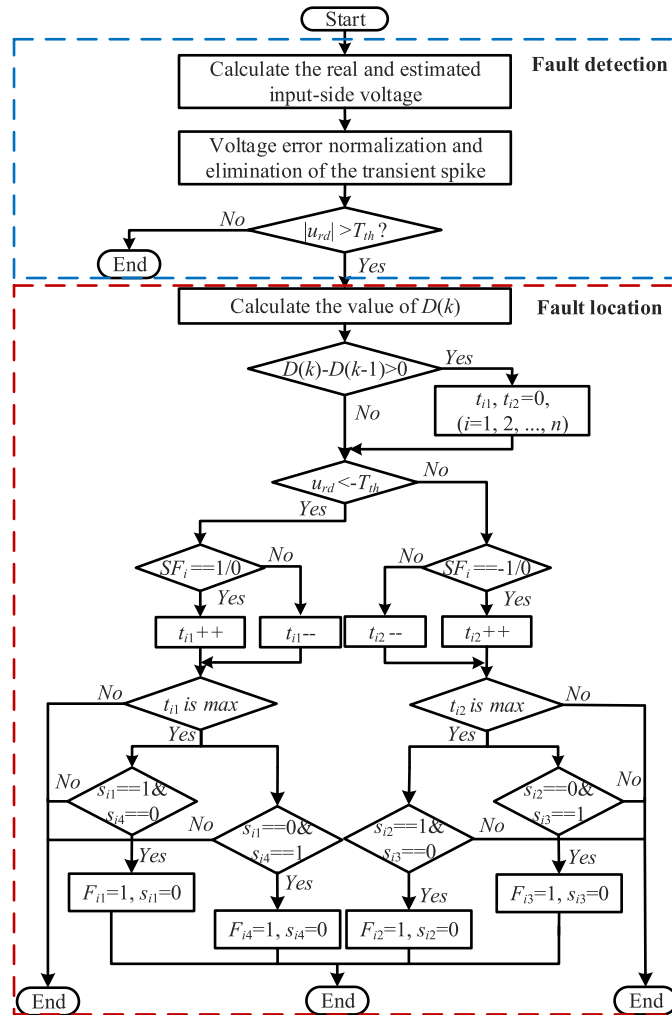
$$D(k) = F_{i1}(k) + F_{i2}(k) + F_{i3}(k) + F_{i4}(k), \quad i = 1, 2, \dots, N. \quad (9)$$

Esta comparação é importante visto que caso seu valor seja verdadeiro, os valores dos contadores internos t_{i1} e t_{i2} são zerados. Posteriormente, os valores dos contadores são atualizados conforme as condições apresentadas em (10), com o sinal positivo (+) indicando incremento e o negativo (-) decremento. Assim, partindo do princípio que o sinal de erro u_{rd} é presente mais vezes durante a operação do módulo em falta, os valores de SF_i são utilizados para indicar quando deve-se incrementar ou decrementar os contadores. Além disso, nota-se que pela inclusão das condições que comparam u_{rd} com $\pm T_{th}$, utiliza-se do sinal positivo ou negativo do erro calculado para auxílio na localização.

$$\begin{cases} t_{i1}^+ = 1, & \text{se } (u_{rd} < -T_{th} \& SF_i == 0 \text{ ou } 1) \\ t_{i1}^- = 1, & \text{se } (u_{rd} < -T_{th} \& SF_i == -1) \\ t_{i2}^+ = 1, & \text{se } (u_{rd} > T_{th} \& SF_i == 0 \text{ ou } -1) \\ t_{i2}^- = 1, & \text{se } (u_{rd} > T_{th} \& SF_i == 1) \end{cases} \quad (10)$$

Ao comparar qual contador é máximo entre todos os N módulos, localiza-se a falta, desabilita-se o sinal de chaveamento e atualiza-se o estado de falta F_{ix} do interruptor correspondente. A estratégia de localização completa está indicada na forma de fluxograma na Figura 16.

Figura 16 – Fluxograma do método de identificação e localização.



Fonte: Xie et al. (2022)

Para verificação do funcionamento, simula-se um Conversor CHB com 2 módulos com uma falta no interruptor s_{11} em $t = 50$ ms. Os parâmetros da simulação estão dispostos na Tabela 6.

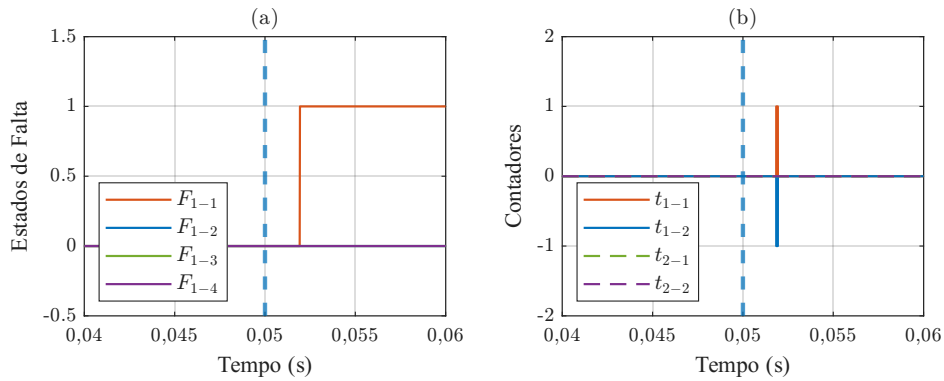
Tabela 6 – Parâmetros da simulação de Xie et al. (2022).

Parâmetros	Valor
U_{cc}	175 V
f_s	1 kHz
f_{cntr}	20 kHz
R_l	600 Ω
L_l	200 mH

Fonte: Elaborado pelo autor (2026)

A resposta dos contadores e estados de falta estão dispostos nas Figuras 17 (a) e 17 (b).

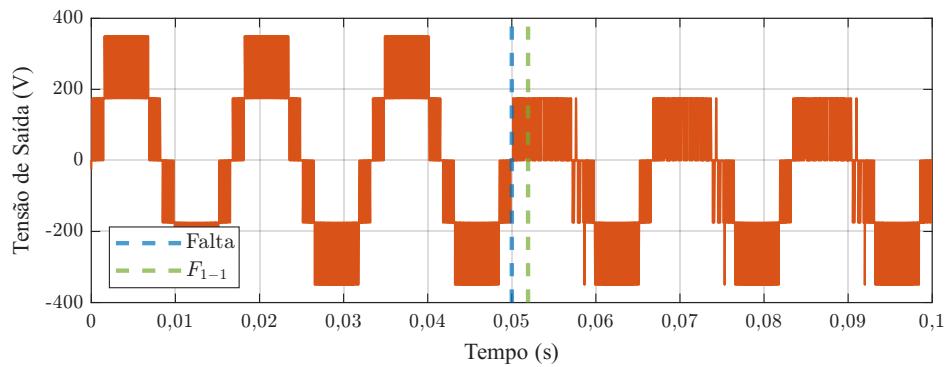
Figura 17 – Estados de Falta (a) e Contadores (b).



Fonte: Elaborado pelo autor (2026)

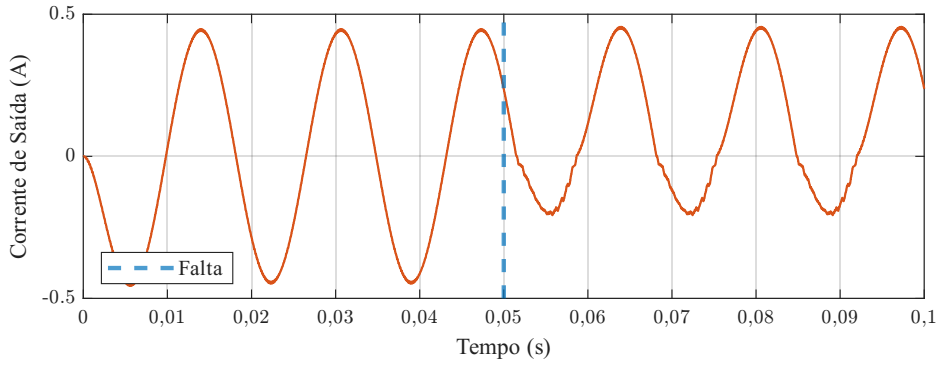
A falha foi detectada em 1,84 ms ($T_{th} = 0,8$; $k_L = 30$). Este método requer ajustes práticos, evitando k_L elevado para impedir a filtragem excessiva de informações do sinal. Nesta simulação não implementou-se estratégia de correção. As formas de onda de saída são apresentadas nas Figuras 18 e 19.

Figura 18 – Tensão de Saída do Conversor CHB.



Fonte: Elaborado pelo autor (2026)

Figura 19 – Corrente na Carga do Conversor CHB.



Fonte: Elaborado pelo autor (2026)

2.3.5 Mitigação através de operações lógicas

Em (Xue et al., 2023) é apresentada uma metodologia de operação tolerante a falhas para o conversor CHB, cujo objetivo é manter a continuidade da operação mesmo diante da ocorrência de falhas de circuito aberto (*Open-Circuit Faults*) em um ou mais interruptores dos módulos do conversor. Este método se diferencia de outros que utilizam a modulação PS-PWM, visto que na maior parte das abordagens, é necessário redistribuir as portadoras para correta operação na fase com módulo em falta. Neste método, apenas utiliza-se de compensação através de operações lógicas, com o sinal de chaveamento do módulo em falta sendo utilizado virtualmente para indicar em quais momentos é necessário compensar positivamente ou negativamente. Há a compensação inter-fase, ou seja, utiliza-se de módulos da própria fase em falta e o intra-fase, que utiliza-se da compensação das demais fases.

Com a assimetria introduzida pela redução do número de módulos em apenas uma das fases, torna-se necessário aplicar uma compensação intra-fase para manter o equilíbrio das tensões entre as fases saudáveis e a fase defeituosa. A primeira etapa ocorre para todos os índices de modulação m . Esta compensação é realizada através de módulos de compensação positiva e negativa. A lógica do módulo de compensação positivo é dada em (11). Neste caso, as variáveis g_{ij} correspondem ao sinal que deveria ser enviado ao submódulo devido a modulação, sendo idênticas aos sinais s_{ij} em situações sem falha. A variável F indica a ocorrência de uma falha no sub-braço.

$$\begin{cases} g_{ij1P} = F_{ijP} + g_{ij1} \\ g_{ij3P} = (F_{ijP} \cdot g_{ij1} \cdot g_{ij3}) \cdot g_{ij3} \end{cases} \quad (11)$$

Da mesma maneira, o módulo de compensação negativo é dado por (12).

$$\begin{cases} g_{ij2N} = F_{ijN} + g_{ij2} \\ g_{ij4N} = (F_{ijN} \cdot g_{ij2} \cdot g_{ij4}) \cdot g_{ij4} \end{cases} \quad (12)$$

Assim, utiliza-se da análise do impacto da falha de um interruptor de um módulo do conversor, de forma que as compensações necessárias para cada posição de falha do interruptor estão apresentadas nas Figuras 20 e 21.

Figura 20 – Análise da necessidade de compensação positiva.

$F_{ijP} = 0$ (P level does not need to be compensated)	input	mode	1	2	3	4	5	6	7	8
		level	0	0	P	P	N	N	0	0
	output	mode	1	2	3	4	5	6	7	8
		level	0	0	P	P	N	N	0	0
$F_{ijP} = 1$ (P level needs to be compensated)	input	mode	1	2	3	4	5	6	7	8
		level	0	0	P	P	N	N	0	0
	output	mode	3	4	3	4	1	2	3	4
		level	P	P	P	P	0	0	P	P

Fonte: Xue et al. (2023)

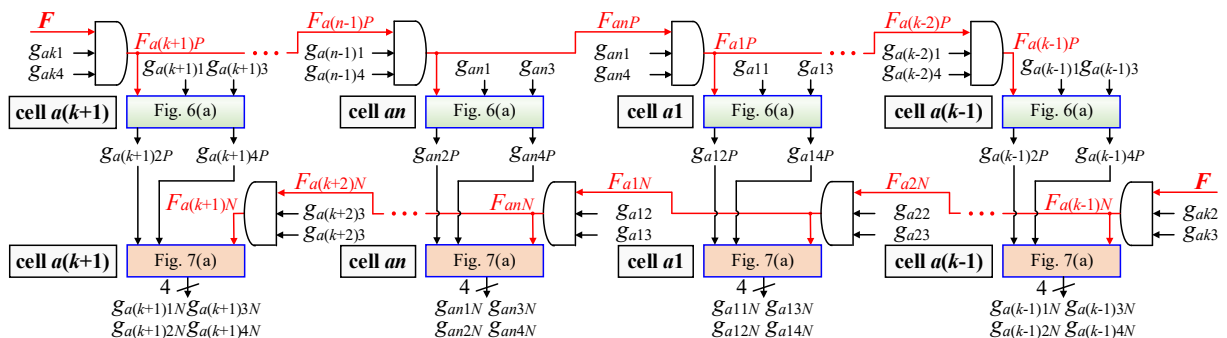
Figura 21 – Análise da necessidade de compensação negativa.

$F_{ijN} = 0$ (N level does not need to be compensated)	input	mode	1	2	3	4	5	6	7	8
		level	0	0	P	P	N	N	0	0
	output	mode	1	2	3	4	5	6	7	8
		level	0	0	P	P	N	N	0	0
$F_{ijN} = 1$ (N level needs to be compensated)	input	mode	1	2	3	4	5	6	7	8
		level	0	0	P	P	N	N	0	0
	output	mode	5	6	7	8	5	6	5	6
		level	N	N	0	0	N	N	N	N

Fonte: Xue et al. (2023)

Com estas informações, aplica-se a lógica de implementação da compensação, como disposta na Figura 22, onde a falta é indicada pela variável F e utilizada junto com os sinais de chaveamento originais para compensar os níveis faltantes. Um módulo em falta tentando aplicar um nível de tensão positivo, porém impossibilitado, transmite a falta para o próximo, até que acabem todos os módulos saudáveis e capazes de suprir a tensão necessária. Aplica-se a mesma lógica para a remediação dos níveis de tensões negativas. Nota-se que apenas um módulo compensa a falta por vez, visto que a falta só é indicada para módulos posteriores caso ainda não tenha sido compensada, conforme indicado no diagrama pelas portas AND.

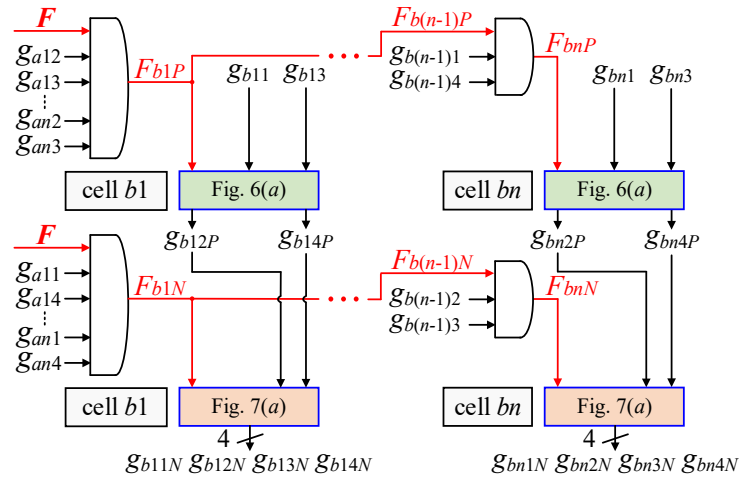
Figura 22 – Fluxograma de implementação da compensação intra-fase.



Fonte: Xue et al. (2023)

Todavia, nota-se que há casos onde não há módulos suficientes em uma fase para compensar a falta, fato que ocorre quando o índice de modulação m é superior a $(N - 1)/N$, onde N é o número total de módulos do conversor. Neste caso, todos os módulos estão no mesmo nível de tensão do que o nível faltante, impossibilitando a fase de compensar-se sozinha. Assim, utiliza-se da lógica inter-fase, onde a variável de falta F é transferida para o controle das fases adjacentes, de forma que a falta do nível de tensão é anulada quando analisa-se as tensões de linha. Por exemplo, caso a fase a não consiga mais suprir uma falta negativa, para não se alterar a tensão de linha $V_{ab} = V_a - V_b$, a tensão de linha V_b compensa positivamente, efetivamente anulando a falha. O fluxograma de implementação está disposto na Figura 23.

Figura 23 – Fluxograma de implementação da compensação inter-fase.



Fonte: Xue et al. (2023)

Com este raciocínio, desde que haja módulos disponíveis para anular a falta, o método é válido. O artigo original demonstra uma estratégia de controle para manter a energia de baterias que alimentariam cada módulo do CHB; não estando no escopo do trabalho, esta técnica foi desconsiderada na implementação. Para avaliar o método proposto neste artigo, simulou-se a utilização da técnica com um Conversor CHB com quatro módulos e modulação PS-PWM. Os parâmetros utilizados estão dispostos na Tabela 7. Ressalta-se que cada simulação desta revisão emprega os parâmetros do respectivo trabalho original, permitindo a comparação direta com os resultados publicados; uma base única de parâmetros é adotada apenas nas análises comparativas dos capítulos seguintes.

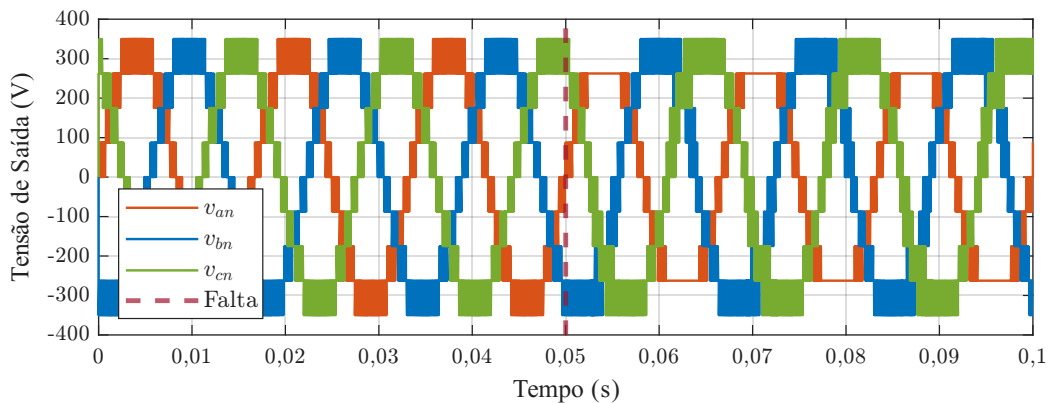
Tabela 7 – Parâmetros da simulação de Xue et al. (2023).

Parâmetros	Valor
U_{cc}	87,5 V
f_s	1 kHz
f_{cntr}	20 kHz
$R_l(\Delta)$	200 Ω
$L_l(\Delta)$	66 mH

Fonte: Elaborado pelo autor (2026)

Primeiramente, apresentam-se as formas de onda das tensões de saída fase-neutro na Figura 24, com o funcionamento de ambas as estratégias intra-fase e inter-fase em operação. Simulou-se com índice de modulação $m = 0,95$, sendo possível notar que após a falta, a tensão de fase V_{an} perde o nível superior e inferior nos intervalos do pico da referência devido ao *bypass*. A falta de distorção da forma de onda fora destes intervalos demonstra a eficácia da lógica intra-fase, visto que com a modulação PS-PWM sem estratégia de correção o módulo em falta seria comandado, mas sua tensão seria zero, gerando imperfeições. Há perda de um nível superior e inferior devido ao acionamento do *bypass* para obtenção de simetria entre os sub-braços.

Figura 24 – Formas de onda das tensões de fase.



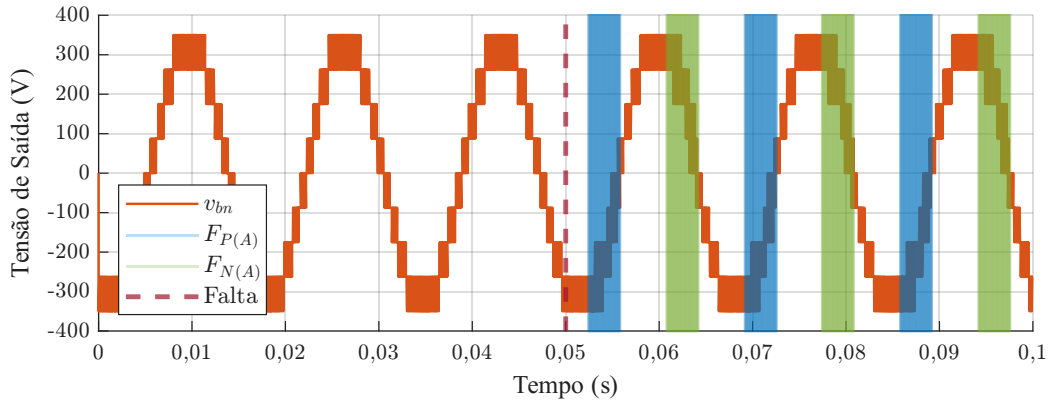
Fonte: Elaborado pelo autor (2026)

Nota-se que as tensões v_{bn} e v_{cn} não são simétricas após a falta, com pequenos períodos com chaveamento adicional proveniente da compensação inter-fase, anulando o efeito da falta da fase a nas tensões de linha. Para melhor identificação da assimetria, apresenta-se a forma de onda de v_{bn} na Figura 25, v_{cn} na Figura 26 e os sinais de falta da compensação inter-fase, nomeados $F_{P(A)}$ e $F_{N(A)}$, respectivamente.

Percebe-se que apenas uma fase compensa a falta da fase a por vez, de forma que quando a forma de onda é distorcida em v_{bn} , v_{cn} se mantém como o esperado e vice-versa. Isto demonstra que devido a defasagem entre as tensões de fase, as perdas adicionais são distribuídas igualmente entre as fases compensadoras. Além disso, a utilização da compensação inter-fase é exclusiva

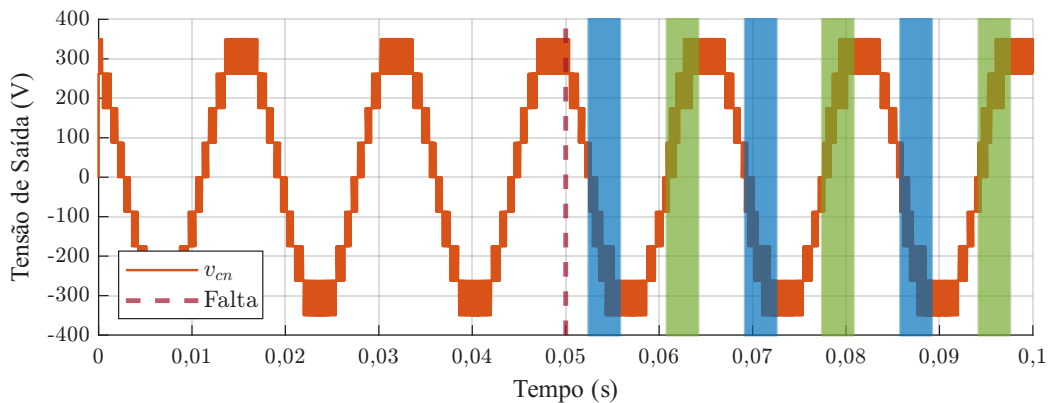
para sistemas trifásicos, porém a compensação intra-fase ainda pode ser aplicada a sistema monofásicos.

Figura 25 – Formas de onda da tensão v_{bn} .



Fonte: Elaborado pelo autor (2026)

Figura 26 – Formas de onda da tensão v_{cn} .

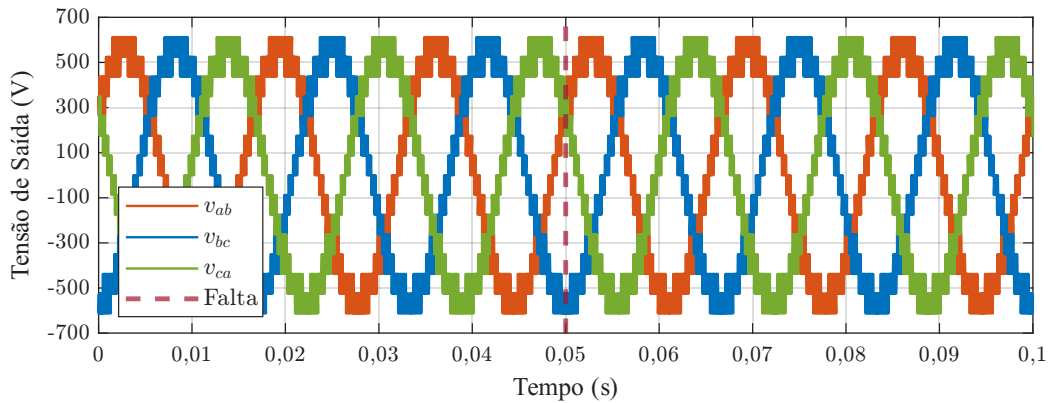


Fonte: Elaborado pelo autor (2026)

Nota-se que a compensação é distribuída para as outras duas fases de forma natural, visto que quando há impossibilidade de compensação pela fase b , a fase c compensa e vice-versa. Por fim, demonstram-se as tensões e correntes de linha, as quais não são afetadas em nada pela falta, visto que simulou-se com identificação instantânea da falta. Não utilizou-se método de identificação com intuito de verificar a eficácia apenas do método de mitigação. As formas de onda estão dispostas nas Figuras 27 e 28.

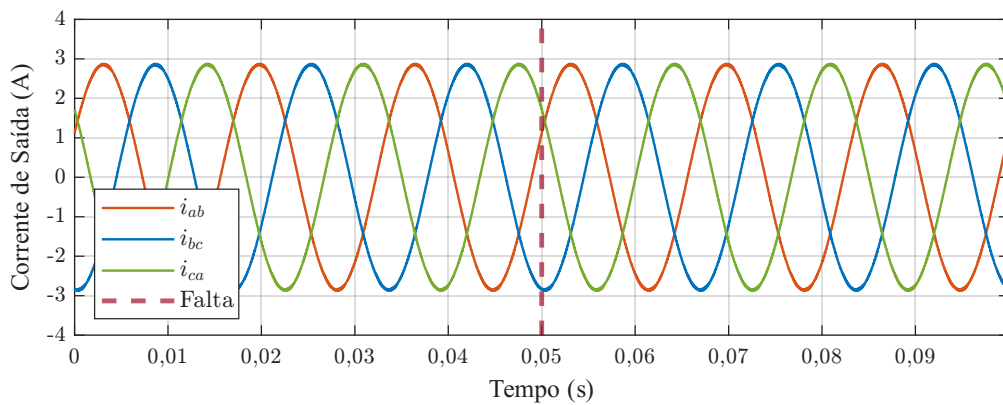
A análise das formas de onda comprova a eficiência do método. No entanto, o trabalho original não abordou o impacto da estratégia sobre o estresse dos componentes. O chaveamento adicional, inerente a técnica, tende a intensificar as solicitações de corrente nos semicondutores, de modo que um estudo aprofundado de seus efeitos se torna indispensável para uma aplicação prática.

Figura 27 – Formas de onda das tensões de linha.



Fonte: Elaborado pelo autor (2026)

Figura 28 – Formas de onda das correntes de linha.



Fonte: Elaborado pelo autor (2026)

A abordagem proposta por Xue et al. (2023) apresenta uma estrutura de tolerância a falhas eficiente e de baixa complexidade, capaz de garantir a continuidade da operação sem necessidade de redundância de hardware. O método é aplicável tanto para falhas simples quanto para falhas múltiplas, desde que haja módulos saudáveis o suficiente para compensar os em falta. O ponto de destaque é a adaptação automática da modulação e compensação inter-fase, que preservam o equilíbrio trifásico sem exigir modificações nas malhas de controle, apenas havendo a necessidade de aplicar lógica booleana.

2.3.6 Mitigação através da adaptação da estratégia SVM

No artigo publicado por Lin et al. (2020), deduz-se um método que adapta a estratégia de modulação *Space Vector Modulation* (SVM), com intuito de obter as tensões de linhas superiores as possíveis com a estratégia comum. Além disso, o método visa como objetivo secundário minimizar a Taxa de Distorção Harmônica (THD) durante a operação em falta.

Define-se o vetor de referência normalizado $\vec{V}_{ref}$, em função das tensões trifásicas de linha normalizadas V_{an} , v_{bn} e v_{cn} em (

Figura 30 – Projeção do vetor de referência $\vec{V}_{ref}$ sobre os eixos das fases a , b e c (plano abc

$$(S_{a2}, S_{b2}, S_{c2}) = \begin{cases} V_{x,int}e_h + (-V_{y,int} - 1)e_g - e_4, & \text{Área} = 1$$

Figura 32 – Operação do método sob falta no plano de comutação: decomposição do vetor de referência $\vec{V}_{ref}$ no BRV $\vec{V}_B$

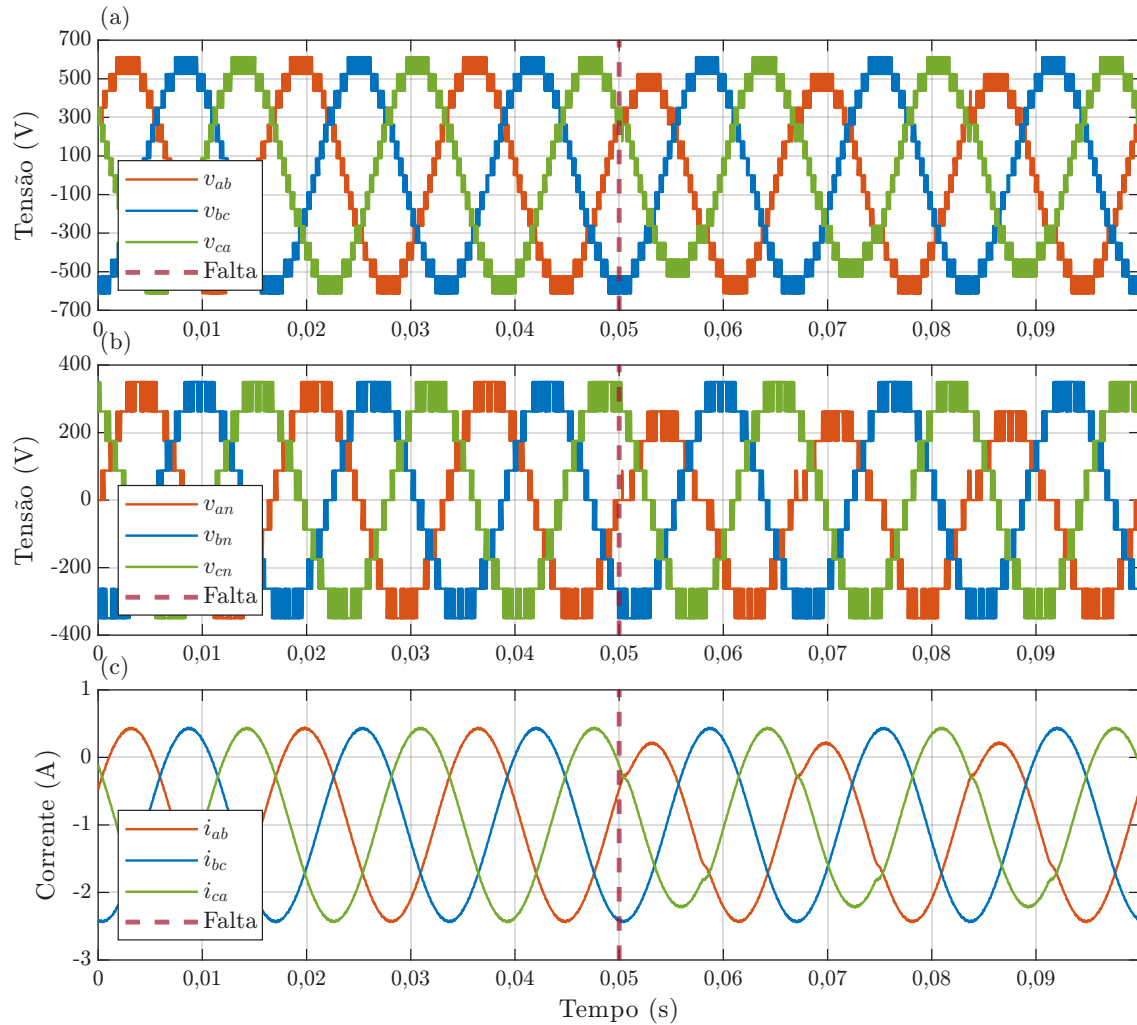
$$(S_{ar}, S_{br}, S_{cr}) = (S_{ar}, S_{ar} - S_{gr}, S_{ar} - S_{gr} - S_{hr}) \quad (20)$$

Simularam-se dois casos, o primeiro, com índice de modulação $m = 0,95$, o qual causa maior sobremodulação, distorcendo mais as formas de onda. A segunda simulação utiliza $m = 0$

Figura 35 – Formas de onda das tensões de linha ($m = 0,95$).

Figura 38 – Formas de onda das correntes de linha ($m = 0,82$).

Figura 39 – Formas de onda de tensão de fase, tensão de linha e corrente de linha sem estratégia de correção ($m = 0,95$).



Fonte: Elaborado pelo autor (2026)

Além disso, comparando com *bypass* e diminuição do índice de modulação para $m = 0,75$, sem estratégia de correção adicional, onde seria possível a operação do conversor com apenas 3 módulos, percebe-se que a estratégia adicional permite, para as condições de operação simuladas, um aumento de cerca de 26,7% na tensão de saída do conversor em troca de uma distorção adicional nas formas de onda, que ainda assim se mantém dentro dos limites aceitáveis para operação do conversor.

2.4 CONVERSOR MODULAR MULTINÍVEL (MMC)

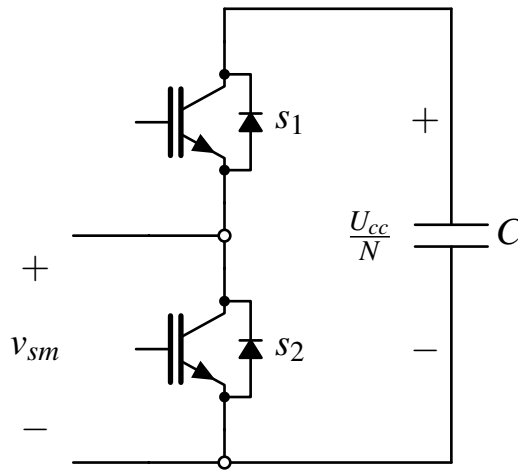
O *Modular Multilevel Converter* (MMC), proposto originalmente em Lesnicar e Marquardt (2003), utiliza a conexão em série de múltiplos submódulos (SMs) por braço (Sharifabadi et al., 2016). Esta topologia é amplamente empregada em sistemas de transmissão de energia de alta tensão em corrente contínua *High-Voltage Direct Current* (HVDC) devido às suas vantagens inerentes, como alta eficiência e baixa distorção harmônica (Debnath et al., 2015).

As principais características construtivas e operacionais do MMC são destacadas a seguir:

- **Submódulo Básico:** O bloco construtor fundamental do MMC é o submódulo de meia-ponte (*Half-Bridge SM*), que consiste em um capacitor cc e dois interruptores.
- **Tensão do Submódulo:** Cada submódulo (SM) de meia-ponte pode ser comutado para gerar dois níveis de tensão em seu terminal: 0 (*bypass*) ou V_c (inserido), onde V_c é a tensão do capacitor do submódulo.
- **Tensão do Braço:** Cada braço contém N submódulos e um indutor de braço (L_a) conectados em série. A tensão total inserida pelo braço ($v_{u,l}$) é a soma das tensões de todos os submódulos inseridos, variando de 0 a NV_c .

Em sua configuração mais comum, o MMC é composto por diversos submódulos de meia ponte, com estruturas conforme a Figura 40.

Figura 40 – Estrutura de um submódulo meia ponte do MMC.



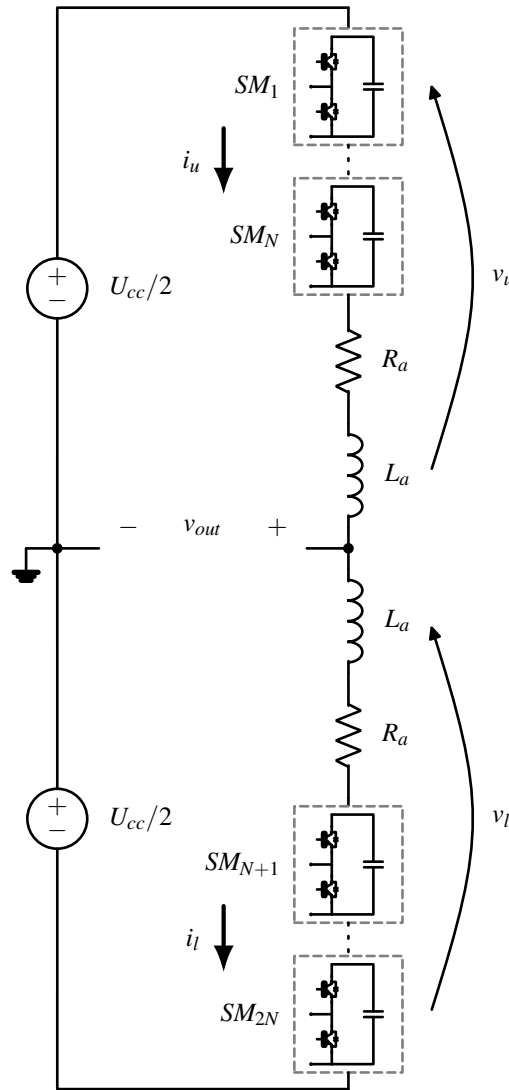
Fonte: Elaborado pelo autor (2026)

Cada fase do MMC é composta por dois sub-braços (superior e inferior), conectados entre os terminais cc positivo e negativo, conforme disposto na Figura 41.

O princípio de operação do MMC baseia-se no controle da soma das tensões dos braços para manter a tensão cc dos capacitores e no controle da diferença entre as tensões dos braços v_u e v_l para sintetizar a tensão de saída v_{out} dada em (21).

$$v_{out} = \frac{v_u - v_l}{2} \quad (21)$$

Figura 41 – Estrutura de um Conversor MMC.



Fonte: Elaborado pelo autor (2026)

A tensão de saída ca do MMC é sintetizada por uma forma de onda em escada (*staircase*) com múltiplos níveis, característica comum aos conversores multiníveis.

- **Níveis de Tensão por Braço:** Se N é o número de submódulos por braço, o número de níveis discretos de tensão que o braço pode inserir é $N + 1$.
- **Níveis de Tensão de Saída (N_V):** O número total de níveis de tensão que a saída da fase (entre o terminal ca e o ponto neutro do barramento cc) pode gerar é equacionado em 22, dependendo do tipo de modulação utilizada.

$$N_V = (N + 1) \text{ ou } (2N + 1) \quad (22)$$

- **Tensão dos Capacitores:** A tensão de pico da saída ca é maximizada quando a soma das tensões de todos os capacitores em um braço é mantida aproximadamente igual a

tensão do barramento cc (U_{cc}). Portanto, a tensão média nominal de cada capacitor de submódulo é $V_c = U_{cc}/N$.

- **Tensão de Saída Máxima:** A tensão máxima de pico ($\hat{V}_{s,max}$) que o MMC pode fornecer para a rede ca é, idealmente, limitada pela metade da tensão cc é dada por (23).

$$\hat{V}_{s,max} \leq \frac{U_{cc}}{2} \quad (23)$$

2.4.1 Modelo Matemático do MMC

Conforme Sharifabadi et al. (2016), define-se a tensão de modo comum v_c em (24), a tensão de modo diferencial v_s em (25), a corrente de modo comum (circulante) i_c em (26) e a corrente de modo diferencial (de saída) i_s em (27).

$$v_c = \frac{v_u + v_l}{2} \quad (24)$$

$$v_s = \frac{v_l - v_u}{2} \quad (25)$$

$$i_c = \frac{i_u + i_l}{2} \quad (26)$$

$$i_s = i_u - i_l \quad (27)$$

Assim, pode-se escrever as correntes do braço superior i_u e inferior i_l conforme (28).

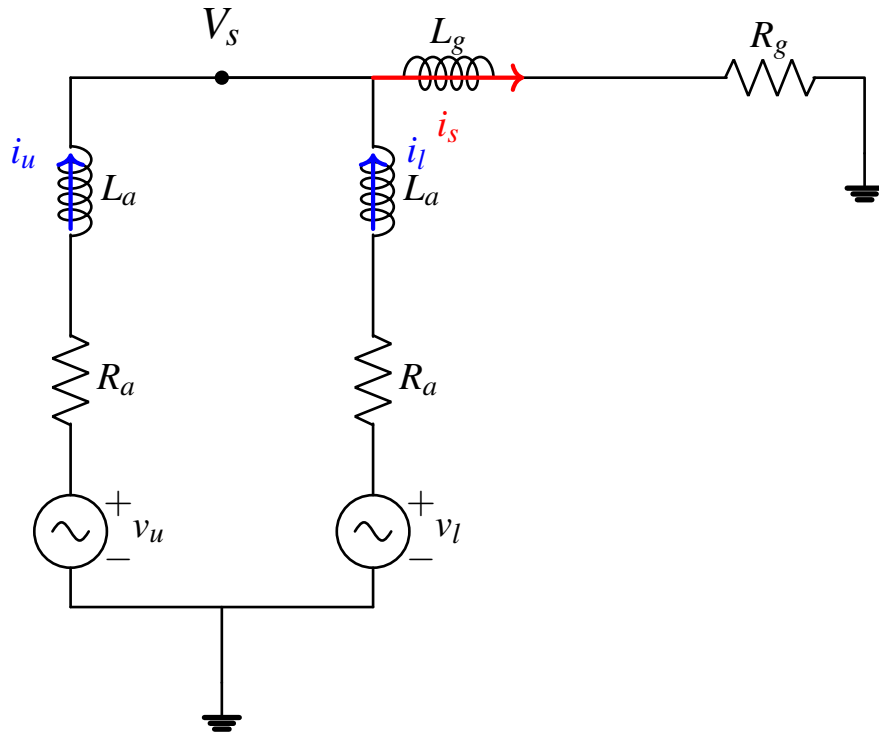
$$\begin{cases} i_u = \frac{i_s}{2} + i_c \\ i_l = -\frac{i_s}{2} + i_c \end{cases} \quad (28)$$

As tensões do braço superior e inferior podem ser escritas de acordo com o número de submódulos inseridos, como indicado em (29).

$$\begin{cases} v_u = \sum_{i=1}^N n_u^i v_{sm}^i, \\ v_l = \sum_{i=1}^N n_l^i v_{sm}^i, \end{cases} \quad (29)$$

Com intuito de analisar a dinâmica da corrente de saída do conversor, apresenta-se o circuito equivalente entre o conversor e a carga RL na Figura 42.

Figura 42 – Circuito equivalente entre MMC e carga RL.



Fonte: Adaptado de (Pinto, 2022)

Dessa maneira, a equação que representa a dinâmica do circuito está disposta em (30), com a definição da tensão diferencial v_s conforme (25).

$$v_s - \left(\frac{L_a}{2} + L_g \right) \frac{di_s}{dt} - \left(\frac{R_a}{2} + R_g \right) i_s = 0 \quad (30)$$

Da mesma lógica, obtém-se o módulo da dinâmica de modo comum, indicada em (31).

$$\frac{U_{cc}}{2} - v_c = L_a \frac{di_c}{dt} + R_a i_c \quad (31)$$

A potência instantânea nos braços superior e inferior pode ser expressa conforme (32).

$$\begin{cases} p_u = v_u \cdot i_u \\ p_l = v_l \cdot i_l \end{cases} \quad (32)$$

Substituindo as expressões de tensão e corrente dos braços, obtêm-se as equações em (33).

$$\begin{cases} p_u = (-v_s + v_c) \cdot \left(\frac{i_s}{2} + i_c \right) \\ p_l = (v_s + v_c) \cdot \left(-\frac{i_s}{2} + i_c \right) \end{cases} \quad (33)$$

A expansão destas expressões é detalhada em (34).

$$\begin{cases} p_u = -v_s \frac{i_s}{2} - v_s i_c + v_c \frac{i_s}{2} + v_c i_c \\ p_l = -v_s \frac{i_s}{2} + v_s i_c - v_c \frac{i_s}{2} + v_c i_c \end{cases} \quad (34)$$

A potência total por fase, p_{total} , é dada pela soma das potências dos braços superior e inferior, conforme (35).

$$p_{total} = p_u + p_l = -v_s i_s + 2v_c i_c \quad (35)$$

Considerando que a potência ativa transferida para a rede é representada pelo produto $v_s i_s$, e que os termos relacionados a $v_c i_c$ representam trocas de energia internas entre os braços, pode-se analisar separadamente:

- O termo $-v_s \frac{i_s}{2}$ representa a potência ativa fundamental transferida para a rede.
- Os termos $\pm v_s i_c$ representam componentes de potência oscilatória de frequência fundamental.
- Os termos $\pm v_c \frac{i_s}{2}$ representam componentes de potência oscilatória de segunda harmônica.
- O termo $v_c i_c$ permite o controle de energia entre as fases através da corrente circulante.

A potência processada por cada Submódulo (SM), p_{SM} , pode ser obtida como indicado em (36).

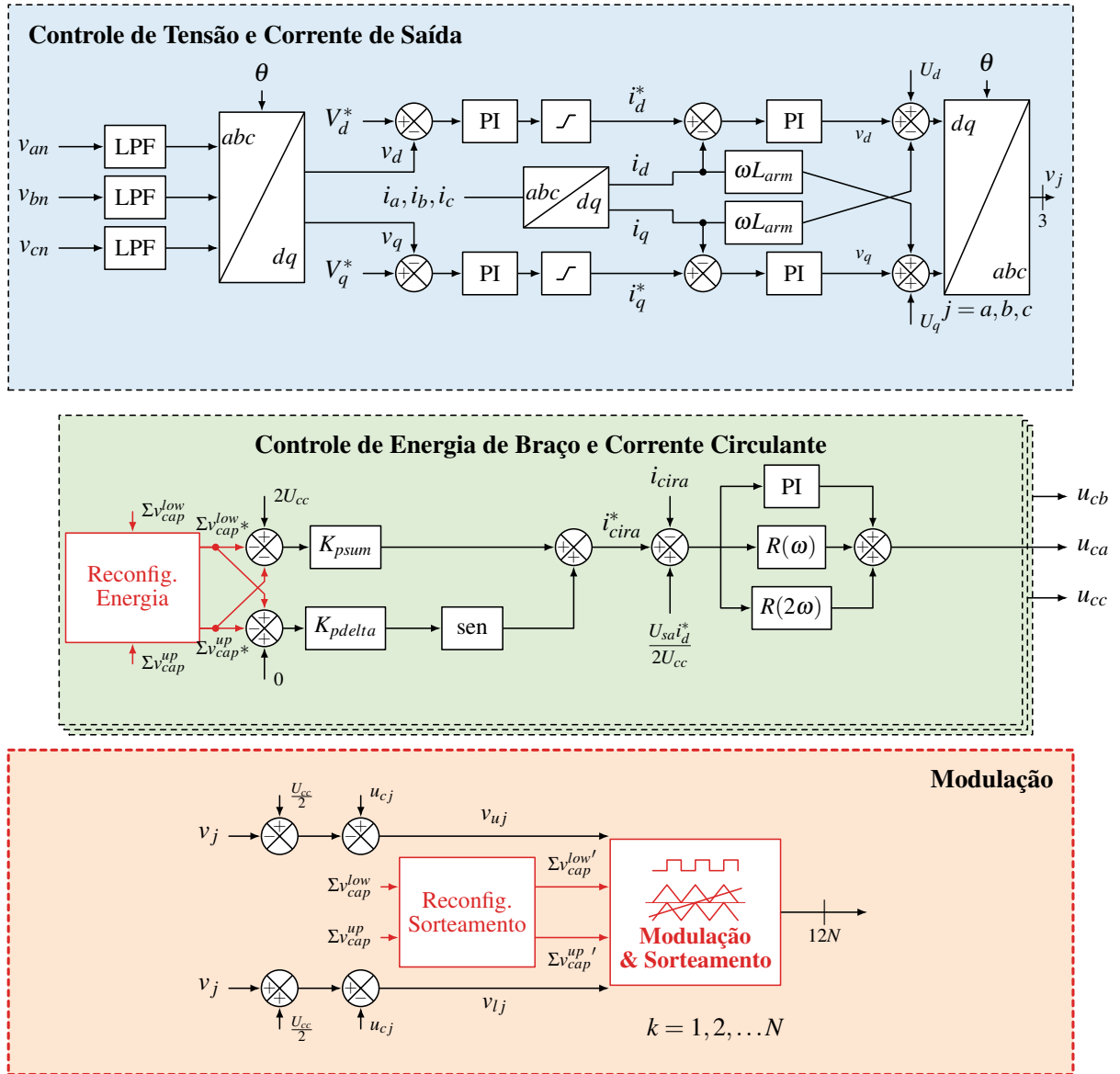
$$p_{SM} = \frac{p_u}{N} = \frac{v_u \cdot i_u}{N} \quad (36)$$

Esta análise é fundamental para o dimensionamento dos componentes e para o entendimento das perdas e fluxo de potência do conversor.

2.4.2 Projeto do Sistema de Controle do Conversor MMC

Os métodos de identificação e mitigação estudados neste trabalho pressupõem o conversor operando de forma estável, com a corrente circulante controlada e as tensões dos capacitores equilibradas, visto que são justamente os desvios destas grandezas que constituem as assinaturas de falta. Por este motivo, descreve-se nesta seção a estrutura hierárquica de controle adotada para o Conversor Modular Multinível (MMC) implementado no presente trabalho, que estabelece a base de operação sobre a qual os métodos de identificação e mitigação são aplicados sem necessidade de reconfiguração da malha de controle, bem como a metodologia analítica utilizada para a sintonização dos ganhos dos controladores. A arquitetura baseia-se em uma modificação do esquema descrito em Xiao et al. (2021a), composto por três camadas funcionais: malha interna de corrente de saída, malha interna de corrente de circulação com supressão harmônica e malha externa de energia dos braços. Este método é demonstrado em sua totalidade em Sharifabadi et al. (2016). O diagrama de blocos completo está apresentado na Figura 43.

Figura 43 – Estrutura hierárquica de controle do MMC.



Fonte: Elaborado pelo autor (2026)

2.4.2.1 Separação de Bandas Passantes

A sintonização analítica das malhas apoia-se no princípio de separação de bandas passantes, no qual cada laço interno deve ser suficientemente mais rápido que o laço externo que o antecede, garantindo que a dinâmica de ordem inferior possa ser desprezada no projeto do controlador mais externo (Xiao et al., 2021a). Designam-se as constantes de tempo de cada malha por τ_{out} , τ_{circ} , τ_{vout} e τ_{arm} , devendo satisfazer $\tau_{out} < \tau_{circ} \ll \tau_{vout} < \tau_{arm}$.

2.4.2.2 Malha Interna de Corrente de Saída

A malha de corrente de saída é implementada em eixos dq síncronos, conforme disposto no bloco superior esquerdo da Figura 43. A planta equivalente vista pelo controlador corresponde

a metade da impedância de braço, visto que a corrente de saída divide-se igualmente entre os braços superior e inferior. Assim, define-se a impedância equivalente interna em (37):

$$L_{eq,ca} = \frac{L_a}{2}, \quad R_{eq,ca} = \frac{R_a}{2} \quad (37)$$

Utilizando o método de cancelamento de polo, os ganhos do controlador PI de corrente de saída são obtidos por (38):

$$K_{p,out} = \frac{L_{eq,ca}}{\tau_{out}}, \quad K_{i,out} = \frac{R_{eq,ca}}{\tau_{out}} \quad (38)$$

O desacoplamento entre os eixos d e q é realizado através dos termos $\pm \omega L$ adicionados a saída do PI, conforme indicado na Figura 43.

2.4.2.3 Malha Interna de Corrente de Circulação

O controlador de corrente de circulação é necessário para reduzir a componente de corrente de modo comum com frequência duas vezes maior que a frequência fundamental de saída. Além de reduzir as perdas do conversor, visto que esta corrente não contribui para a saída, sua redução auxilia na estabilização da tensão dos capacitores de cada submódulo. Níveis de ondulação elevados podem levar o conversor a instabilidade, mesmo com estratégia para balanceamento das tensões, como o sorteamento.

A corrente de circulação é regulada por um controlador híbrido composto por uma parcela proporcional-integral, responsável pela componente contínua, e dois controladores ressonantes, responsáveis pela supressão das componentes fundamental e de segunda ordem (Xiao et al., 2021a). A planta da corrente de circulação corresponde a impedância completa do braço, visto que esta corrente flui integralmente por ambos os sub-braços em série. Assim, os ganhos do PI são calculados por (39):

$$K_{p,circ} = \frac{L_a}{\tau_{circ}}, \quad K_{i,circ} = \frac{R_a}{\tau_{circ}} \quad (39)$$

Os controladores ressonantes são implementados na forma ideal amortecida dada por (40), onde ω_n é a frequência natural sintonizada e ω_c define a largura de banda em torno da ressonância:

$$R(s) = \frac{2K_r\omega_c s}{s^2 + 2\omega_c s + \omega_n^2} \quad (40)$$

O controlador $R(\omega)$ é sintonizado na frequência fundamental para suprimir o desbalanço entre os sub-braços superior e inferior, enquanto o controlador $R(2\omega)$ é sintonizado no dobro da frequência fundamental para eliminar a corrente harmônica de segunda ordem intrínseca do conversor, cuja origem decorre da ondulação de tensão nos capacitores dos submódulos discutida no Apêndice B.

2.4.2.4 Malha Externa de Energia dos Braços

A malha externa atua sobre as grandezas U_{dca}^{sum} e U_{dca}^{delta} , obtidas no bloco *Passo 1* da Figura 43 a partir do somatório e da diferença das tensões dos capacitores dos sub-braços

superior e inferior (Xiao et al., 2021a). A componente U_{dca}^{sum} é comparada com $2U_{cc}$ e processada pelo ganho $K_{p,sum}$, gerando a referência de corrente de circulação contínua necessária para manter a energia total do braço no valor nominal. A componente U_{dca}^{delta} é comparada com zero e processada pelo ganho $K_{p,delta}$, gerando, após multiplicação pelo sinal $\sin(\omega t)$, a referência de componente fundamental necessária para equalizar as energias entre os sub-braços.

Utilizando o modelo integrador puro do balanço de energia do braço, no qual o capacitor equivalente é a capacitância individual dos submódulos, os ganhos proporcionais são obtidos por (41):

$$K_{p,sum} = K_{p,delta} = \frac{C_{sm}}{\tau_{arm}} \quad (41)$$

A constante de tempo τ_{arm} deve ser deliberadamente escolhida acima do período da ondulação de segunda ordem ($1/(2f)$), de modo que a malha de energia naturalmente filtre esta componente e não interfira na ação dos controladores ressonantes internos.

2.4.2.5 Geração das Referências de Modulação

As saídas das três malhas são combinadas no bloco *Passo 2* da Figura 43, o qual gera as referências v_{uj} e v_{lj} para os sub-braços superior e inferior, respectivamente, conforme (42):

$$\begin{cases} v_{uj} = \frac{U_{cc}}{2} - v_j - u_{cj} \\ v_{lj} = \frac{U_{cc}}{2} + v_j - u_{cj} \end{cases} \quad (42)$$

onde v_j é a referência de tensão de saída proveniente da malha de corrente e u_{cj} é a tensão de modo comum proveniente da malha de circulação. As referências v_{uj} e v_{lj} são então encaminhadas ao bloco PD LS-PWM com algoritmo de ordenamento (*Sorting*), o qual realiza a seleção dos submódulos a serem inseridos com base na polaridade da corrente de braço, assegurando o balanceamento natural das tensões dos capacitores (Xiao et al., 2021a).

2.4.3 Modulação por Deslocamento de Fase (PS-PWM, MMC)

Essa metodologia também pode ser empregada para o conversor MMC, da mesma forma que utilizada para o CHB, com a única diferença sendo que não há o comando do braço complementar devido a configuração ser meia ponte e não ponte completa. Neste caso, há uma referência para o braço superior e outra para o inferior.

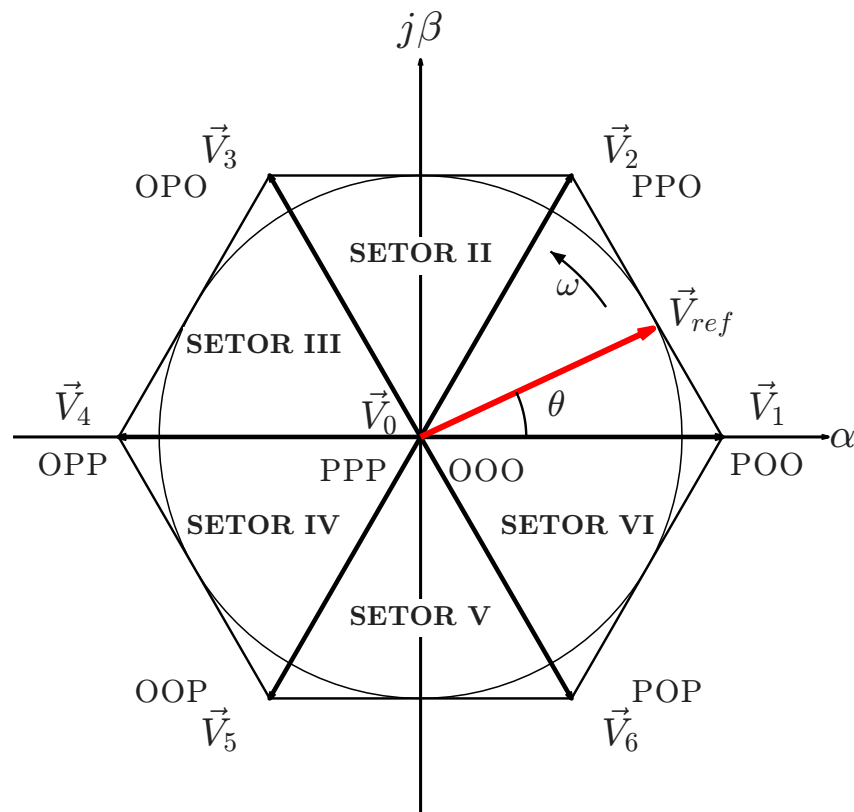
2.4.4 Modulação por Vetor Espacial (SVM)

O princípio da Modulação por Vetor Espacial (*Space Vector Modulation* – SVM) já foi apresentado na Subseção 2.3.6, no contexto da estratégia de mitigação para o Conversor CHB, de forma que retoma-se aqui apenas o essencial para o MMC. A SVM é uma técnica de modulação digital cujo princípio não se baseia na comparação de portadoras, mas sim na representação dos estados de chaveamento de um conversor como vetores em um plano complexo. Para um

conversor de dois níveis, existem seis vetores ativos ($\vec{V}_1$ a $\vec{V}_6$), que formam um hexágono, e dois vetores nulos ($\vec{V}_0$) no centro, como mostra a Figura 44.

A técnica sintetiza um vetor de referência giratório, $\vec{V}_{ref}$, que representa a tensão de saída senoidal desejada. A cada período de amostragem, o $\vec{V}_{ref}$ é aproximado pela aplicação dos vetores estacionários mais próximos por determinados intervalos de tempo. Uma sequência de chaveamento otimizada é então usada para aplicar esses vetores, minimizando o número de comutações. A grande vantagem do SVM é a melhor utilização da tensão do barramento cc, permitindo uma tensão de saída 15,5% maior que o LS-PWM e PS-PWM. Todavia, as duas técnicas também podem obter estes resultados através da injeção de terceira harmônica.

Figura 44 – Diagrama de vetores espaciais que ilustra o princípio da modulação SVM para um conversor de dois níveis.



Fonte: Adaptado de (Wu, 2006)

A técnica também pode ser aplicada a conversores com mais de dois níveis. Nesse caso, o número de vetores disponíveis aumenta e a referência continua a ser sintetizada pelos três vetores mais próximos, com a diferença de que o vetor nulo nem sempre faz parte da combinação selecionada.

2.4.5 Modulação por nível mais próximo (NLM e NL-PWM)

A modulação por níveis é uma implementação onde não há a necessidade da utilização de portadoras, com a modulação sendo baseada nos níveis de tensão possíveis e a comparação com a referência.

2.4.5.1 *Nearest Level Modulation (NLM)*

Diferentemente das técnicas baseadas em PWM, a modulação por nível mais próximo, conhecida como *Nearest Level Modulation* (NLM) ou *Nearest Level Control* (NLC), dispensa a utilização de portadoras de alta frequência para a geração dos pulsos de disparo (Moranchel et al., 2016). O princípio fundamental deste método consiste em aproximar a tensão de referência v_{ref} diretamente para o nível de tensão discreto mais próximo passível de ser sintetizado pelo braço do conversor.

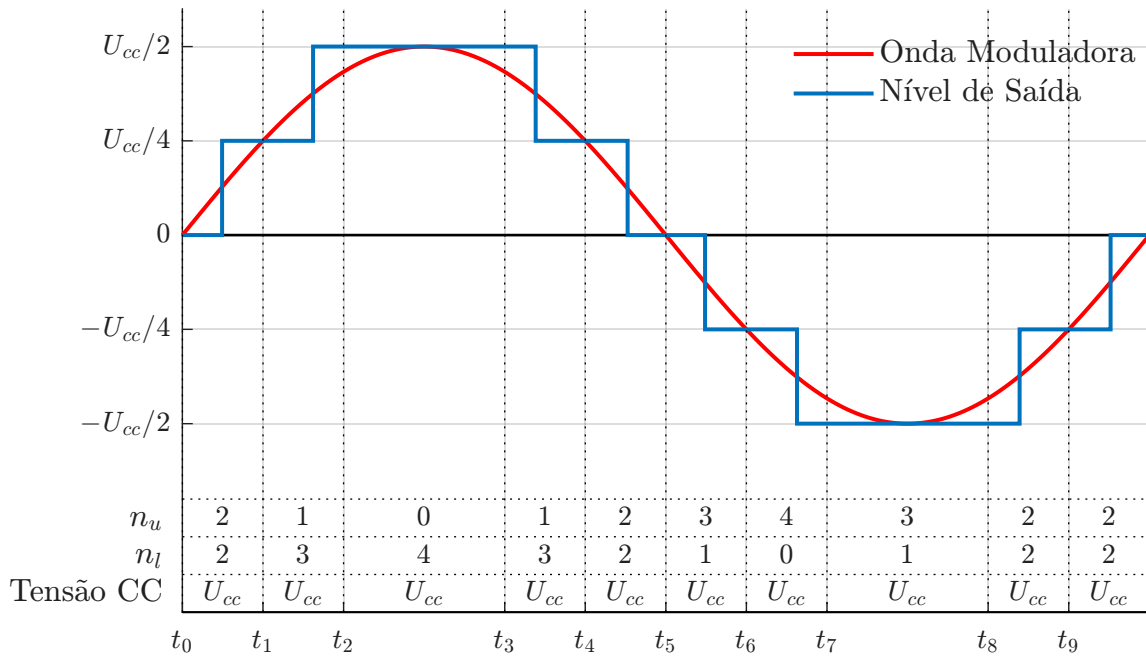
Matematicamente, para um braço composto por N submódulos, o número instantâneo de módulos a serem inseridos (n_{on}) é determinado pela normalização da referência pela tensão do capacitor (V_c), seguida de uma função de arredondamento para o inteiro mais próximo, conforme a Equação 43:

$$n_{on} = \text{round} \left(\frac{v_{ref}}{V_c} \right) \quad (43)$$

Como ilustrado na Figura 45, o resultado é uma forma de onda em degraus que segue a referência senoidal. Este método produz uma tensão de saída com $N + 1$ níveis (0 a N).

Uma característica intrínseca do NLM é que a frequência de chaveamento é baixa e variável, dependendo majoritariamente da frequência fundamental da referência. Por esse motivo, o NLM é amplamente utilizado em aplicações de alta tensão (HVDC) com elevado número de submódulos, onde a alta resolução da forma de onda compensa a ausência de modulação por largura de pulso, mantendo a distorção harmônica baixa sem incorrer em perdas excessivas de comutação (Moranchel et al., 2016).

Figura 45 – Princípio da modulação NLM: aproximação da referência para o inteiro mais próximo.



Fonte: Adaptado de He et al. (2019)

2.4.5.2 Nearest Level Pulse Width Modulation (NL-PWM)

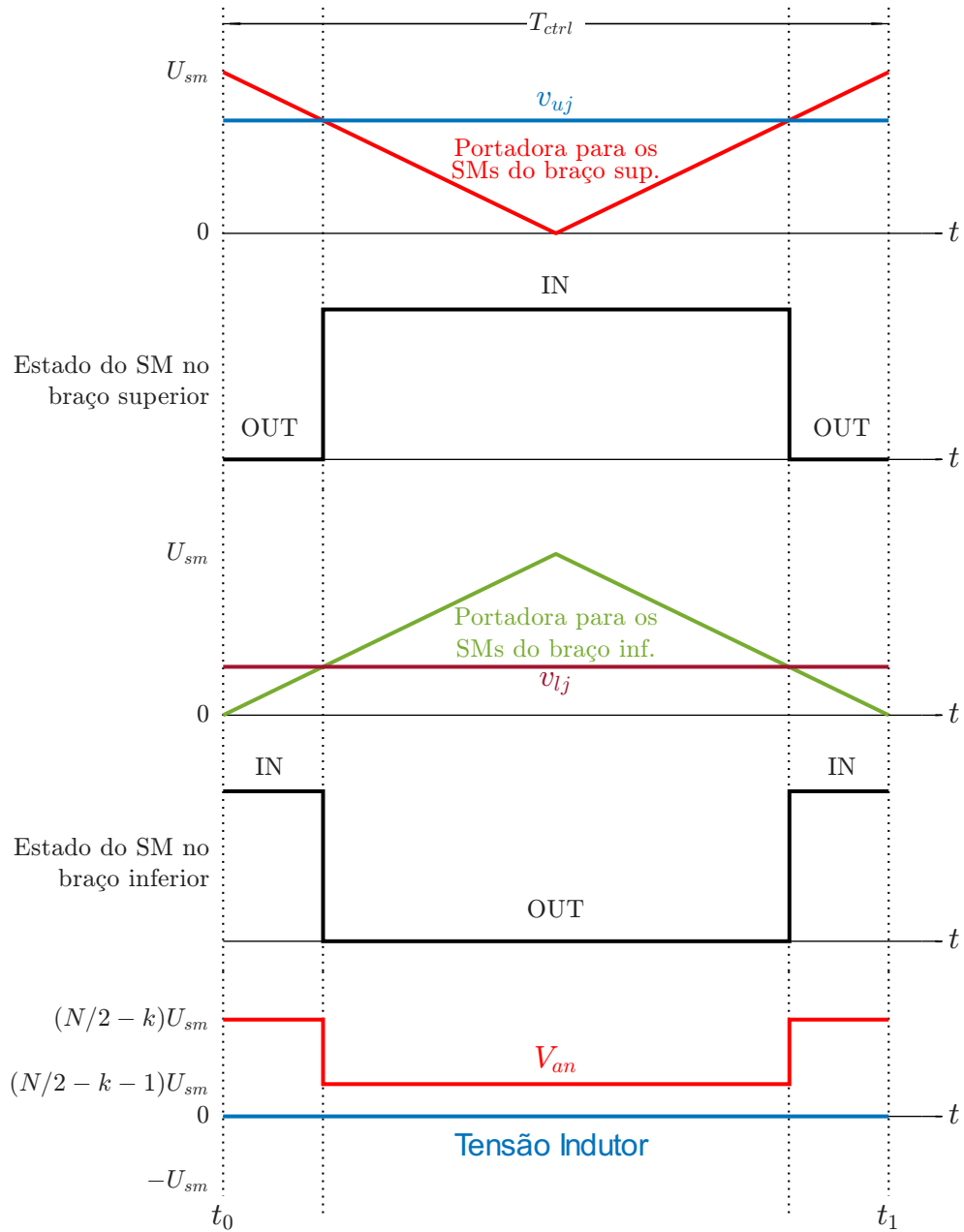
Este método é uma melhoria da técnica conhecida como *Submodules Unified Pulse Width Modulation* (SUPWM), chamado *Nearest Level Pulse Width Modulation* (NL-PWM), deduzida em (Li et al., 2012). No método SUPWM convencional, os braços superior e inferior de um conversor MMC utilizam portadoras triangulares com defasagem de 180° entre si, como na Figura 46. Isso garante que a soma dos submódulos no estado 'IN' seja sempre constante e igual a N , resultando em uma tensão idealmente nula sobre os indutores do braço no conversor MMC. A consequência, no entanto, é que a tensão de saída V_{an} ou u_{an} possui no máximo $N + 1$ níveis, e a altura dos degraus na forma de onda é de U_{sm} , a tensão nominal do submódulo.

O método aprimorado NL-PWM propõe uma pequena, mas significativa, alteração: as portadoras triangulares para os braços superior e inferior são utilizadas em fase, como mostra a Figura 47. Essa mudança faz com que o chaveamento dos braços não seja mais perfeitamente complementar. Como resultado, o número total de submódulos no estado 'IN' não é mais constante, podendo variar entre $N - 1$, N ou $N + 1$ dentro de um mesmo período da portadora.

Essa variação permite a criação de novos níveis de tensão intermediários na saída. O resultado é que a tensão de saída passa a ter, no máximo, $2N + 1$ níveis, quase o dobro do método convencional. Consequentemente, a altura de cada degrau na forma de onda de tensão é reduzida pela metade para $U_{sm}/2$, e a frequência de chaveamento equivalente na saída é dobrada. Este

princípio também pode ser aplicado a modulação PS-PWM convencional para o aumento de níveis de $(N + 1)$ para $(2N + 1)$.

Figura 46 – Princípio da modulação SUPWM convencional, com portadoras defasadas em 180° .

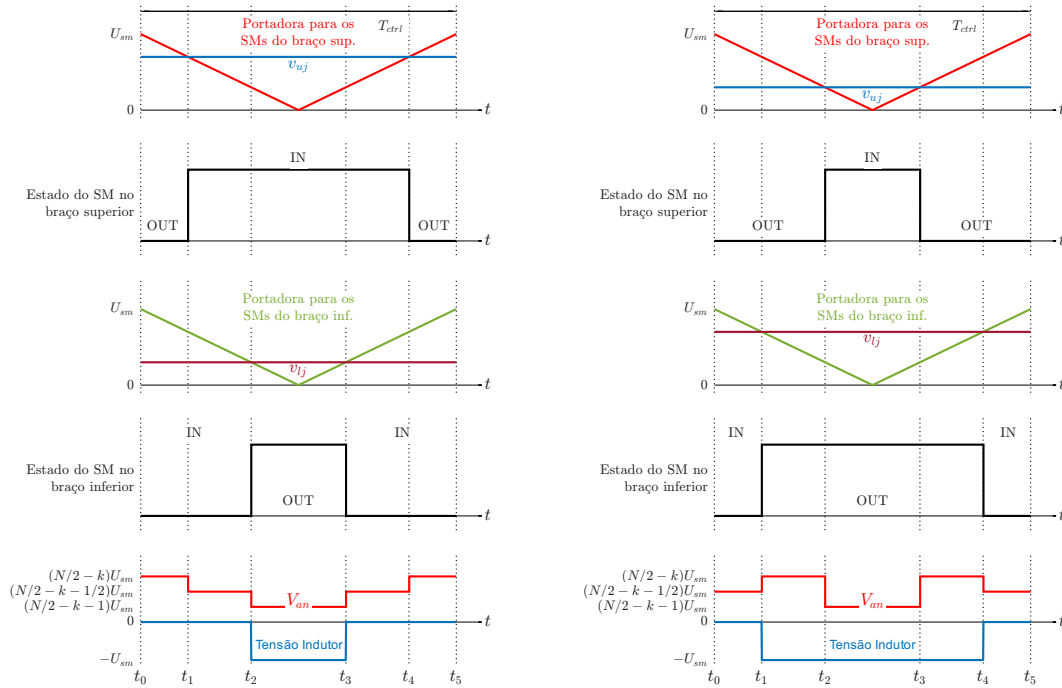


Fonte: Adaptado de Li et al. (2012)

Todavia, a inclusão de $N - 1$, N ou $N + 1$ submódulos inseridos ao invés de constantes N módulos causa a aparição de tensão no indutor de braço L_a , que comumente possui valores pequenos. Dessa forma, há picos de corrente de circulação, afetando a dinâmica de modo comum do conversor (Sharifabadi et al., 2016).

Uma solução proposta em Lin et al. (2020) é a utilização de indutores magneticamente acoplados, de forma que para o modo diferencial, não há diferença de impedância, porém, para o modo comum, o acoplamento gera um acréscimo de impedância suficiente para reduzir o efeito dos picos de corrente de circulação gerados pela modulação.

Figura 47 – Princípio da modulação aprimorada (NL-PWM), com portadoras em fase, resultando em mais níveis de tensão e degraus menores.



Fonte: Adaptado de Li et al. (2012)

2.4.6 Identificação através de Filtro Média Móvel (MMC)

A metodologia de identificação de Souza, Zimann e Batschauer (2025) pode ser estendida para o *Modular Multilevel Converter* (MMC), todavia, para obter resultados próximos ao esperado, é necessário adaptar a estratégia de correção utilizada. Para o conversor CHB, é necessário colocar em *bypass* apenas um módulo por vez, porém, para o conversor MMC, com intuito de não alterar a simetria entre o sub-braço superior e inferior, é necessário colocar dois módulos em *bypass*. Isto não significa que não é possível operar com números diferentes de módulos em um conversor MMC, no entanto, seria necessário uma estratégia de controle diferente da utilizada em operação normal, o que não é abordado no trabalho original.

Desta forma, utiliza-se do filtro média móvel para identificar a falha em um conversor MMC com 3 submódulos por sub-braço, totalizando 6 módulos no total. Para verificação da validade do método, emprega-se modulação $2N + 1$ com PS-PWM, onde a mesma portadora é utilizada para o módulo de mesma localização do sub-braço superior e inferior. Para simular uma condição mais próxima a real, adota-se capacitores em cada submódulo, de forma a representar a

ondulação gerada pela configuração do conversor. Faz-se uso de controle de corrente de saída e controle de corrente de circulação para regular a tensão dos capacitores (Sharifabadi et al., 2016).

Os parâmetros como capacitância por submódulo, tensão do barramento cc, resistência e indutância do sub-braço e impedância de carga foram escolhidos de forma a condicionar condições similares ao teste com o conversor CHB, com seus valores apresentados na Tabela 10.

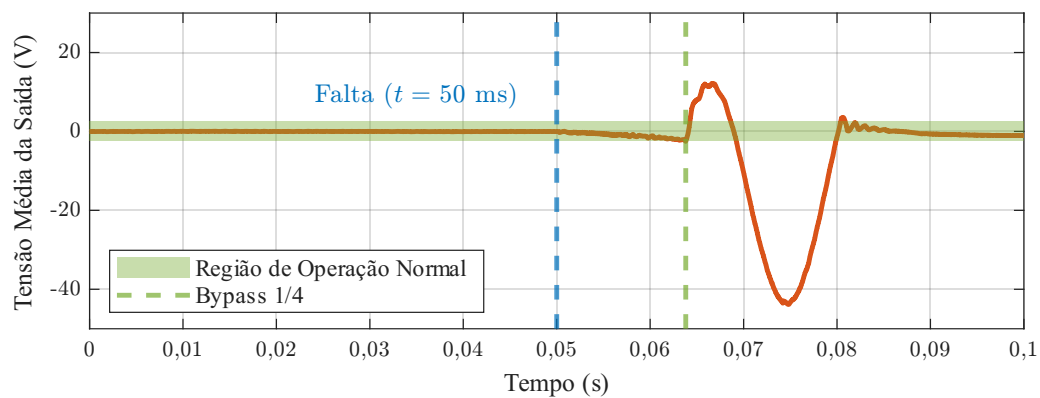
Tabela 10 – Parâmetros da simulação MMC de Souza, Zimann e Batschauer (2025).

Parâmetros	Valor
U_{cc}	700 V
f_s	1 kHz
f_{cntr}	20 kHz
R_a	100 m Ω
L_a	5 mH
C_{sm}	330 μ F
R_l	600 Ω
L_l	200 mH

Fonte: Elaborado pelo autor (2026)

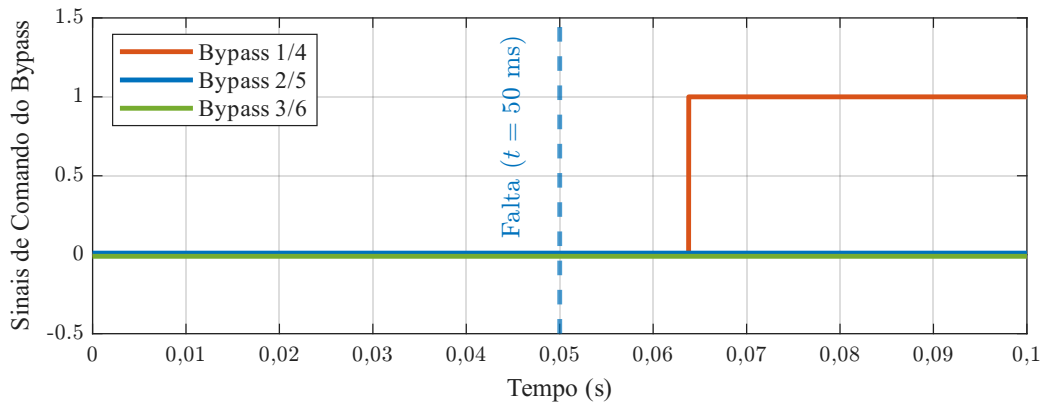
O módulo em falha é o primeiro submódulo do sub-braço superior. As Figuras 48 e 49 apresentam a identificação da falta através da tensão média de saída, evidenciadas pelo *bypass* dos módulos 1 e 4 no instante em que a média excedeu o limiar, cujo valor atribuído é de 2,5 V.

Figura 48 – Filtro Média Móvel da tensão de saída (MMC).



Fonte: Elaborado pelo autor (2026)

Figura 49 – Sinais do comando do *bypass* após a identificação da falta do primeiro submódulo do sub-braço superior. (MMC).



Fonte: Elaborado pelo autor (2026)

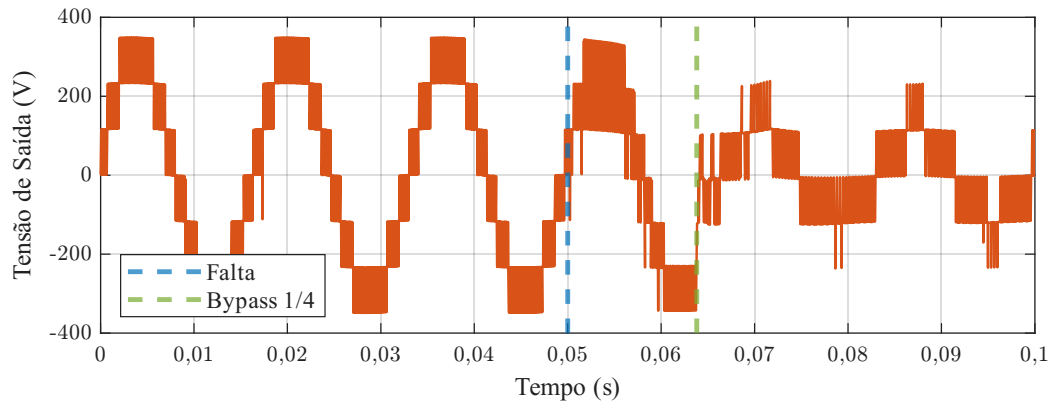
Novamente, o método se demonstra eficaz, porém com as mesmas limitações citadas anteriormente. Neste caso, o tempo de identificação é disposto em (44). Convenciona-se que para o Conversor MMC, N é o número de submódulos em cada sub-braço, de forma que o tempo máximo de identificação é reduzido pela metade quando comparado a um Conversor CHB com o mesmo número de módulos totais.

$$t_{iden} = \frac{N}{2 \cdot f_o} \quad (44)$$

As formas de onda da estratégia de correção estão dispostas nas Figuras 50 e 51. O índice de modulação é reduzido de forma que não há necessidade da operação de todos os módulos e as portadoras do PS-PWM são ajustadas conforme a nova configuração.

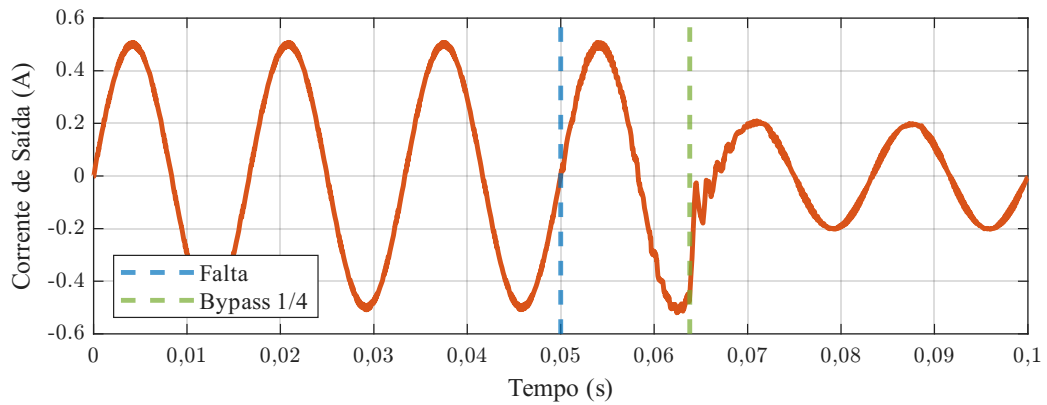
Nota-se que na Figura 50 fica evidente a característica de degraus da tensão de saída saudável até o tempo de 50 milissegundos, quando ocorre a falta. A partir deste instante, a tensão de saída apresenta uma forma de onda distorcida e com assimetria, até a identificação e *bypass* dos módulos 1 e 4, quando a tensão de saída retorna a uma forma de onda senoidal, porém com menor amplitude devido a redução do índice de modulação. A corrente na carga, Figura 51, apresenta uma distorção no instante da falta, porém retorna a uma forma de onda senoidal após a identificação e correção da falta.

Figura 50 – Tensão de Saída do Conversor MMC.



Fonte: Elaborado pelo autor (2026)

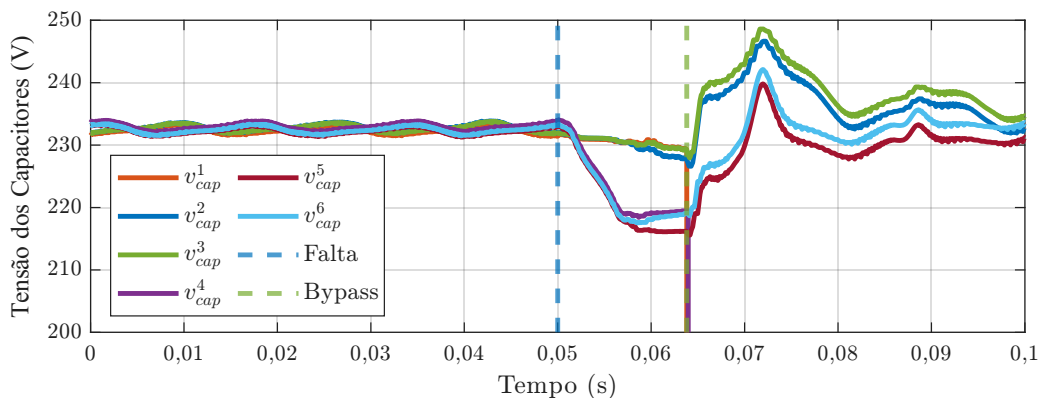
Figura 51 – Corrente na Carga do Conversor MMC.



Fonte: Elaborado pelo autor (2026)

A Figura 52 expõe as tensões dos capacitores, evidenciando o transitório de sobretensão causado pela falha e a eficácia do controle. O tempo para o rebalanceamento das tensões é superior a 5 ciclos da frequência fundamental, destacando a importância de controle de tensão.

Figura 52 – Tensão dos capacitores dos submódulos.



Fonte: Elaborado pelo autor (2026)

2.4.7 Identificação através da correlação

Em Zhou et al. (2019) demonstra-se um método para Conversores MMC que utiliza a estimação da tensão de saída para indicar falta e a correlação entre as tensões dos capacitores dos submódulos para identificar a localização. O sinal de chaveamento é utilizado em conjunto com as tensões medidas dos submódulos para gerar os sinais de tensão estimados dos sub-braços superior e inferior. As tensões dos capacitores também são utilizadas para calcular a correlação entre tensões médias dos submódulos do mesmo sub-braço, de forma que valores diferentes de 1 indicam falta. Este método utiliza as definições de corrente de saída e de circulação apresentados em (27) e (26).

A tensão comum e diferencial estimadas, $u_{sum,e}$ e $u_{dif,e}$ respectivamente, são calculadas através das equações de diferenças (45) e (46) e são referentes as tensões apresentadas em (24) e (25), as quais não existem na prática e são decomposições de v_u e v_l . Os valores L_a e R_a representam a indutância e resistência do braço e L_l e R_l são a indutância e a resistência da carga, T_{ctrl} é o período de controle e U_{cc} é a tensão total do barramento cc (polo a polo).

$$u_{sum,e}(k-1) = U_{cc} - 2L_a \frac{i_c(k) - i_c(k-1)}{T_{ctrl}} - 2i_c(k-1)R_a; \quad (45)$$

$$u_{dif,e}(k-1) = (L_a + 2L_l) \frac{i_o(k) - i_o(k-1)}{T_{ctrl}} + i_o(k-1)(R_a + 2R_l). \quad (46)$$

Dessa forma, as tensões estimadas do sub-braço superior $u_{e,u,arm}$ e do sub-braço inferior $u_{e,l,arm}$ são dadas por (47) e (48).

$$u_{e,u,arm}(k-1) = (u_{sum,e}(k-1) - u_{dif,e}(k-1))/2; \quad (47)$$

$$u_{e,l,arm}(k-1) = (u_{sum,e}(k-1) + u_{dif,e}(k-1))/2; \quad (48)$$

Para encontrar o erro $\Delta u_{u/l,arm}$, utiliza-se da tensão dos capacitores dos submódulos $v_{c,i}$ e o sinal de chaveamento para medir a tensão do sub-braço $u_{m,u/l,arm}(k)$ como equacionado em (49), onde N é o número de submódulos do sub-braço e s_{HB_i} é o sinal de controle do submódulo N . Adota-se que $s_{HB_i} = 1$, corresponde a condução do interruptor superior da meia ponte, enquanto $s_{HB_i} = 0$ corresponde a condução do interruptor inferior.

$$u_{m,u/l,arm}(k) = \sum_{i=1}^N s_{HB_i} \cdot v_{c,i} \quad (49)$$

Portanto, o erro entre os valores medidos e estimados pode ser escrito conforme (50). Além disso, normaliza-se os valores de erro para que possuam a faixa de valores $[-1, 1]$, conforme a equação (51).

$$\Delta u_{u/l,arm}(k-1) = u_{e,l,arm}(k-1) - u_{m,u/l,arm}(k-1) \quad (50)$$

$$\varepsilon_{u/l,arm} = \frac{N \cdot \Delta u_{u/l,arm}(k-1)}{U_{cc}} \quad (51)$$

Após a detecção da falha, que ocorre quando o módulo de erro normalizado $\varepsilon_{u/l,arm}$ estiver superior a um valor de limiar T_{th} pré-determinado, é necessário localizar a falta. Para isto, utiliza-se da correlação, uma medida estatística que descreve a relação linear entre duas variáveis. Utiliza-se de uma média móvel, como em (Souza; Zimann; Batschauer, 2025), com tamanho $L = f_{cntr}/f_o$ para calcular a média da tensão dos capacitores.

Calcula-se a correlação entre o conjunto de capacitores de um sub-braço. Para a dedução, exemplifica-se para um caso onde $N = 3$, de forma que a correlação é calculada conforme (52), onde $u_{c,m/n,i}$ é tensão do capacitor na posição m ou n e $\bar{u}_{c,m/n}$ é o valor médio da tensão do capacitor.

$$\rho_{u/l,mn} = \frac{\sum_{i=1}^L (u_{c,m,i} - \bar{u}_{c,m})(u_{c,n,i} - \bar{u}_{c,n})}{\sqrt{\sum_{i=1}^L (u_{c,m,i} - \bar{u}_{c,m})^2 \sum_{i=1}^L (u_{c,n,i} - \bar{u}_{c,n})^2}} \quad (m, n = 1, 2, \dots, N; m \neq n) \quad (52)$$

Assim, os autores analisam a característica das faltas em cada um dos submódulos (SM), de forma que os valores esperados de correlação para a condição de falha estão dispostos na Tabela 11.

Tabela 11 – Tabela de diagnóstico de falhas no braço superior ($N = 3$).

Estado	Coeficientes de Correlação			Localização da Falha
	$\rho_{u,12}$	$\rho_{u,13}$	$\rho_{u,23}$	
Normal	$\rho_{u,12} \approx 1$	$\rho_{u,13} \approx 1$	$\rho_{u,23} \approx 1$	Saudável
Falha	$\rho_{u,12} \ll 1$	$\rho_{u,13} \approx 1$	$\rho_{u,23} \approx 1$	Falha no 1° SM
	$\rho_{u,12} \ll 1$	$\rho_{u,13} \ll 1$	$\rho_{u,23} \approx 1$	Falha no 2° SM
	$\rho_{u,12} \approx 1$	$\rho_{u,13} \ll 1$	$\rho_{u,23} \ll 1$	Falha no 3° SM

Fonte: Adaptado de Zhou et al. (2019)

Para avaliar a proposta de Zhou et al. (2019), simulou-se a utilização da técnica com um Conversor MMC com submódulos meia-ponte com dois tipos de modulação, NL-PWM e PS-PWM com falta em $t = 50$ ms no interruptor superior do primeiro módulo do sub-braço superior. Os parâmetros utilizados estão dispostos na Tabela 12.

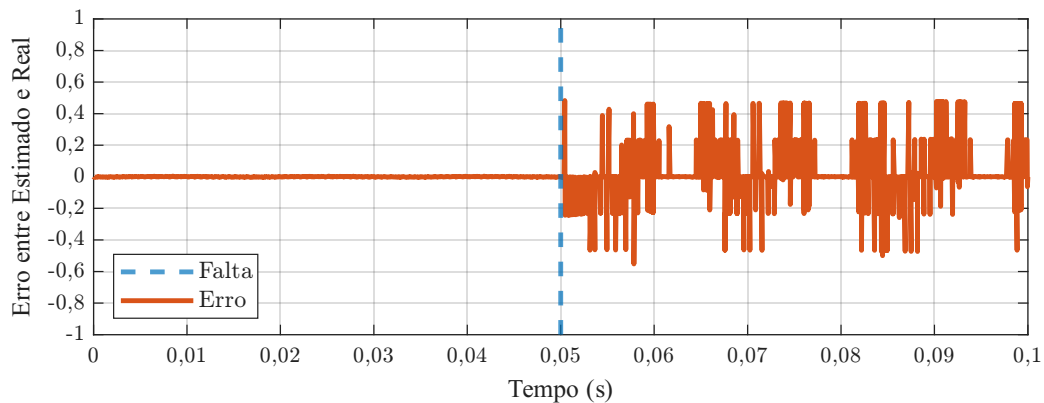
Tabela 12 – Parâmetros da simulação de Zhou et al. (2019).

Parâmetro	Valor	Parâmetro	Valor
U_{cc}	700 V	C_{sm}	330 μ F
f_s	1 kHz	R_l	600 Ω
f_{cntr}	20 kHz	L_l	200 mH
R_a	100 m Ω	L_a	5 mH

Fonte: Elaborado pelo autor (2026)

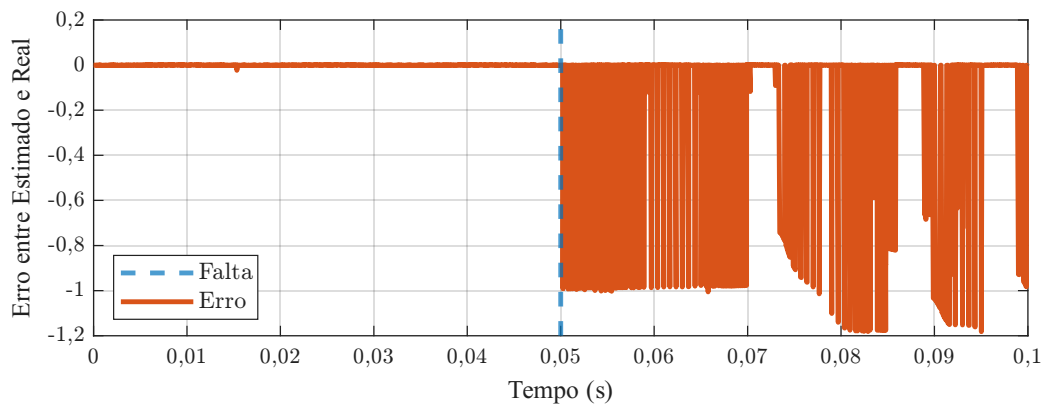
Apresenta-se os resultados de ambas as estratégias de modulação de forma simultânea com intuito de demonstrar o efeito da modulação na eficiência do método de identificação de falhas. A resposta do erro entre os valores estimados e medidos esta apresentada nas Figuras 53 e 54.

Figura 53 – Erro para NL-PWM.



Fonte: Elaborado pelo autor (2026)

Figura 54 – Erro para PS-PWM.

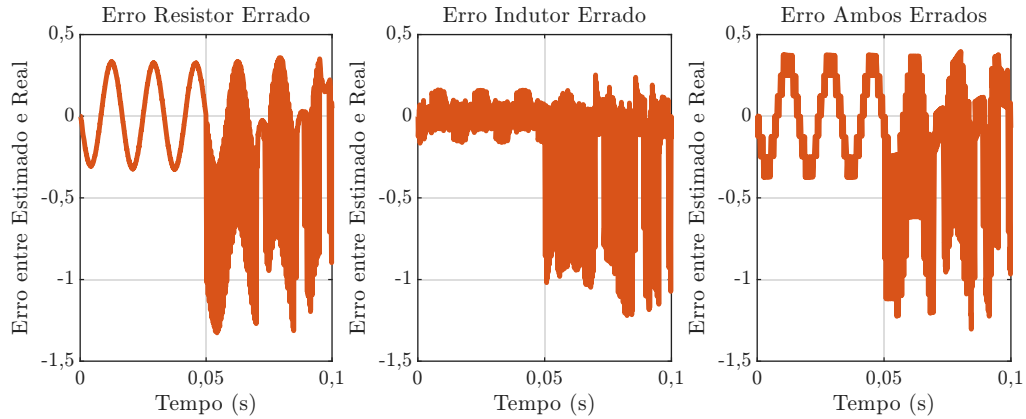


Fonte: Elaborado pelo autor (2026)

Nota-se que a estratégia NL-PWM não é apropriada para o método, visto que a sua característica de ordenamento da tensão dos capacitores mascara o efeito do erro, visto que a amplitude calculada deveria ser de aproximadamente uma unidade enquanto em falha, fato que não aconteceu. Em comparação, a estratégia PS-PWM, a utilizada no artigo, se demonstrou adequada. Nota-se que este é o caso para três submódulos por sub-braço, um valor pequeno quando comparado a algumas aplicações. Desta forma, esta conclusão não é definitiva e é válida apenas para esta situação analisada, mas demonstra um ponto fraco do método. Além disso, não considera-se o possível efeito de controladores de energia de braço e ações de controle baseadas na tensão dos capacitores, visto que o teste foi realizado com operação em malha aberta.

Para demonstrar o que acontece com o erro caso os valores fornecidos as equações (47) e (48) estejam incorretos, simulou-se três casos com valores errôneos incluídos nas equações (45) e (46): ($R_l = 450 \, \Omega$ e $L_l = 200 \, \text{mH}$), ($R_l = 600 \, \Omega$ e $L_l = 150 \, \text{mH}$) e ($R_l = 450 \, \Omega$ e $L_l = 150 \, \text{mH}$), representados nas Figuras 55 (a), 55 (b) e 55 (c), respectivamente.

Figura 55 – Erro com valores de impedância errados para PS-PWM.

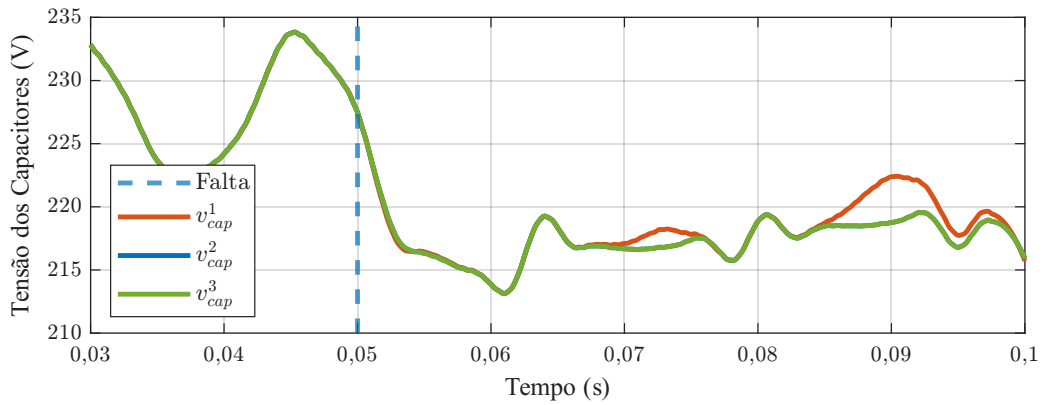


Fonte: Elaborado pelo autor (2026)

Nota-se que não há necessidade de utilizar valor de T_{th} muito inferior a 1,0, visto que a característica de uma falta gera, teoricamente, uma unidade de diferença entre os valores estimados e medidos. Contudo, para assegurar margem de operação frente as variações das impedâncias de carga, não se recomenda a utilização de valor reduzido, uma vez que a sensibilidade do erro normalizado a incerteza da impedância torna-se elevada.

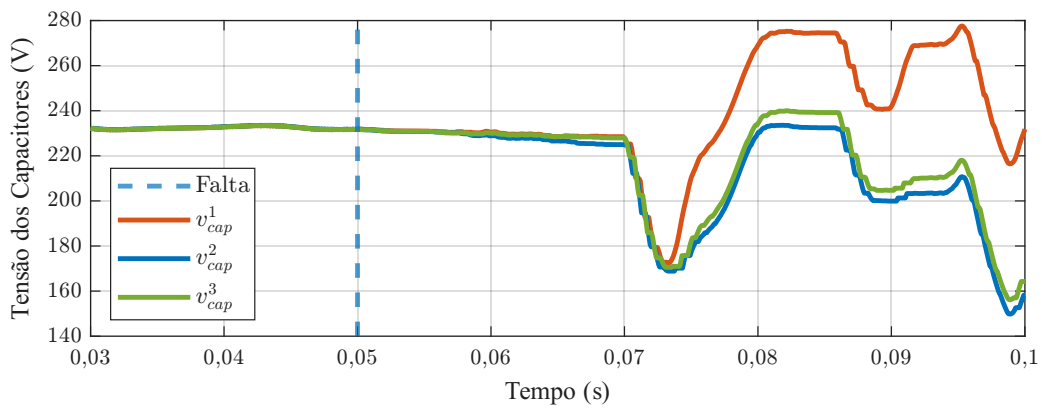
Apresenta-se a tensão dos capacitores do sub-braço superior nas Figuras 56 e 57. Nota-se novamente o efeito da modulação NL-PWM, que força a tensão dos capacitores para o mesmo nível através do ordenamento, mascarando o efeito da falha nas tensões dos capacitores quando comparado a modulação PS-PWM. Novamente, cita-se o número baixo de submódulos, de forma que a falta da inserção de um módulo afeta em muito a corrente de circulação, a ponto que uma falha deste tipo seria crítica para o NL-PWM. Este fato está de acordo com os padrões da indústria, onde técnicas como *Nearest Level Modulation* apenas são utilizadas para conversores com número elevado de módulos. Nota-se também que ρ_{12} e ρ_{23} estão sobrepostos na Figura 58.

Figura 56 – Tensão dos capacitores do sub-braço superior para NL-PWM.



Fonte: Elaborado pelo autor (2026)

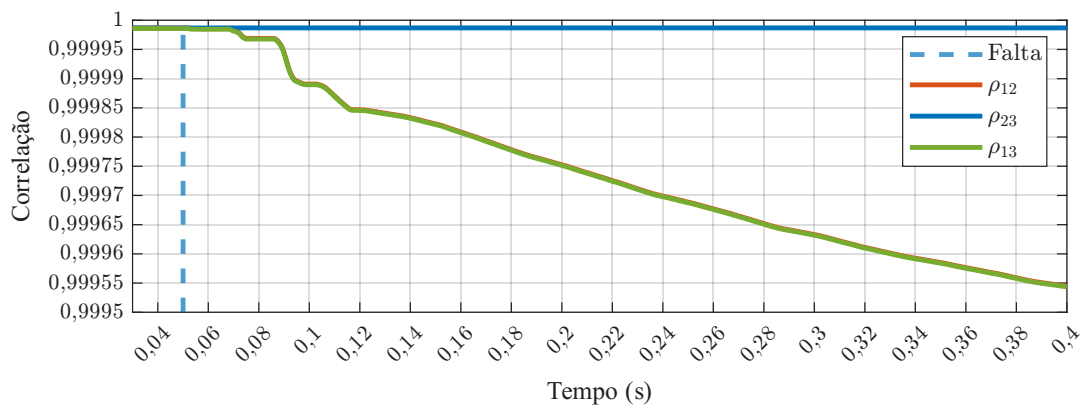
Figura 57 – Tensão dos capacitores do sub-braço superior para PS-PWM.



Fonte: Elaborado pelo autor (2026)

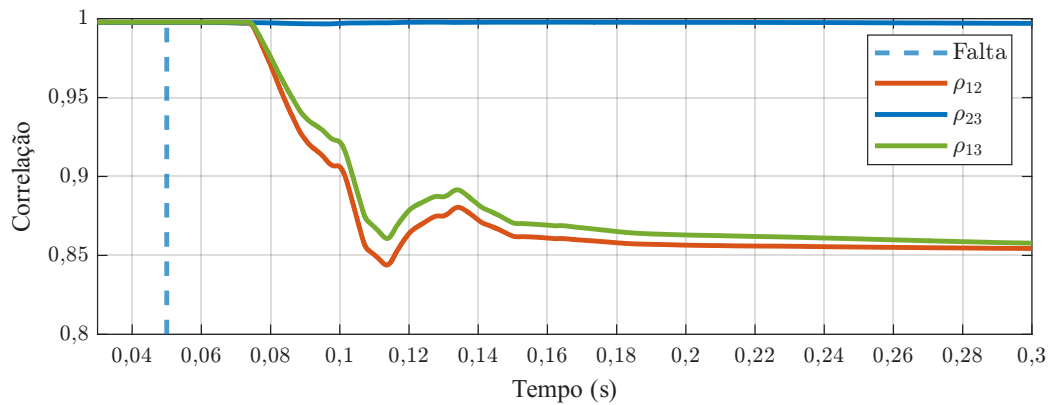
A resposta da tensão dos capacitores é diferente dependendo do tipo de modulação utilizada, considerando que a malha de controle de corrente de saída e circulação é a mesma. As correlações entre os capacitores do sub-braço superior estão dispostas nas Figuras 58 e 59.

Figura 58 – Valores de $\rho_{u/l,mn}$ para NL-PWM.



Fonte: Elaborado pelo autor (2026)

Figura 59 – Valores de $\rho_{u/l,mn}$ para PS-PWM.



Fonte: Elaborado pelo autor (2026)

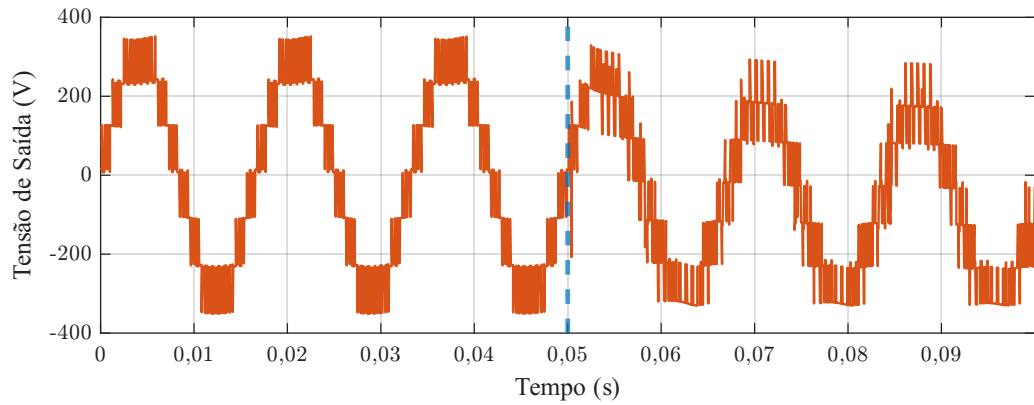
Utilizando as informações da Tabela 11, tem-se que a falta é corretamente identificada como uma falha no primeiro submódulo em ambos os casos. Todavia, pela amplitude dos valores de correlação, nota-se que a estratégia PS-PWM providencia valores significativos de forma mais rápida, visto que a diferença de amplitude na estratégia NL-PWM está na quinta casa decimal. Assim, deve-se considerar o tempo de resposta dos capacitores para escolher um valor adequado de limiar para identificação através da correlação. Nota-se também que o valor estabiliza para a modulação PS-PWM e diverge para NL-PWM.

Com as averiguações até o momento, percebe-se que o método é sensível a valores de projeto e estratégia de modulação. O trabalho original não explicita o procedimento adotado para a estimativa da impedância de carga, não sendo possível identificar se de fato houve um processo de estimação ou apenas a substituição direta do valor no código durante o degrau de carga. Em uma aplicação prática, haveria necessidade de uma técnica de estimação da impedância de carga e sintonização dos parâmetros conforme as especificações de velocidade e tolerância a ruídos, além da necessidade de um controle central, visto que a informação das tensões dos capacitores precisa ser comparada de forma simultânea, elevando a dependência da comunicação entre módulos.

Não investiga-se na seção de referência bibliográfica as possíveis implicações do número de módulos e tipo de modulação mais a fundo, visto que este é o intuito do desenvolvimento do trabalho, com este trecho apenas descrevendo e apresentando uma possível solução.

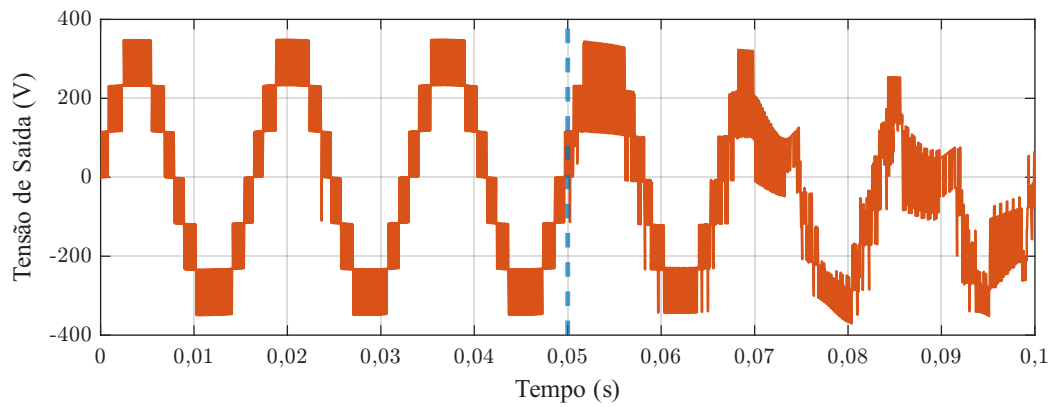
Apresentam-se, nas Figuras 60 e 61, as formas de onda da tensão de saída do conversor obtidas, respectivamente, para as modulações NL-PWM e PS-PWM. De modo análogo, as Figuras 62 e 63 ilustram as correntes de saída do conversor para as mesmas modulações.

Figura 60 – Tensão de saída do conversor para NL-PWM.



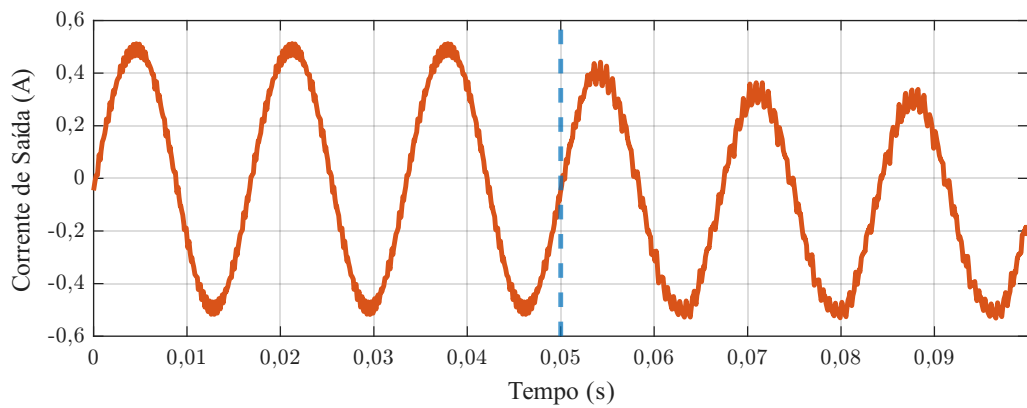
Fonte: Elaborado pelo autor (2026)

Figura 61 – Tensão de saída do conversor para PS-PWM.



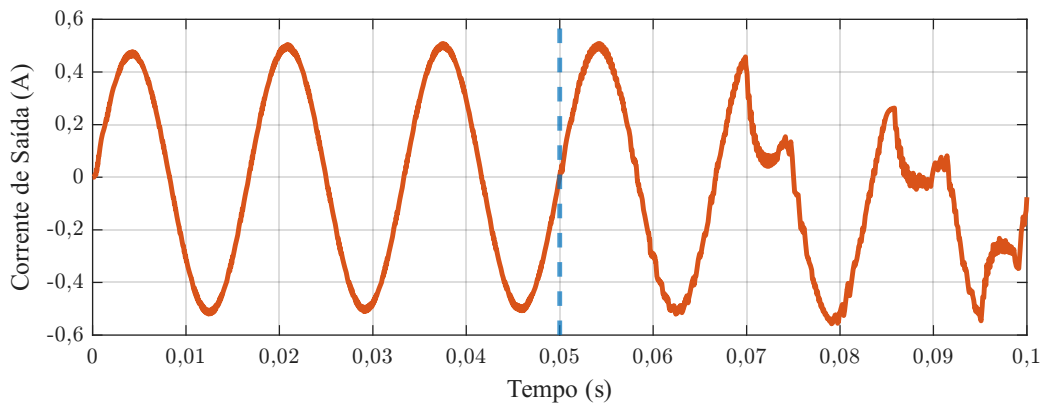
Fonte: Elaborado pelo autor (2026)

Figura 62 – Corrente de saída do conversor para NL-PWM.



Fonte: Elaborado pelo autor (2026)

Figura 63 – Corrente de saída do conversor para PS-PWM.



Fonte: Elaborado pelo autor (2026)

2.4.8 Métodos de mitigação para o Conversor MMC

Devido à alta complexidade das técnicas associadas ao conversor MMC, considerou-se que um estudo com simulações seria ineficiente para a revisão bibliográfica. Assim, a análise restringiu-se a sintetizar as abordagens propostas em cada trabalho. O trabalho publicado por Li et al. (2024) utiliza-se do deslocamento do neutro e injeção de tensão de sequência zero de forma simultânea, aumentando o limite de tensão de linha que pode ser alcançado em modo de falha e elevando o número de falhas de submódulos que o conversor pode suportar antes que a redução da tensão de saída seja necessária.

Em (Xiao et al., 2021a), utiliza-se da injeção de tensão de sequência zero, todavia, seu aspecto positivo está no fato de que não há necessidade da reconfiguração das portadoras, mesmo em estado de falha. Todavia, como no método de (Li et al., 2024), o aspecto negativo é a maior injeção de corrente de circulação, que, consequentemente, aumenta o estresse sobre os semicondutores. A utilização desta estratégia em uma aplicação real necessitaria do equacionamento do aumento do estresse, fato que não foi abordado no artigo.

Por fim, deduz-se em Aslanian et al. (2024) uma estratégia de mitigação baseada em *Selective Harmonic Elimination* (SHE), uma técnica de modulação. Esta estratégia tem como objetivo, além da tolerância a falta, manter a Taxa de Distorção Harmônica (THD) baixa. Um dos seus diferenciais é a baixa tensão de modo comum e baixas perdas de comutação, mesmo em estado de falha, quando comparado a outros métodos, viabilizando a sua utilização em situações diferentes de outros trabalhos. Todavia, sua complexidade é superior aos outros artigos citados.

3 APLICAÇÃO DE METODOLOGIAS DE IDENTIFICAÇÃO E MITIGAÇÃO

Neste capítulo é abordada a aplicação das estratégias de identificação e mitigação ao Conversor MMC, devido a sua maior escalabilidade e modularidade quando comparada ao Conversor CHB (Leon; Amodeo, 2017). Primeiramente, justifica-se a escolha da topologia. Em seguida, analisa-se o efeito da falta sobre o submódulo e sobre a corrente circulante, caracterizando as assinaturas de platô e divergência nas tensões dos capacitores, bem como a influência do número de submódulos e da estratégia de modulação sobre as mesmas. Por fim, apresentam-se os métodos de identificação e as estratégias de mitigação implementados, cuja comparação quantitativa é realizada nos capítulos seguintes.

3.1 ESCOLHA DO CONVERSOR MAIS ADEQUADO PARA OPERAÇÃO DURANTE FALTAS

A escolha do Conversor Modular Multinível (MMC) como topologia de estudo para este trabalho fundamenta-se na análise comparativa das características de tolerância a falhas entre as principais topologias de conversores multiníveis, sintetizada na Tabela 13.

Tabela 13 – Comparativo de Tolerância a Falhas e Impactos Operacionais em Conversores Multiníveis.

Característica Analisada	MMC (Modular Multilevel)	CHB (Cascaded H-Bridge)	NPC e ANPC	FC (Flying Capacitor)
Redundância Estrutural	Alta (orgânica). Submódulos reservas operam em espera (<i>standby</i>) no mesmo braço sem fontes adicionais (Sharifabadi et al., 2016; Xiao et al., 2023).	Moderada. Células H de reserva exigem novas fontes isoladas de energia (Wu, 2006).	Baixa (NPC) a Moderada (ANPC). Arquitetura rígida; ANPC adiciona redundância via chaves ativas (Häring et al., 2024).	Nula. Pilha interligada de capacitores não admite substituição parcial (Amini; Moallem, 2017).
Mecanismo de Bypass Local	Ultrarrápido (microsegundos) via contadores a vácuo ou tiristores, isolando apenas o submódulo avariado (Sharifabadi et al., 2016; Debnath et al., 2015).	Curto-circuito forçado que inutiliza toda a célula H-Bridge afetada (Xue et al., 2023).	Inexistente individualmente. Falha de um semicondutor compromete todo o braço (Chen; He, 2024; Isik; Parashar; Bhattacharya, 2022).	Inexistente sem interrupção de larga escala (Tang et al., 2021).

(continua)

Característica Analisada	MMC (Modular Multilevel)	CHB (Cascaded H-Bridge)	NPC e ANPC	FC (Flying Capacitor)
Fontes e Transformadores	Barramento cc único compartilhado por todos os submódulos (Sharifabadi et al., 2016).	Transformador defasador multipulso dedicado a cada célula (Wu, 2006).	Barramento cc único dividido pelos diodos do ponto neutro (Häring et al., 2024).	Barramento subdividido por grandes blocos de capacitores (Fard et al., 2020).
Impactos Magnéticos e Harmônicos	Correntes circulantes reestruturadas internamente sem injeção de harmônicas na rede (Xiao et al., 2021a; Li et al., 2024).	<i>Bypass</i> gera assimetria, saturando o transformador defasador e injetando severas harmônicas na rede (Lin et al., 2020; Xue et al., 2023).	Assimetria destrói a qualidade da onda e inviabiliza a operação, sem afetar transformadores (Wei et al., 2021).	Perda de chave descontrola a frequência de carga, injetando harmônicos instáveis (Tang et al., 2021; Amini; Moallem, 2017).
Dinâmica de Compensação (Software)	ZSVI ou CVI elevam ativamente os capacitores saudáveis para preservar a forma de onda (Xiao et al., 2021a; Li et al., 2024; Aslanian et al., 2024).	Harmônicas laterais (<i>sidebands</i>) exigem compensação complexa dos ângulos de fase (Xiao et al., 2021b).	Falha destrói o balanço do Ponto Neutro, inviabilizando qualquer correção por controle (Chen; He, 2024; Valiyil; Gangadharan, 2023).	Fuga de carga provoca divergência aguda nas tensões da rede capacitiva (Fard et al., 2020).
Estresse Térmico Pós-Falta	Sobrecarga distribuída linearmente pelos submódulos saudáveis do mesmo braço (Xiao et al., 2023; Sharifabadi et al., 2016).	Harmônicas residuais geram superaquecimento e perdas severas no núcleo do transformador (Wu, 2006).	Sobretensão letal concentrada nos IGBTs e diodos adjacentes ao ponto neutro (Isik; Parashar; Bhattacharya, 2022; Häring et al., 2024).	Picos transitórios de tensão excedem o limite dielétrico, degradando a matriz capacitiva (Amini; Moallem, 2017).

(conclusão)

A síntese apresentada na Tabela 13 evidencia que o MMC reúne os atributos mais adequados à operação sob falta. Sua redundância estrutural permite inserir submódulos reservas no mesmo braço, sem fontes isoladas ou transformadores defasadores (Sharifabadi et al., 2016; Xiao et al., 2023), enquanto o mecanismo de *bypass* isola rapidamente o módulo avariado, preservando a operação dos demais (Debnath et al., 2015). Além disso, o MMC redistribui internamente as correntes circulantes sem degradar a qualidade da energia e reparte o estresse térmico entre os módulos saudáveis (Xiao et al., 2021a; Li et al., 2024). Em contraste, o CHB depende de fontes isoladas e transformadores defasadores por célula (Wu, 2006; Xue et al., 2023), enquanto NPC e FC não dispõem de redundância nem de *bypass* local, comprometendo a continuidade da operação em caso de falha (Häring et al., 2024; Amini; Moallem, 2017).

Outro fator limitante do CHB é a alimentação dos módulos. Enquanto o MMC utiliza um único barramento CC, cada célula do CHB requer alimentação individual, normalmente

obtida por um transformador com múltiplos enrolamentos (Leon; Amodeo, 2017). Como as metodologias propostas se beneficiam de um maior número de submódulos, opta-se pelo MMC. A escalabilidade dessa topologia é evidenciada pelo projeto INELFE, que emprega um conversor MMC com 400 submódulos por sub-braço (3.200 no total) para transmitir 2,0 GW em um enlace HVDC entre França e Espanha (Dennetière et al., 2013).

3.2 ETAPAS DE OPERAÇÃO PARA O SUBMÓDULO EM FALTA

A corrente circulante governa a troca de potência e a tensão dos capacitores no conversor MMC. Sob faltas, seus valores extremos podem gerar instabilidade, justificando a análise do seu efeito.

Contudo, para melhor compreensão da dinâmica de falta como um todo, analisa-se primeiramente um único submódulo. O funcionamento de um submódulo saudável está representado nas Figuras 64 a 67.

Figura 64 – Etapa de condução do diodo de S_1 ($S_1 = 1, S_2 = 0, i_{sm} > 0$).

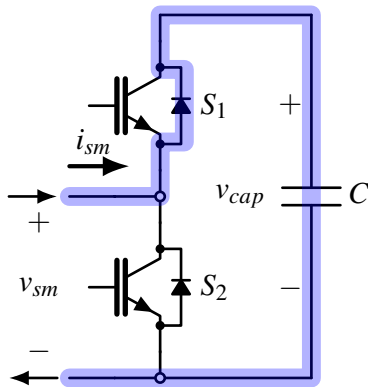


Figura 65 – Etapa de condução do interruptor de S_2 ($S_1 = 0, S_2 = 1, i_{sm} > 0$).

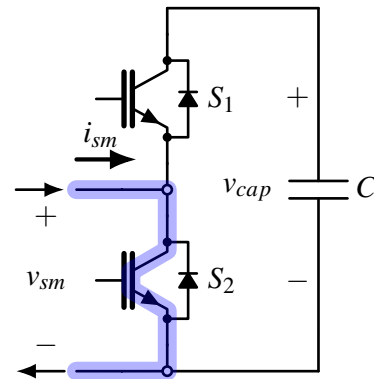


Figura 66 – Etapa de condução do interruptor de S_1 ($S_1 = 1, S_2 = 0, i_{sm} < 0$).

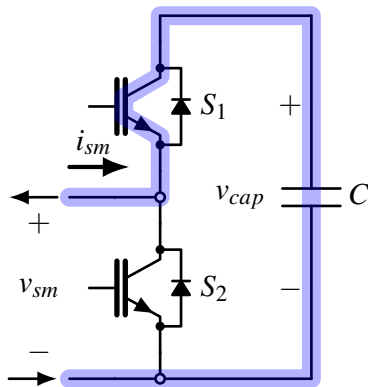
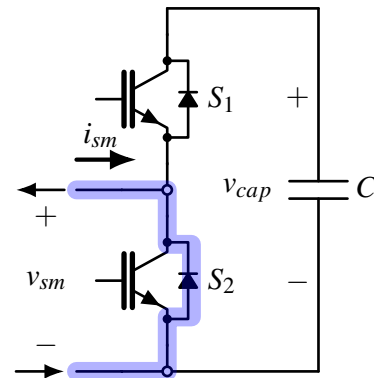


Figura 67 – Etapa de condução do diodo de S_2 ($S_1 = 0, S_2 = 1, i_{sm} < 0$).



Fonte: Elaborado pelo autor (2026)

Da análise das figuras demonstradas, obtém-se a Tabela 14, a qual demonstra os valores esperados de saída de acordo com o sinal de *gate* e o sentido da corrente do submódulo.

Tabela 14 – Estados de comutação no modo Normal.

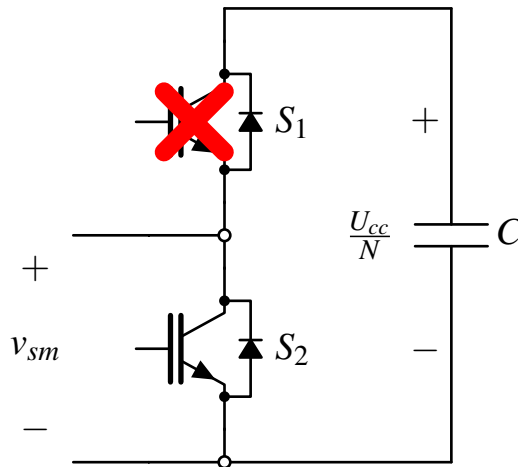
S_1	S_2	Corrente (i_{sm})	Ação / Dispositivo de Condução	v_{sm}
1	0	> 0	Carregamento (D_1)	v_{cap}
0	1	> 0	Curto-circuito (S_2)	0
1	0	< 0	Descarregamento (S_1)	v_{cap}
0	1	< 0	Curto-circuito (D_2)	0

Nota: D_1 e D_2 referem-se aos diodos antiparalelos dos interruptores. v_{cap} é a tensão do capacitor.

Fonte: Elaborado pelo autor (2026)

Para uma falta do interruptor superior do submódulo, tem-se o circuito representado pela Figura 68.

Figura 68 – Estrutura de um submódulo meia ponte do MMC com falha do interruptor superior.



Fonte: Elaborado pelo autor (2026)

Nota-se que é considerada a falta apenas do interruptor, com o diodo em anti-paralelo com funcionamento normal. Esta consideração fundamenta-se em Choi, Blaabjerg e Lee (2015): grande parte das falhas de circuito aberto origina-se no circuito de acionamento (*gate driver*), que tende a abrir a chave controlada, não existindo mecanismo equivalente para o diodo, visto que o mesmo não é controlado. Além disso, o mesmo trabalho demonstra que, na maioria das condições de operação de módulos IGBT, o estresse térmico sobre a chave é superior ao do diodo, tornando-a o componente mais suscetível à falha. Utilizando os diagramas da corrente no estado de operação, nota-se que esta falta afeta apenas a condição onde $S_1 = 1$, $S_2 = 0$ e $i_{sm} < 0$, ou seja, a Figura 66, de forma que os estados de comutação estão representados na Tabela 15, com o Erro sendo referente à diferença entre o valor esperado e o valor em falta.

Tabela 15 – Estados de comutação sob falha de circuito aberto em S_1 .

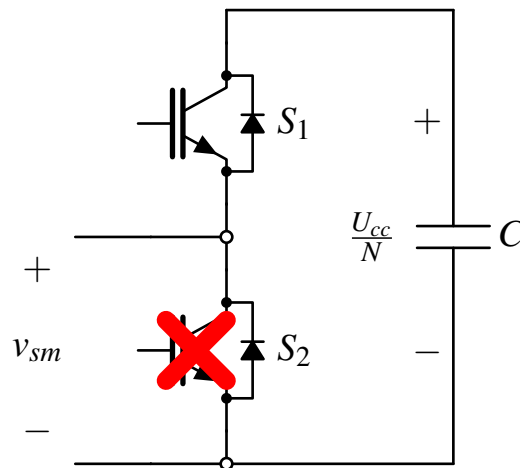
S_1	S_2	Corrente (i_{sm})	Ação / Dispositivo de Condução	v_{sm}	Erro
1	0	> 0	Carregamento (D_1)	v_{cap}	0
0	1	> 0	Curto-circuito (S_2)	0	0
1	0	< 0	Curto-circuito (D_2)	0	$+v_{cap}$
0	1	< 0	Curto-circuito (D_2)	0	0

Nota: D_1 e D_2 referem-se aos diodos antiparalelos. v_{cap} é a tensão do capacitor. O destaque indica o estado de falha.

Fonte: Elaborado pelo autor (2026)

De forma similar, apresenta-se o circuito com a falha do interruptor inferior da meia ponte, conforme a Figura 69. Nota-se, novamente, que considera-se apenas a falha do interruptor, com a integridade do diodo em anti-paralelo mantida.

Figura 69 – Estrutura de um submódulo meia ponte do MMC com falha do interruptor inferior.



Fonte: Elaborado pelo autor (2026)

A única etapa de operação afetada é a representada pela Figura 65, onde $S_1 = 0$, $S_2 = 1$ e $i_{sm} > 0$, com os estados de comutação indicados pela Tabela 16.

Tabela 16 – Estados de comutação sob Falha de Circuito Aberto em S_2 .

S_1	S_2	Corrente (i_{sm})	Ação / Dispositivo de Condução	v_{sm}	Erro
1	0	> 0	Carregamento (D_1)	v_{cap}	0
0	1	> 0	Carregamento (D_1)	v_{cap}	$-v_{cap}$
1	0	< 0	Descarregamento (S_1)	v_{cap}	0
0	1	< 0	Curto-circuito (D_2)	0	0

Nota: D_1 e D_2 referem-se aos diodos antiparalelos. v_{cap} é a tensão do capacitor. O destaque indica o estado de falha onde o interruptor S_2 deveria conduzir, mas a corrente é forçada por D_1 .

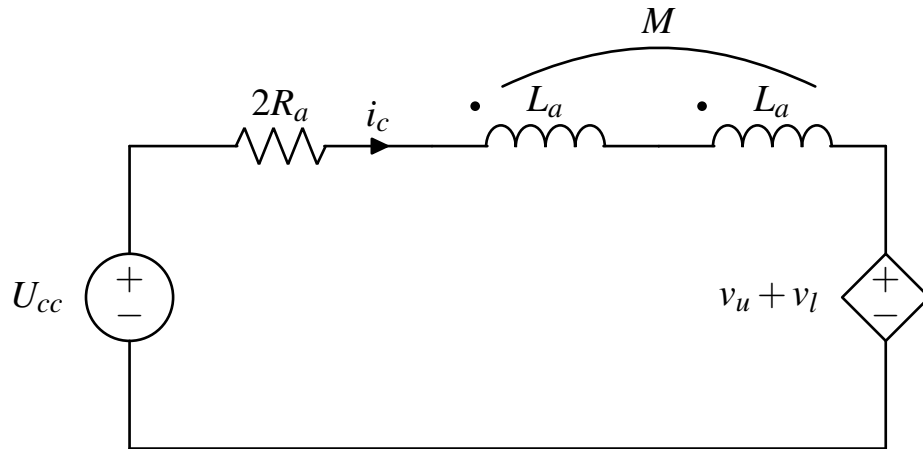
Fonte: Elaborado pelo autor (2026)

Desta análise é possível concluir que uma das formas de localizar a falta é utilizando o erro entre a tensão de saída esperada e real. Além disso, esta análise pode ser estendida para ambos os sub-braços superiores e inferiores, visto que a tensão dos mesmos é composta pela tensão dos submódulos, ou seja, um erro de $\pm v_{cap}$ na saída de um submódulo é propagado para a tensão do sub-braço v_u ou v_l . Nota-se também que os valores de tensão dos capacitores são afetados devido aos erros de comutação, visto que a corrente de carga e descarga é afetada, o que pode levar a um carregamento ou descarga excessiva do capacitor, afetando a tensão do mesmo.

3.3 CORRENTE CIRCULANTE EM CONDIÇÕES DE FALTA

Para garantir a estabilidade da corrente circulante (i_c) e evitar picos de corrente indesejados entre os braços do conversor, analisa-se a malha de corrente contínua (modo comum). A dinâmica da corrente circulante, considerando o efeito do acoplamento magnético entre os indutores dos braços que pode ser utilizado para redução do volume dos componentes e obter melhor resposta de corrente de circulação (Akagi, 2011), é governada pelo circuito equivalente representado na Figura 70.

Figura 70 – Circuito equivalente de modo comum modificado com impedâncias $2R_a$ e indutores acoplados L_a .



Nota: O circuito equivalente para indutores comuns é o mesmo, porém sem o acoplamento.

Fonte: Adaptado de (Sharifabadi et al., 2016)

A equação diferencial correspondente à dinâmica deste circuito é dada por (53).

$$2(L_a + M) \frac{di_c}{dt} + 2R_a i_c = U_{cc} - (v_u + v_l) \quad (53)$$

Onde:

- L_a, R_a são a autoindutância e resistência do braço;
- M é a indutância mútua entre os braços superior e inferior (para indutores não acoplados, $M = 0$);
- U_{cc} é a tensão total do barramento cc;
- v_u, v_l são as tensões instantâneas inseridas pelos braços superior e inferior;
- v_c é a tensão de modo comum sintetizada pelo conversor.

Os termos da Equação (53) são referentes as seguintes parcelas, conforme (54).

$$\underbrace{2(L_a + M) \frac{di_c}{dt} + 2R_a i_c}_{\text{Queda na Impedância de Circulação}} = \underbrace{U_{cc}}_{\text{Fonte cc}} - \underbrace{(v_u + v_l)}_{\text{Soma das Tensões dos Braços}} \quad (54)$$

Para manter a corrente circulante controlada e estável, minimizando a derivada di_c/dt , a soma das tensões geradas pelos braços deve equilibrar a tensão do barramento cc. Assumindo que a queda resistiva é desprezível e o sistema está em regime permanente, obtém-se (55).

$$v_u + v_l \approx U_{cc} \quad (55)$$

Expressando as tensões dos braços em função do número de submódulos inseridos (n_u, n_l) e assumindo que a tensão dos capacitores está bem equilibrada em seu valor nominal ($v_{sm} = U_{cc}/N$):

$$(n_u \cdot v_{sm}) + (n_l \cdot v_{sm}) = U_{cc} \quad (56)$$

$$(n_u + n_l) \frac{U_{cc}}{N} = U_{cc} \quad (57)$$

Dividindo ambos os lados por U_{cc} e multiplicando por N , chega-se a condição fundamental de operação do MMC, representada por (58).

$$n_u + n_l = N \quad (58)$$

Esta equação demonstra que, para evitar grandes transientes na corrente circulante (i_c), o sistema de controle deve garantir que o número total de submódulos inseridos em uma perna seja sempre igual ao número total de submódulos por braço (N). Na modulação $2N + 1$, conforme Li et al. (2012), esta restrição é flexibilizada para a obtenção de mais níveis de tensão de saída, permitindo uma pequena oscilação em torno de N :

$$n_u + n_l = \begin{cases} N - 1 \\ N \\ N + 1 \end{cases} \quad (59)$$

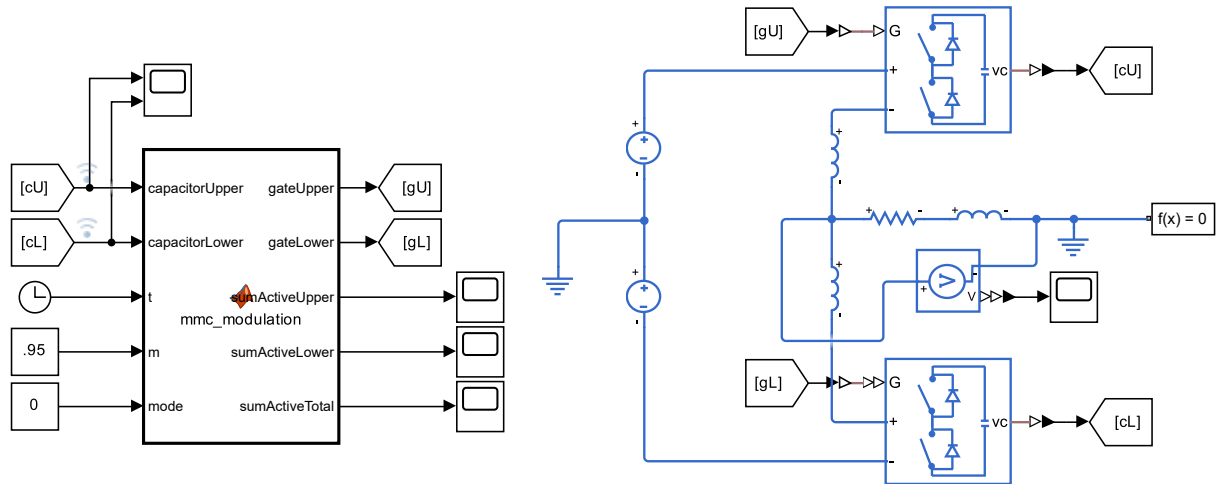
Isso implica que a indutância de circulação $2(L_a + M)$ deve ser dimensionada para suportar a tensão de desequilíbrio instantânea causada por essa variação, limitando a amplitude da corrente circulante de alta frequência. Nota-se também que a inclusão de acoplamento é benéfica para reduzir a corrente de circulação, visto que a indutância mútua M contribui para a impedância total de circulação, reduzindo os picos de corrente e melhorando a estabilidade do sistema, principalmente em situações de falta onde o equilíbrio das tensões dos braços é perturbado.

3.4 COMPORTAMENTO DAS TENSÕES DOS CAPACITORES EM CONDIÇÃO DE FALTA: INFLUÊNCIA DA ESTRATÉGIA DE MODULAÇÃO E NÚMERO DE MÓDULOS

Antes de abordar os métodos de localização do submódulo defeituoso, devido a resultados de simulações durante a revisão bibliográfica, nota-se que é de suma importância compreender como a estratégia de modulação empregada influencia a resposta das tensões dos capacitores durante a condição de falta, visto que este comportamento impacta diretamente a viabilidade e a velocidade dos algoritmos de identificação. Assim, simula-se uma versão simples do conversor, com duas configurações de modulação: NLM (ordenação forçada) e PS-PWM (ordenação

não forçada). Além disso, varia-se parametricamente o número de submódulos e salva-se os resultados para geração de gráficos posteriormente. A Figura 71 demonstra a configuração da simulação no MATLAB Simulink.

Figura 71 – Simulação MATLAB Simulink automática para *sweep* de valores de N .



Fonte: Elaborado pelo autor (2026)

Os parâmetros utilizados durante a simulação estão dispostos na Tabela 17. Estes valores são variados para averiguação de que, desde que projetados de forma que não causem instabilidade, seus valores não alteram a característica de falta.

Tabela 17 – Parâmetros da simulação de *sweep* de valores de N .

Parâmetro	Valor	Parâmetro	Valor
U_{cc}	700 V	R_l	300 Ω
$f_{sPS-PWM}$	2 kHz	L_l	100 mH
R_a	50 m Ω	f_o	60 Hz
L_a	5 mH	m	0,95
C_{sm}	330 μ F	N	3 a 4.000

Fonte: Elaborado pelo autor (2026)

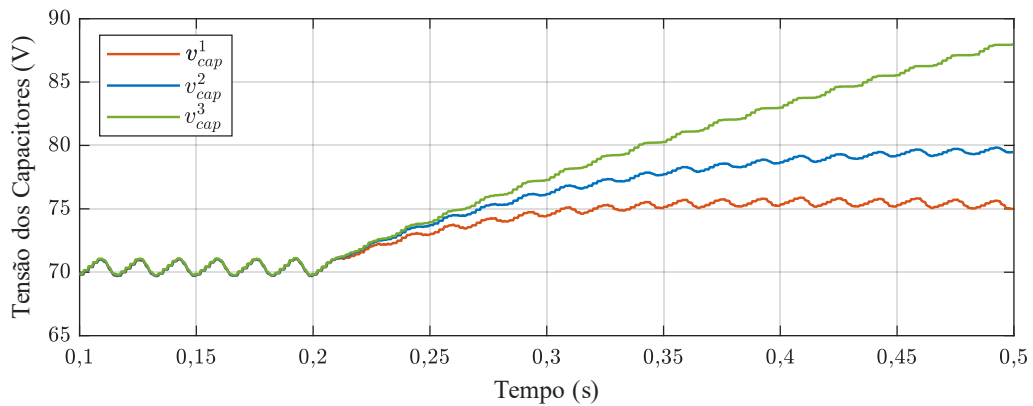
A distinção principal reside na presença ou ausência de um algoritmo de ordenação forçada das tensões dos capacitores. Estratégias como a PS-PWM possuem um balanceamento natural das tensões, decorrente da rotação periódica das portadoras entre os submódulos (Sharifabadi et al., 2016). Todavia, estratégias como a NLM e a LS-PWM com ordenação utilizam um algoritmo ativo que, a cada ciclo de controle, ordena as tensões dos capacitores e seleciona os submódulos a serem inseridos ou removidos com base no sentido da corrente do braço, conforme o funcionamento exposto na Tabela 14. Destaca-se que estas características de modulação não implicam na falta de utilização de controle de energia entre braços e módulos.

3.4.1 Modulação sem ordenação forçada (PS-PWM)

Na modulação PS-PWM, cada submódulo opera com uma portadora defasada sem redistribuição ativa de energia. Sob falha, o balanceamento natural é rompido, levando a uma divergência lenta e sutil entre as tensões dos capacitores. Esta análise, realizada em malha aberta, omite ações de controle de balanço energético para isolar e comparar exclusivamente o efeito da ordenação forçada.

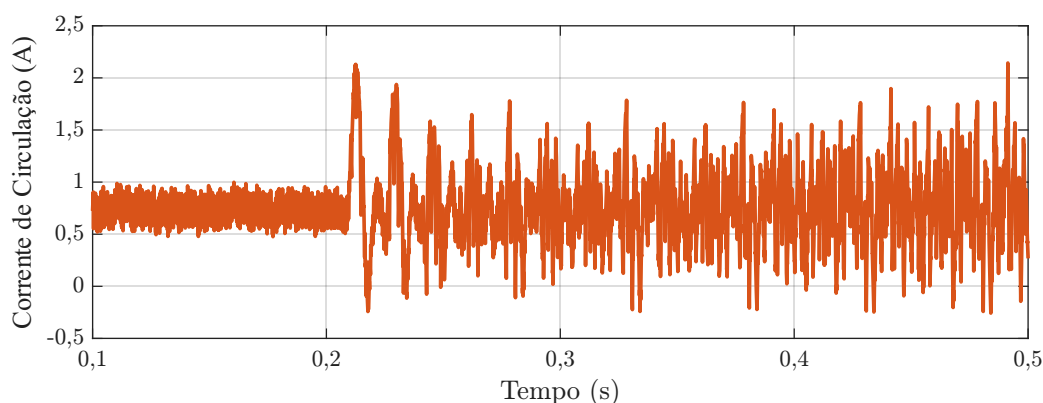
Com intuito de demonstrar este comportamento, utiliza-se de uma falha de circuito aberto no interruptor superior do submódulo 3 do sub-braço superior de um conversor com $N = 10$ submódulos por sub-braço e os demais parâmetros conforme a Tabela 17. A Figura 72 apresenta a resposta das tensões dos capacitores nesta condição. Por questão de visualização, apresentam-se nas figuras desta análise apenas as tensões de três dos capacitores do sub-braço, incluindo a do submódulo defeituoso. Conforme a análise da Tabela 15, a falha do interruptor superior impede a descarga do capacitor do submódulo defeituoso, fazendo com que sua tensão tenda a crescer. Todavia, o desbalanceamento da malha de modo comum gera picos de corrente circulante que perturbam o funcionamento global, como demonstrado na Figura 73, reduzindo a diferença entre as tensões dos capacitores e dificultando a localização do módulo em falta.

Figura 72 – Resposta da tensão dos capacitores dos submódulos sob falha de S_1 com modulação PS-PWM.



Fonte: Elaborado pelo autor (2026)

Figura 73 – Resposta da corrente de circulação sob falha de S_1 com modulação PS-PWM.



Fonte: Elaborado pelo autor (2026)

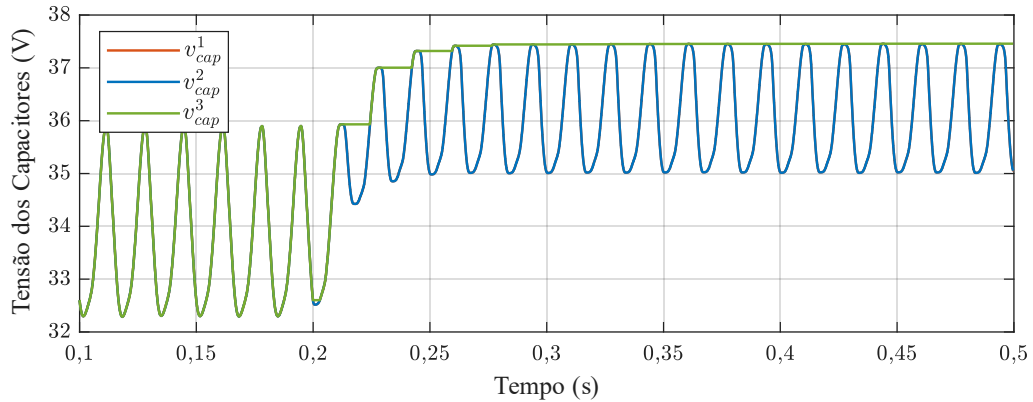
3.4.2 Modulação com ordenação forçada (NLM)

A modulação NLM, amplamente utilizada em conversores para HVDC com número elevado de submódulos (Moranchel et al., 2016), emprega um algoritmo de ordenação que seleciona os submódulos a serem inseridos ou removidos dependendo da necessidade de carga ou descarga, utilizando o sentido da corrente do sub-braço como critério de decisão.

A dinâmica imposta por este algoritmo de ordenação interage de maneira distinta com as falhas, produzindo assinaturas mais evidentes nas tensões dos capacitores. Conforme fundamentado pelas etapas de operação em falta dispostas nas Tabelas 15 e 16, para a falha do interruptor superior, o único estado de descarregamento é substituído por um curto-circuito, o qual mantém o mesmo nível de tensão do início da etapa de operação, tornando impossível descarregar este submódulo. Na falta do interruptor inferior, um estado de curto-circuito é substituído por estado de carregamento, fazendo com que o nível de tensão do capacitor do submódulo eleve-se quando deveria manter-se constante.

No cenário de falha em S_1 , o submódulo torna-se incapaz de ser inserido para participar da troca de energia e permanece em estado de curto-circuito forçado. Enquanto o algoritmo de controle tenta manter a tensão do barramento, a energia que deveria ser armazenada neste submódulo é redistribuída para os demais. Consequentemente, observa-se uma elevação global das tensões dos capacitores saudáveis, enquanto a tensão do submódulo defeituoso se destaca por permanecer estagnada em um valor constante, descolando-se do grupo, conforme ilustrado na Figura 74.

Figura 74 – Comportamento das tensões dos capacitores sob falha de S_1 com modulação NLM: tensão do SM defeituoso constante.



Fonte: Elaborado pelo autor (2026)

Por outro lado, a falha no interruptor S_2 altera as etapas de operação de forma que a capacidade de curto-circuito não é totalmente extinta, mas reduzida. Enquanto em operação normal existem dois estados de condução para o curto-circuito (permitindo o fluxo de corrente em ambos os sentidos), a falha elimina um desses caminhos. Isso faz com que, em momentos onde o controle ordena o *bypass* mas o sentido da corrente exige o caminho bloqueado pela falha, a corrente seja forçada a fluir pelo diodo superior, carregando o capacitor involuntariamente. O acúmulo desses eventos de carga não planejada faz com que a tensão deste submódulo cresça descontroladamente, divergindo de forma muito mais acentuada que os demais, facilitando sua localização.

Os dois comportamentos observados, o platô na falta de S_1 e a divergência na falta de S_2 , podem ser fundamentados analiticamente a partir do balanço de carga do capacitor. A tensão de cada submódulo evolui segundo (60), onde $s_j(t) \in \{0, 1\}$ é a função de inserção (1 inserido, 0 em *bypass*) e $i_{sm}(t)$ é a corrente do sub-braço.

$$C_{sm} \frac{dv_{c,j}}{dt} = s_j(t) i_{sm}(t). \quad (60)$$

Integrando (60) ao longo de um período fundamental $T_o = 1/f_o$, definem-se a carga disponível para carregar o submódulo ($i_{sm} > 0$, via D_1) e para descarregá-lo ($i_{sm} < 0$, via S_1), conforme (61).

$$Q^+ = \int_{i_{sm} > 0} i_{sm} dt, \quad Q^- = \int_{i_{sm} < 0} |i_{sm}| dt. \quad (61)$$

Como o braço transfere potência líquida do barramento para a carga, sua corrente média é positiva, o que implica diretamente a desigualdade (62), origem da divergência demonstrada a seguir.

$$I_{avg} = \frac{Q^+ - Q^-}{T_o} > 0 \implies Q^+ > Q^-. \quad (62)$$

A diferença essencial entre as duas faltas está em como cada uma altera a corrente que efetivamente chega ao capacitor do submódulo defeituoso, conforme sintetizado na Tabela 18:

a falta em S_1 apenas remove o caminho de descarga, ao passo que a falta em S_2 adiciona uma carga que deixa de depender de s .

Tabela 18 – Corrente do capacitor do submódulo defeituoso por estado de operação.

Intervalo	Saudável	Falta em S_1	Falta em S_2
$i_{sm} > 0$	$s i_{sm}$	$s i_{sm}$ (intacto)	i_{sm} (independe de s)
$i_{sm} < 0$	$s i_{sm}$	0 (curto)	$s i_{sm}$ (intacto)

Fonte: Elaborado pelo autor (2026)

Falta em S_1 (platô): A falta no interruptor superior elimina o único estado de descarga, de modo que a carga de erro por ciclo é dada por (63), ainda governável por s .

$$\Delta Q^{S_1} = \int_{i_{sm} > 0} s i_{sm} dt \in [0, Q^+]. \quad (63)$$

Como a ordenação forçada insere preferencialmente os submódulos de menor tensão durante o carregamento, o defeituoso é excluído da inserção tão logo se torne o de maior tensão do braço, de forma que $s \rightarrow 0$ e $\Delta Q^{S_1} \rightarrow 0$. Existe, portanto, ponto de equilíbrio, e a tensão estaciona em um platô finito, exatamente o comportamento da Figura 74.

Falta em S_2 (divergência): A falta no interruptor inferior substitui o estado de *bypass* ($i_{sm} > 0$) por um carregamento involuntário através de D_1 , que deixa de depender de s . A carga líquida (resultante) por ciclo passa a ser limitada inferiormente por (64).

$$\Delta Q^{S_2} \geq Q^+ - Q^- = I_{avg} T_o > 0. \quad (64)$$

Diferentemente do caso anterior, este limite inferior não contém a variável de controle s : nenhuma estratégia de modulação consegue anulá-lo. O submódulo acumula ao menos $I_{avg} T_o$ de carga a cada ciclo e sua tensão diverge linearmente, comportamento confirmado pelas varreduras da Figura 77.

Fisicamente, o estado de *bypass* era o único caminho que desviava do capacitor a parcela contínua I_{avg} entregue pelo barramento. A falta em S_2 trava esse caminho no modo de carga e, como a fonte I_{avg} nunca cessa, a tensão cresce sem limite. Já a falta em S_1 apenas suprime um caminho de descarga, deixando intacta a capacidade do controle de interromper a carga, razão pela qual o sistema reencontra equilíbrio em um platô.

Desta análise comparativa, conclui-se que modulações com ordenação forçada produzem assinaturas de falta significativamente diferentes nas tensões dos capacitores quando comparadas a modulações sem ordenação, como a PS-PWM.

3.4.3 Influência do número de submódulos na assinatura de falta

Para avaliar a generalidade das conclusões anteriores, realizou-se uma varredura paramétrica variando o número de submódulos por braço (N) de 3 a 4.000, mantendo-se os demais

parâmetros do conversor normalizados. A varredura foi implementada em um *script* dedicado no MATLAB, no qual as equações do conversor são calculadas de forma vetorial, permitindo variar facilmente o número de submódulos simulados. Os resultados são apresentados nas Figuras 75–78, onde a subfigura (a) mostra a tensão do capacitor do submódulo defeituoso e a subfigura (b) a tensão média dos capacitores dos submódulos saudáveis, ambas em p.u..

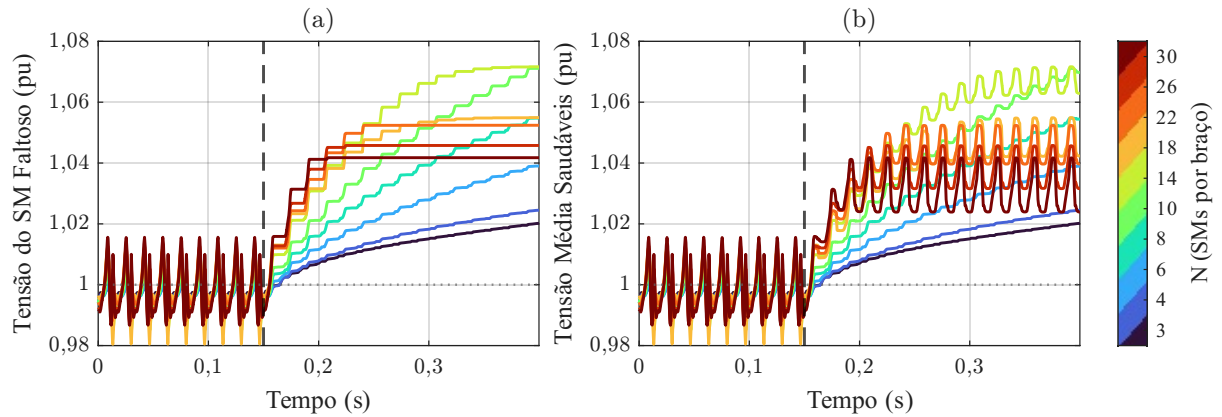
A interpretação destas varreduras parte de um princípio simples de normalização. A tensão nominal de cada capacitor é $V_c = U_{cc}/N$ e, como os gráficos são apresentados em p.u. (normalizados por V_c), um mesmo desvio absoluto ΔV (em volts) imposto pela falta manifesta-se em p.u. conforme (65).

$$\Delta v_{pu} = \frac{\Delta V}{V_c} = \frac{\Delta V}{U_{cc}} N \propto N. \quad (65)$$

3.4.3.1 Falha em S_1 - NLM vs. PS-PWM

A Figura 75 apresenta os resultados para a falha no interruptor superior com modulação NLM. Observa-se que, para baixo número de submódulos ($N = 3$ a 6), a tensão do capacitor do submódulo defeituoso eleva-se apenas moderadamente (da ordem de 2–4%), permanecendo relativamente próxima à tensão média dos submódulos saudáveis. Ressalta-se que o tempo de acomodação deste transitório não é fixo, dependendo do número de submódulos e da capacitância utilizada, sendo variável conforme o caso analisado. À medida que N aumenta, a assinatura torna-se mais evidente, porém de forma não monotônica: a tensão do defeituoso atinge um máximo de cerca de 1,07 p.u. em torno de $N \approx 10$ e reduz-se para cerca de 1,04 p.u. em $N = 30$, enquanto para $N = 3$ mal ultrapassa 1,02 p.u.. Este comportamento resulta do equilíbrio entre a amplificação da assinatura pela normalização, proporcional a N , e o maior grau de liberdade do algoritmo de ordenação da NLM para redistribuir a energia entre os submódulos saudáveis, que absorvem a parcela que o defeituoso não consegue entregar, conforme fundamentado analiticamente adiante. A tensão média dos saudáveis acompanha comportamento semelhante, porém em menor proporção que a do defeituoso, mantendo separação suficiente entre ambas para fins de diagnóstico.

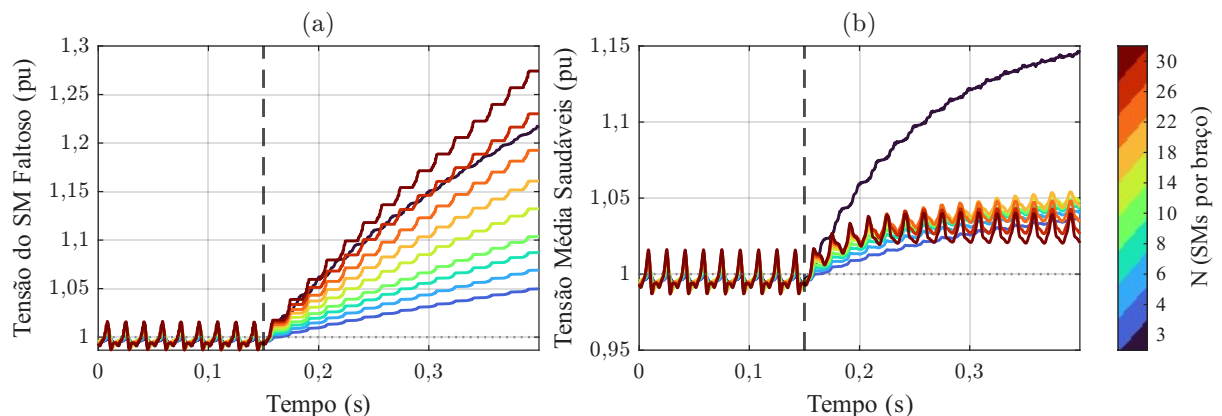
Figura 75 – Varredura de N : tensão do SM defeituoso (a) e média dos saudáveis sob falha de S_1 (b) com modulação NLM.



Fonte: Elaborado pelo autor (2026)

Na modulação PS-PWM sob a mesma falha (Figura 76), o comportamento qualitativo é semelhante, a tensão do defeituoso cresce, porém com magnitude significativamente maior. Para $N = 30$, a tensão atinge aproximadamente 1,28 p.u., contra 1,07 p.u. na NLM. Um aspecto notável na PS-PWM com falha em S_1 é o comportamento para baixo número de módulos: para $N = 3$ e $N = 4$, a tensão média dos saudáveis sobe de forma desproporcional, chegando a se confundir com a excursão do próprio defeituoso. Isto evidencia que, em conversores com poucos submódulos e sem ordenação forçada, a assinatura de falta torna-se ambígua, dificultando severamente a localização do módulo defeituoso, fato que foi percebido durante as simulações realizadas para o Capítulo 2 e motivou a realização desta análise paramétrica.

Figura 76 – Varredura de N : tensão do SM defeituoso (a) e média dos saudáveis sob falha de S_1 (b) com modulação PS-PWM.



Fonte: Elaborado pelo autor (2026)

A altura do platô na falta de S_1 resulta do equilíbrio entre dois efeitos opostos. De um lado, a normalização por $V_c = U_{cc}/N$ amplifica qualquer desvio absoluto na proporção de N : quanto mais módulos, maior o valor em p.u.. De outro, a ordenação afasta o submódulo defeituoso da inserção e redistribui a carga de erro entre os módulos saudáveis, de modo que, quanto maior o

número de módulos disponíveis, menor a carga de erro residual ΔQ_f que efetivamente permanece no submódulo defeituoso. Combinando os dois efeitos, a altura do platô resulta de (66), com a mesma estrutura da rampa de S_2 deduzida adiante.

$$\Delta v_{f,pu} = \frac{\Delta Q_f(N)}{C_{sm}} \frac{N}{U_{cc}}. \quad (66)$$

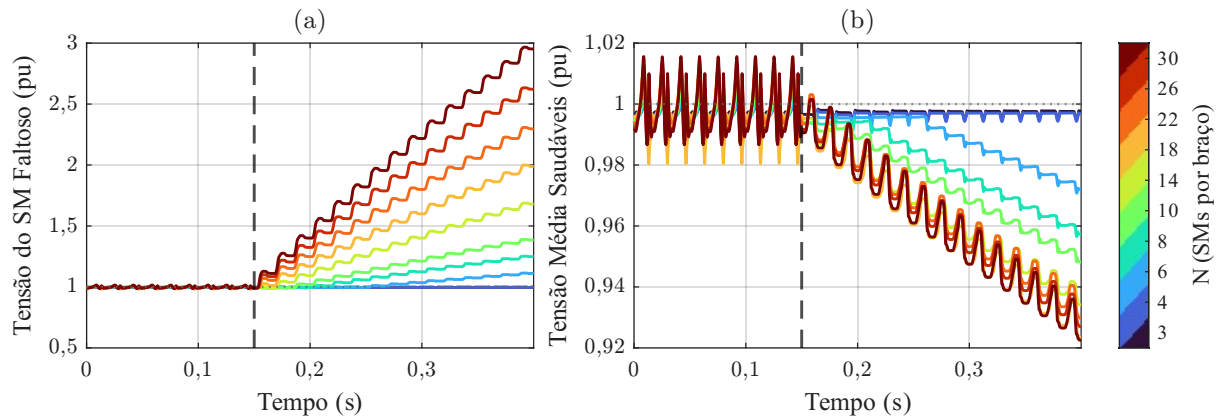
A diferença essencial em relação à falta de S_2 é que, no platô, a carga de erro residual ΔQ_f depende de N , e o resultado é ditado por quão rápido ela decresce:

- na **NLM**, a exclusão é ativa e ΔQ_f cai rapidamente com N , chegando a vencer a amplificação $\propto N$; por isso o platô não cresce indefinidamente: sobe até um máximo (cerca de 1,07 p.u. em $N \approx 10$) e depois *diminui* (cerca de 1,04 p.u. em $N = 30$);
- na **PS-PWM**, não há exclusão ativa e ΔQ_f permanece praticamente constante com N ; sobra apenas a amplificação $\propto N$, e o platô *cresce sempre* (cerca de 1,28 p.u. em $N = 30$).

3.4.3.2 Falha em S_2 - NLM vs. PS-PWM

A falha no interruptor inferior produz a assinatura mais severa em ambas as modulações. Na NLM (Figura 77), a tensão do submódulo defeituoso cresce monotonicamente, atingindo cerca de 3,0 p.u. para $N = 30$, com taxa de crescimento proporcional a N . Em contrapartida, a tensão média dos submódulos saudáveis diminui com o aumento de N , atingindo aproximadamente 0,93–0,94 p.u. para valores elevados, devido à transferência de energia para o capacitor defeituoso.

Figura 77 – Varredura de N : tensão do SM defeituoso (a) e média dos saudáveis sob falha de S_2 (b) com modulação NLM.

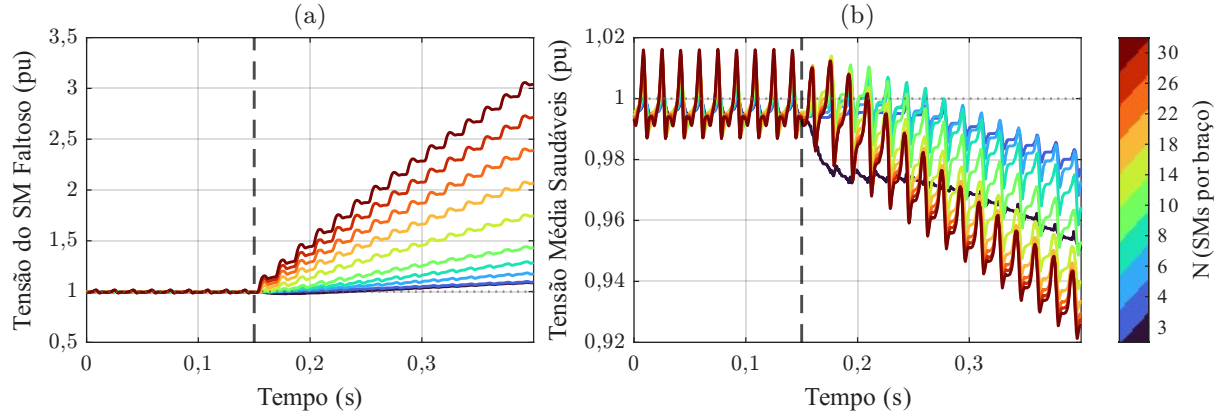


Fonte: Elaborado pelo autor (2026)

Na PS-PWM sob falha em S_2 (Figura 78), o comportamento é qualitativamente análogo ao da NLM: divergência acentuada da tensão do defeituoso e queda progressiva da tensão média dos saudáveis. As magnitudes atingidas são comparáveis (até aproximadamente 3,0 p.u. para $N = 30$), indicando que a falha de S_2 produz uma perturbação suficientemente severa para gerar assinaturas evidentes independentemente da estratégia de modulação. Entretanto, para baixo

número de módulos ($N \leq 6$), a PS-PWM novamente apresenta a particularidade de uma maior dispersão e menor diferenciação entre defeituoso e saudáveis, com as tensões dos saudáveis apresentando oscilações de maior amplitude e comportamento menos previsível.

Figura 78 – Varredura de N : tensão do SM defeituoso (a) e média dos saudáveis sob falha de S_2 (b) com modulação PS-PWM.



Fonte: Elaborado pelo autor (2026)

A divergência na falta de S_2 tem explicação igualmente direta. A cada ciclo, o submódulo recebe uma carga de erro praticamente constante, Q_2 , que eleva sua tensão em um degrau fixo de Q_2/C_{sm} volts. Como esse degrau se repete ciclo após ciclo, a tensão sobe em rampa. Escrevendo o degrau por ciclo em p.u. (dividindo por $V_c = U_{cc}/N$), obtém-se (67).

$$\underbrace{\frac{\Delta v_{f,pu}}{\text{ciclo}}}_{\text{degrau por ciclo}} = \frac{Q_2}{C_{sm}} \frac{N}{U_{cc}} \propto N. \quad (67)$$

Ou seja, o degrau por ciclo em p.u. é proporcional a N : a mesma carga de erro mal move a tensão para N pequeno (pouco acima de 1,05 p.u. em $N = 3$) e a faz divergir para N elevado (cerca de 3,0 p.u. em $N = 30$). Como esse degrau corresponde a uma carga de erro Q_2 que a ordenação não consegue compensar, ao contrário do platô de S_1 , nenhuma modulação consegue reduzi-lo, e ambas divergem de forma comparável, em conformidade com as Figuras 77 e 78.

3.4.3.3 Síntese e implicações para os algoritmos de localização

A falha em S_2 produz assinaturas significativamente mais severas que a falha em S_1 , independentemente da modulação ou do número de submódulos. Enquanto na falha de S_1 a tensão do defeituoso estagna em um valor constante levemente acima do nominal (na NLM) ou cresce moderadamente (na PS-PWM), na falha de S_2 o crescimento é abrupto e divergente, atingindo múltiplos do valor nominal em poucas centenas de milissegundos. Este contraste decorre diretamente da assimetria dos estados de falta: na falha de S_1 , o submódulo apenas perde a capacidade de descarga; na falha de S_2 , eventos de carga involuntária se acumulam a cada ciclo de comutação.

O número de submódulos por braço exerce influência determinante sobre a severidade da assinatura de falta. Em conversores com baixo número de módulos ($N \leq 6$), tipicamente utilizados em bancadas experimentais e protótipos acadêmicos, as assinaturas são atenuadas e podem ser insuficientes para acionar algoritmos de localização baseados em limiar, conforme quantificado adiante na Figura 79. Em contraste, conversores com elevado número de módulos ($N \geq 14$), representativos de aplicações industriais como HVDC, apresentam divergências muito mais acentuadas que facilitam substancialmente a detecção e a localização. Esta observação é de alta relevância prática, pois grande parte da literatura valida seus métodos em conversores com $N = 3$ ou $N = 4$ submódulos, o que pode subestimar a eficácia dos algoritmos quando aplicados em escala industrial, ou inversamente, mascarar limitações que só se manifestam em conversores com poucos módulos.

A modulação NLM com ordenação forçada produz assinaturas mais diferenciadas que a PS-PWM, no sentido de que a separação entre a tensão do submódulo defeituoso e a tensão média dos saudáveis é mais consistente e previsível. A PS-PWM, embora produza excursões absolutas maiores na falha de S_1 , distribui a perturbação de forma menos organizada, elevando também as tensões dos saudáveis e reduzindo o contraste relativo. Para a falha de S_2 , ambas as modulações produzem assinaturas claras para N elevado, porém a NLM mantém vantagem para baixo N .

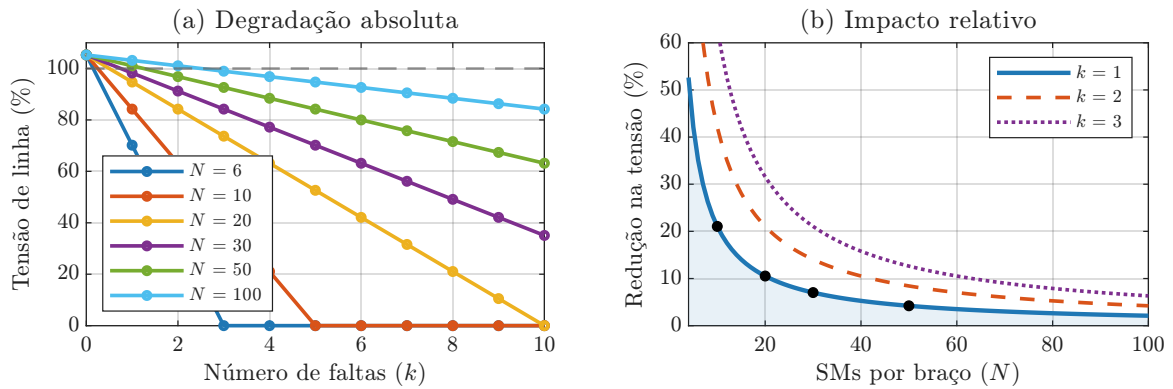
A simulação foi repetida para números superiores a 30, com escala logarítmica até 4.000 módulos e notaram-se as mesmas características citadas anteriormente. Os resultados não foram dispostos no gráfico para melhor visualização.

Estes resultados relevam que resultados em baixos número de módulos podem não ser representativos de condições adequadas para falta, visto que a falta de margem causa instabilidade instantânea do conversor, descaracterizando seu princípio de funcionamento, em conformidade com as simulações feitas durante a revisão bibliográfica do método de (Zhou et al., 2019). Tem-se que dos resultados obtidos, o número mínimo necessário de módulos para um teste adequado é 8, com 10 sendo um bom número com uma margem para a variação de parâmetros de projeto.

Até este ponto, considerou-se apenas uma falta por vez; avalia-se agora o efeito de múltiplas faltas simultâneas (k faltas). De forma a complementar esta análise e tornar quantitativa a influência de N sobre a tolerância a falhas do conversor, elabora-se a Figura 79, que apresenta dois aspectos distintos desta relação. O painel (a) mostra a degradação absoluta da tensão de linha, em percentual do valor nominal, em função do número de faltas k para diferentes configurações de N , sem estratégia de mitigação. Constata-se que o colapso da tensão de saída ocorre de forma linear com o número de faltas, com a inclinação desta queda sendo diretamente proporcional a razão $1/N$: para $N = 6$, uma única falta já representa uma redução de aproximadamente 17%, com o colapso total da tensão ocorrendo com apenas três faltas. Em contraste, para $N = 100$, dez faltas simultâneas ainda preservam cerca de 85% da tensão nominal. O painel (b) reforça esta tendência ao evidenciar o impacto relativo, isto é, a redução percentual da tensão causada por $k = 1, 2$ e 3 faltas em função de N . Para um conversor com $N = 6$, uma única falta resulta em uma queda

de tensão de aproximadamente 21%, reduzindo-se para cerca de 10% em $N = 14$ e tornando-se desprezível para N elevado. Este resultado quantifica de forma objetiva o benefício intrínseco de conversores com elevado número de módulos frente a tolerância a falhas, fundamentando a premissa adotada neste trabalho de que aplicações industriais de alta potência, com N tipicamente superior a 30, possuem robustez inerentemente superior aos protótipos acadêmicos com poucos módulos.

Figura 79 – Impacto do número de submódulos por braço (N) na degradação da tensão de linha em condição de falta.



Fonte: Elaborado pelo autor (2026)

Formalmente, a degradação do painel (a) decorre da capacidade máxima de síntese de tensão do braço, $NV_c = U_{cc}$: perdidos k submódulos por *bypass*, restam $(N - k)$ submódulos ativos e a tensão de linha cai segundo (68).

$$\frac{V_{\text{linha}}(k)}{V_{\text{nom}}} = 1 - \frac{k}{N}, \quad (\text{grampeada em zero}). \quad (68)$$

Para $N = 6$ e $k = 1$, esta lei prevê 83,3% do nominal, ou seja, uma queda de 16,7%, em acordo com os 17% obtidos em simulação. Corrigindo pela fração da capacidade efetivamente disponível para a excursão alternada (fator de utilização $\eta_v \in (0,5, 1]$, determinado pelo índice de modulação), o impacto *relativo* do painel (b) resulta de (69).

$$\frac{\Delta V_{\text{linha}}}{V_{\text{linha}}} = \frac{1}{\eta_v} \frac{k}{N}. \quad (69)$$

Adotando $\eta_v \approx 0,8$, compatível com $m = 0,95$, obtém-se para $N = 6$ e $k = 1$ uma redução de $16,7\%/0,8 \approx 21\%$, igualmente em acordo com a simulação. A dependência $\propto k/N$ explica por que a perda de um único submódulo é severa em conversores com poucos módulos e torna-se desprezível para N elevado, fundamentando quantitativamente a robustez intrínseca das aplicações industriais de alta potência frente aos protótipos acadêmicos de baixo N .

3.5 DIAGNÓSTICO DAS FALHAS DE CURTO-CIRCUITO

Como descrito na seção de revisão bibliográfica, o diagnóstico da falta é normalmente feito em duas etapas, a detecção e a localização da falta. Enquanto a detecção indica o tipo de

falta e o sub-braço afetado, a localização indica a exata posição do submódulo no sub-braço. As duas principais características de ambas as etapas são a velocidade e o esforço computacional.

Na revisão feita por Xiao et al. (2023), chega-se a conclusão que métodos para a detecção de curto-circuito sem a adição de *hardware* adicional não são praticamente viáveis, visto que a propagação da falta pode levar a condições críticas em questão de microssegundos, enquanto os métodos por *software*, mesmo utilizando ferramentas complexas como *Support Vector Machines*, uma categoria de algoritmos de aprendizado de máquina, detectam e localizam a falta na ordem de milissegundos. Conclui-se que os métodos que utilizam *hardware* são viáveis, mas como parte da integração do *Gate Driver* do submódulo, não fazem parte do escopo deste trabalho, com uma possível solução sendo a utilização de sensores ópticos adicionais e *Field Programmable Gate Arrays* (FPGAs) (Bi et al., 2017). Nesta seção, apresentam-se os quatro métodos de identificação baseados em *software* implementados neste trabalho: a média móvel da tensão do capacitor, o coeficiente de correlação, o critério de Grubbs e o observador de modos deslizantes.

3.6 ESTRATÉGIAS AVANÇADAS DE DIAGNÓSTICO DE FALHAS DE CIRCUITO ABERTO

Diferentemente das falhas de curto-circuito, que exigem atuação quase instantânea para evitar a destruição dos semicondutores, as falhas de circuito aberto (OC - *Open Circuit*) apresentam uma dinâmica mais sutil. Conforme discutido em (Xiao et al., 2023), embora um conversor MMC possa continuar operando temporariamente com uma chave aberta, tal condição introduz assimetrias nas correntes de braço e flutuações nas tensões dos capacitores, levando a saturação dos controladores e distorção harmônica na rede ca.

De acordo com a mesma referência, os métodos de diagnóstico (FDI - *Fault Detection and Isolation*) são classificados em três categorias: baseados em conhecimento (Inteligência Artificial e Redes Neurais), baseados em *hardware* (sensores extras) e baseados em modelos e sinais analíticos. Neste trabalho, foca-se na terceira categoria, selecionando abordagens que utilizam os sensores padrões do sistema, porém diferem na variável de estado monitorada e na técnica de processamento. Nota-se que a tensão do capacitor do submódulo, corroborada pelas simulações deste trabalho, é a variável mais confiável para o isolamento do componente defeituoso, visto que a corrente de braço revela apenas anomalias globais. Todavia, isto não descarta técnicas que utilizam variáveis como os sinais de gatilho ou observadores que estimam valores esperados para as grandezas do circuito.

Apresentam-se a seguir as quatro estratégias implementadas, ordenadas pela complexidade conceitual. Utiliza-se de diversos níveis de complexidade devido à falta de consenso na literatura sobre qual abordagem é mais eficaz, visto que a maioria dos trabalhos não abordam comparações gerais como aquela feita na seção anterior, e a escolha de uma técnica de diagnóstico deve levar em consideração as características específicas do sistema, os requisitos de desempenho e as restrições de implementação. Assim, é importante adotar uma abordagem pragmática para avaliar o compromisso entre velocidade, robustez e esforço computacional, não

descartando técnicas mais simples que, embora menos sofisticadas podem ser efetivas e de fácil implementação, especialmente em sistemas embarcados com recursos limitados.

3.6.1 Diagnóstico através de Média Móvel da Tensão do Capacitor

Apresenta-se em Li, Liu e Zhang (2019) um método intuitivo e diretamente relacionado a física do conversor descrita na fundamentação teórica deste trabalho. A técnica explora a característica de bloqueio do caminho de energia que ocorre durante falhas de chaves, conforme descrito nas Tabelas 15 e 16.

Conforme discutido na Tabela 14, a operação normal de um submódulo envolve ciclos alternados de carga e descarga. No caso de uma falha em S_1 (interruptor superior), o caminho de descarga é bloqueado quando a corrente do braço é positiva, de forma que o capacitor pode ser carregado pelo diodo antiparalelo D_1 , mas não pode descarregar através de S_1 . Já para uma falha em S_2 (interruptor inferior), o caminho de *bypass* é comprometido, forçando a corrente a fluir pelo diodo D_1 em momentos indevidos, carregando o capacitor inadvertidamente. Em ambos os casos, o balanço de energia em um período fundamental completo torna-se necessariamente positivo ao invés de nulo, fazendo com que a tensão do capacitor eleve-se além do valor nominal esperado de U_{cc}/N .

A tensão instantânea de um capacitor no MMC contém componentes de frequência fundamental (50Hz / 60Hz), harmônicas de segunda ordem provenientes da corrente circulante e componentes de chaveamento. Para fins de diagnóstico, essas oscilações são tratadas como ruído. Dessa forma, o método aplica um Filtro de Média Móvel com janela temporal T_T , conforme equacionado em (70):

$$\bar{v}_{c,i}(k) = \frac{1}{M_T} \sum_{j=0}^{M_T-1} v_{c,i}(k-j) \quad (70)$$

Onde M_T é o número de amostras correspondente a janela T_T . A escolha de T_T envolve um compromisso entre velocidade e robustez: janelas iguais ao período da fundamental eliminam a oscilação ca, facilitando a detecção, porém introduzem um atraso de um ciclo de rede (aproximadamente 16ms). Janelas menores são mais rápidas, mas mantêm maiores oscilações, exigindo limiares de detecção mais altos para evitar falsos positivos.

O critério de falha é então definido conforme (71):

$$F_i = \begin{cases} 1(\text{Falha}), & \text{se } \bar{v}_{c,i} > K_{th} \cdot U_{sm} \\ 0(\text{Normal}), & \text{se } \bar{v}_{c,i} \leq K_{th} \cdot U_{sm} \end{cases} \quad (71)$$

Onde K_{th} é um fator de segurança, tipicamente entre 1,2 e 1,3, conforme sugerido em Li, Liu e Zhang (2019). A simplicidade deste método permite sua implementação em FPGAs ou DSPs de baixo custo com esforço computacional mínimo, sendo esta a sua principal vantagem quando comparado aos demais métodos apresentados.

3.6.2 Diagnóstico através do Coeficiente de Correlação

Demonstra-se em Zhou et al. (2019), conforme também revisado na seção de revisão bibliográfica, um método que utiliza a correlação cruzada entre as tensões dos capacitores para isolar o submódulo defeituoso. O método parte da premissa de que, em um conversor MMC operando com algoritmos de balanceamento de tensão (como o *sorting algorithm* ou modulação PS-PWM), as tensões de todos os submódulos saudáveis em um mesmo braço possuem formas de onda altamente correlacionadas.

Antes de calcular a correlação, utiliza-se uma etapa de detecção baseada em modelo para identificar quando ocorre uma falha. Estima-se a tensão total do braço ($u_{e,arm}$) baseando-se na dinâmica da corrente medida e nos estados de chaveamento, conforme detalhado nas equações (45) a (51) da revisão bibliográfica. O erro normalizado $\varepsilon_{u/l,arm}$, apresentado em (72), dispara o gatilho de diagnóstico.

$$\varepsilon_{u/l,arm} = \frac{N \cdot \Delta u_{u/l,arm}(k-1)}{U_{cc}} \quad (72)$$

Dessa forma, quando $|\varepsilon_{u/l,arm}| > T_{th}$, o algoritmo de localização por correlação é ativado. Para a localização, calcula-se o coeficiente de correlação de Pearson (ρ_{xy}) entre as tensões de dois capacitores x e y , conforme equacionado em (73).

$$\rho_{u/l,mn} = \frac{\sum_{i=1}^L (u_{c,m,i} - \bar{u}_{c,m})(u_{c,n,i} - \bar{u}_{c,n})}{\sqrt{\sum_{i=1}^L (u_{c,m,i} - \bar{u}_{c,m})^2 \sum_{i=1}^L (u_{c,n,i} - \bar{u}_{c,n})^2}} \quad (m, n = 1, 2, \dots, N; m \neq n) \quad (73)$$

A lógica de diagnóstico baseia-se na comparação par-a-par: submódulos saudáveis mantêm $\rho \approx 1$ entre si, visto que suas tensões variam de forma coerente. Já o submódulo em falha, cuja tensão diverge do padrão do grupo devido ao bloqueio de carga ou descarga, apresenta coeficiente de correlação drasticamente inferior ($\rho \ll 1$) em relação aos vizinhos.

Um ponto importante a se considerar sobre este método é a sua aplicação a conversores com alto número de submódulos e modulação *Nearest Level Modulation*, informação que não foi abordada no trabalho original. Nota-se que na seção de revisão bibliográfica este método demonstrou-se ineficaz em operar durante a falta com este tipo de modulação, porém o conversor simulado possuía poucos submódulos quando comparado a aplicações comuns desta modulação. Desta forma, a investigação deste comportamento com número elevado de submódulos é um dos pontos abordados na simulação deste trabalho.

3.6.3 Diagnóstico através do Critério de Grubbs com Suavização Exponencial

Em (Jin et al., 2020) propõe-se um método que também utiliza princípios estatísticos, porém com foco na identificação de valores atípicos (*outliers*) na distribuição de magnitude das tensões, ao invés da similaridade de forma de onda. Em operação normal, as tensões dos N submódulos formam um conjunto estatístico coeso. Para distinguir falhas de ruídos, o método

não utiliza a tensão bruta, mas a Variação de Tensão do Capacitor, abreviada por CVV no trabalho original, processada por uma Suavização Exponencial de Holt para prever o comportamento futuro ($t + 1$). As estatísticas de suavização (S'_t, S''_t) filtram a dinâmica lenta, conforme indicado em (74).

$$\begin{cases} S'_t = \alpha y_t + (1 - \alpha)S'_{t-1} \\ S''_t = \alpha S'_t + (1 - \alpha)S''_{t-1} \end{cases} \quad (74)$$

Onde α é o coeficiente de suavização. O resíduo de predição é então utilizado como a característica de falha x_i . Com esta característica, o algoritmo calcula o Score Z modificado (G_i) para cada submódulo i , conforme (75):

$$G_i = \frac{|x_i - \bar{x}|}{\sigma} \quad (75)$$

Onde $\bar{x}$ e σ são a média e o desvio padrão das características de todos os submódulos do braço. O valor G_i é comparado a um limiar crítico G_{crit} tabelado estatisticamente, de forma que se $G_i > G_{crit}$, rejeita-se a hipótese nula de saúde do componente, confirmando a falha. Esta abordagem é vantajosa por ser auto-adaptável e não exigir o conhecimento exato dos parâmetros L_a e C_{sm} do circuito, o que a diferencia das demais técnicas apresentadas que dependem de valores de projeto.

3.6.4 Diagnóstico através de Observador de Modos Deslizantes (SMO)

Por fim, apresenta-se em Shao et al. (2016) uma estratégia baseada em modelo que aborda o problema sob a ótica da teoria de controle robusto, utilizando a dinâmica da corrente circulante (i_c) ao invés das tensões individuais dos capacitores para a detecção inicial. A dinâmica da corrente circulante, definida conforme (26), é governada pela Lei de Kirchhoff aplicada ao circuito do MMC, conforme (76).

$$2L_a \frac{di_c}{dt} = - \sum_{i=1}^N s_{HB_i} v_{c,i} + U_{cc} \quad (76)$$

Onde L_a é a indutância do braço, s_{HB_i} e $v_{c,i}$ são o estado de chaveamento e a tensão do capacitor da célula i , e U_{cc} é a tensão total do barramento cc. Com base nesta equação, o observador de modos deslizantes é construído conforme (77).

$$\frac{d\hat{i}_c}{dt} = - \frac{1}{2L_a} \left(\sum_{i=1}^N s_{HB_i} v_{c,i} - U_{cc} \right) + K_L \text{sat}(i_c - \hat{i}_c) \quad (77)$$

Onde $\hat{i}_c$ é a corrente circulante estimada, K_L é o ganho do observador e $\text{sat}(\cdot)$ é uma função de saturação. O ganho K_L deve satisfazer $K_L < v_{c,i}/(2L_a)$ para que o observador entre no modo deslizante na presença de uma falta de circuito aberto. Em condições normais de operação, $\hat{i}_c$ segue i_c de forma próxima, visto que o modelo do observador corresponde ao comportamento real do conversor.

Quando uma falta de circuito aberto ocorre, o estado de chaveamento real da célula em falta diverge do estado comandado s_{HB_i} , de forma que o observador, que utiliza o sinal de comando, não reflete mais a realidade do circuito. Isto gera uma divergência entre $\hat{i}_c$ e i_c , que é detectada quando o erro $|i_c - \hat{i}_c|$ supera um valor de limiar I_{th1} e persiste por um período mínimo considerado pelo projetista, evitando falsos positivos. Este critério de persistência temporal é importante visto que transitórios de carga e ruídos podem gerar picos momentâneos no erro sem que haja uma falta real.

Todavia, como a corrente circulante é uma variável global do braço, a detecção por si só não indica qual módulo falhou. Dessa forma, o algoritmo emprega um processo de localização denominado *Assumption-Verification*. Após a detecção da falta, assume-se que a célula i , interruptor T_j , é o dispositivo defeituoso. Para refletir esta hipótese, modifica-se o estado de chaveamento s_{HB_i} na equação do observador (77) de acordo com o comportamento esperado de uma célula em falta, conforme as tabelas de estados de comutação em falta. Nota-se que em determinados momentos do período fundamental, a corrente do braço em falta é grampeada a zero, de forma que $\hat{i}_c$ é igualado a i_c nestes instantes para reinicializar o observador.

Com a hipótese aplicada, executa-se novamente o observador e verifica-se o comportamento do erro. Caso a célula assumida seja de fato a defeituosa, a modificação do estado de chaveamento faz com que o modelo do observador corresponda novamente à realidade do circuito, e portanto $\hat{i}_c$ converge para i_c , validando a hipótese. Caso a hipótese esteja incorreta, o modelo continua inconsistente com o circuito real e $\hat{i}_c$ diverge de i_c , com o erro $|i_c - \hat{i}_c|$ ultrapassando um segundo valor de limiar I_{th2} . Neste caso, a hipótese é descartada e o procedimento é repetido para a próxima célula e interruptor, iterando entre as possíveis localizações até que a convergência seja obtida. Os valores de I_{th1} e I_{th2} são dependentes da carga, conforme sugerido em Shao et al. (2016) e equacionado em (78).

$$\begin{cases} K_L = \frac{I_c}{I_{co}} K_{L,o}, & K_L \geq \frac{K_{L,o}}{8} \\ I_{th1} = 2I_c, & I_{th1} \geq \frac{I_{co}}{2} \\ I_{th2} = I_c, & I_{th2} \geq \frac{I_{co}}{4} \end{cases} \quad (78)$$

Onde I_c é a corrente circulante atual, I_{co} é a corrente circulante em plena carga e $K_{L,o}$ é o ganho do observador em plena carga.

Percebe-se que o procedimento sequencial de *Assumption-Verification* possui tempo de localização dependente do número de células N e da posição da célula defeituosa, visto que no pior caso é necessário testar todas as hipóteses antes de encontrar a correta. Para um conversor com N células e dois interruptores por célula, o tempo máximo de localização pode ser de até $2N$ tentativas. Todavia, existe a possibilidade de paralelizar o processo de localização, executando $2N$ observadores simultaneamente, cada um com uma hipótese de falta diferente. Neste caso, cria-se um observador para cada combinação possível de célula e interruptor, de forma que todos operam em paralelo utilizando as mesmas medições de corrente e tensão. A vantagem

desta abordagem é que apenas o observador cuja hipótese corresponde a falta real apresentará convergência de $\hat{i}_c$ para i_c , enquanto todos os demais divergirão. Desta forma, a localização leva apenas um ciclo para a detecção, independentemente da posição da falta, reduzindo o tempo total de localização ao tempo de convergência de um único observador.

Nota-se que o custo desta paralelização é o aumento proporcional da carga computacional, visto que $2N$ equações diferenciais devem ser resolvidas simultaneamente. Para conversores com número elevado de submódulos, como em aplicações HVDC, isto pode ser proibitivo sem *hardware* dedicado. Todavia, para conversores com número moderado de células, a implementação em FPGA viabiliza esta abordagem, visto que a natureza paralela do *hardware* reconfigurável permite a execução simultânea dos observadores sem penalidade significativa de tempo. O artigo original demonstra a implementação em FPGA utilizando aritmética de ponto fixo, o que corrobora a viabilidade da paralelização em aplicações práticas.

Além disso, destaca-se que o método propõe a compensação de incertezas paramétricas e perturbações através da extração do termo de injeção do observador $-L_{sat}(\hat{x})$, o qual, em regime de modo deslizante, contém informações sobre as incertezas e distúrbios do sistema. Este valor estimado, obtido pela filtragem passa-baixa do termo de injeção, é realimentado no observador para compensar os efeitos de erros de medição, resistências parasitas e tolerâncias dos componentes, tornando o método robusto mesmo em condições práticas.

3.7 SÍNTESE COMPARATIVA DAS METODOLOGIAS

A seleção destas quatro técnicas visa cobrir o espectro de soluções apontado em Xiao et al. (2023). A Tabela 19 sintetiza as características teóricas, ordenadas da menor para a maior complexidade de implementação.

Tabela 19 – Comparação Teórica das Estratégias de Diagnóstico Seleccionadas.

Característica	Média Móvel	Correlação (Zhou)	Critério de Grubbs	Observador (SMO)
Princípio Físico	Acúmulo de Energia	Similaridade de Forma	Análise de Valores Atípicos	Modelo Matemático
Variável Monitorada	Tensão Média	Tensão (Forma de onda)	Tensão (CVV)	Corrente Circulante
Complexidade Matemática	Baixa	Média/Alta	Média	Alta
Carga Computacional	Baixa	Alta (Cálculo de ρ)	Média (Iterativo)	Alta (Eq. Diferenciais)
Sensibilidade a Parâmetros	Nula	Média (Sensível a modulação)	Baixa (Auto-adaptável)	Média (Requer L_d e R_d)
Velocidade de Detecção	Baixa (Atraso filtro)	Média (Janela estatística)	Média	Alta (Sub-ciclo)
Robustez a Ruído	Média	Alta (Filtragem por correlação)	Alta (Suavização)	Alta (Modos deslizantes)

3.8 OPERAÇÃO MONOFÁSICA EM FALTA PÓS-LOCALIZAÇÃO

Para elevar a confiabilidade e garantir a operação contínua de Conversores Multiníveis Modulares (MMC) sob condições de falta, a inserção de submódulos (SMs) redundantes é a abordagem padrão. A gestão estrutural e algorítmica destes módulos adicionais é classicamente dividida nas estratégias de *Hot Reserve* e *Cold Reserve*, cujas dinâmicas de operação e impactos no modelo matemático do conversor diferem substancialmente. As técnicas podem ser aplicadas

tanto para conversores monofásicos e trifásicos e seus princípios funcionam como base para a compreensão de técnicas mais complexas.

3.8.1 Estratégia de *Cold Reserve* (Reserva Fria)

Apresenta-se na literatura em Li et al. (2015) um método de controle para a transição suave (*seamless transition*) de conversores MMC que operam com submódulos redundantes em modo de *Cold Reserve*. Em oposição a estratégia de *Hot Reserve*, esta abordagem mantém os módulos de redundância isolados do circuito principal através de contadores de *bypass* durante as condições normais de operação, o que reduz de forma significativa as perdas por condução. A complexidade desta técnica, no entanto, reside na dinâmica de transição ocorrida no exato instante de mitigação de uma falta.

Quando um defeito é detectado e o submódulo correspondente é isolado, um módulo de redundância é ativado e inserido no circuito. Neste instante, o capacitor deste módulo redundante encontra-se completamente descarregado ($U_{C,I} = 0$). Por conseguinte, o submódulo recém-inserido opera momentaneamente como um retificador a diodo não controlado, onde o seu estado de condução passa a depender exclusivamente da direção da corrente do braço. A tensão nos terminais deste módulo inserido ($u_{SM,I}$) pode ser expressa conforme (79).

$$u_{SM,I} = \begin{cases} U_{C,I}, & \text{se } i_{arm} > 0 \\ 0, & \text{se } i_{arm} \leq 0 \end{cases} \quad (79)$$

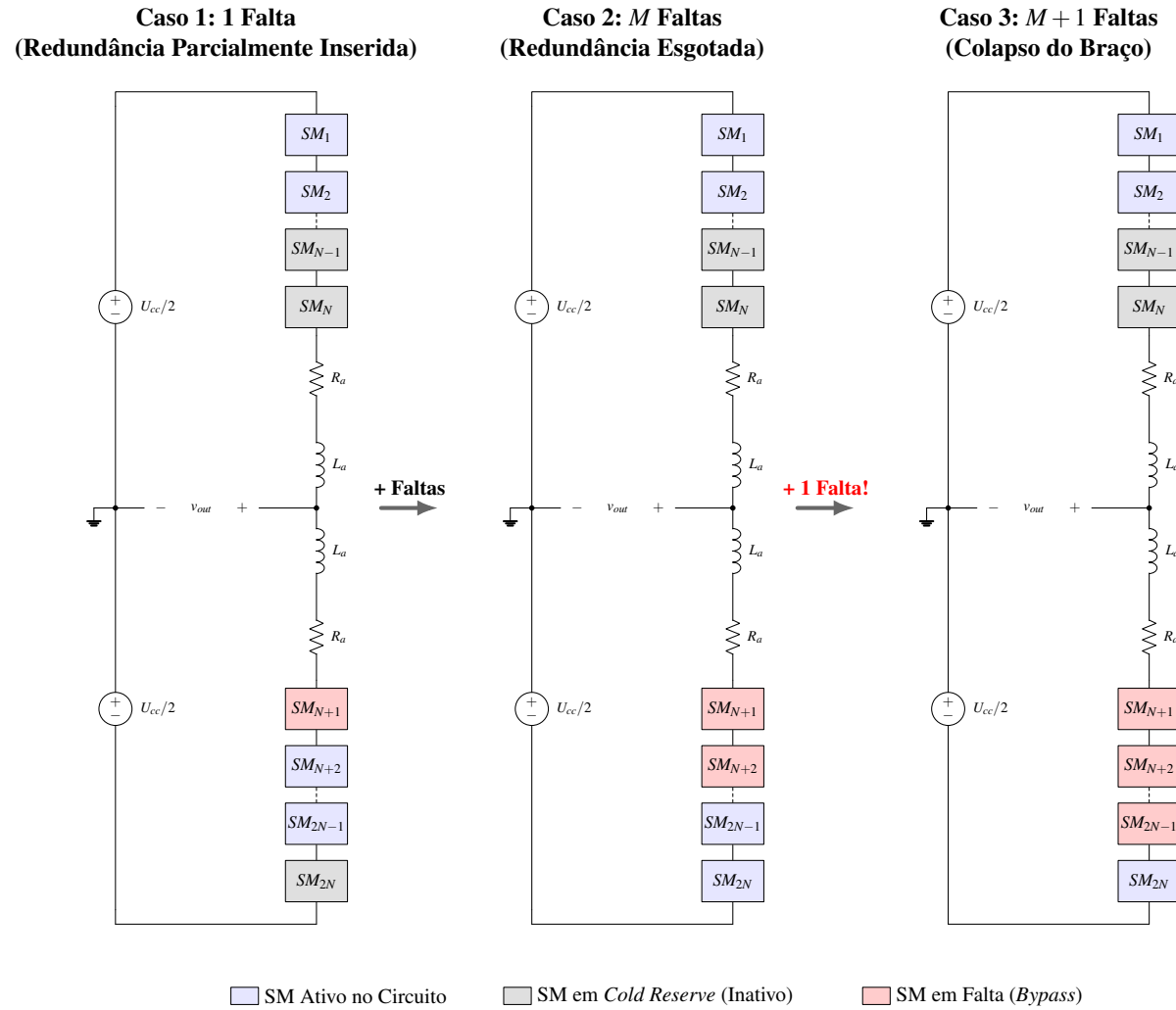
onde a corrente positiva ($i_{arm} > 0$) indica o carregamento do capacitor através do diodo de roda livre.

Devido à ausência da tensão do módulo defeituoso e a inclusão da tensão incontrollável $u_{SM,I}$, a tensão sintetizada pelo braço sofre uma distorção inevitável. Caso não seja compensada dinamicamente, esta distorção pode desestabilizar o conversor. Para garantir que o conversor opere de forma contínua e sem distorções óbvias nas formas de onda, a estratégia de controle propõe a utilização de uma compensação baseada em *feedforward*. Tomando o braço inferior como exemplo, a soma das tensões dos $N - 1$ submódulos saudáveis remanescentes deve ser ajustada em tempo real subtraindo-se o valor de $u_{SM,I}$, conforme (80).

$$\sum_{i=1}^{N-1} u_{SM,l,i} = \frac{U_{cc}}{2} + v_{out}(t) - u_{SM,I} \quad (80)$$

O processo de transição é concluído de forma imperceptível quando a tensão do capacitor recém-inserido alcança o valor nominal de operação do submódulo (U_{sm}). O tempo de carregamento (T_C), que define a duração deste período transiente, pode ser aproximado pela integração da corrente média do braço (I_{avg}). Demonstra-se na Figura 80 a evolução da mitigação de faltas em um conversor MMC com redundância em *Cold Reserve*, destacando a inserção do módulo redundante.

Figura 80 – Evolução da Mitigação de Falhas no MMC com *Cold Reserve*: Inserção da Redundância.



Fonte: Elaborado pelo autor (2026)

Dessa maneira, o tempo de transição é calculado através da equação (81).

$$T_C = \frac{C_{sm} \cdot U_{sm}}{I_{avg}} \quad (81)$$

Através desta formulação, assegura-se um carregamento linear do capacitor do módulo redundante, permitindo uma mitigação livre de picos de corrente e preservando a estabilidade da operação do conversor MMC.

A Figura 80 ilustra a progressão dos estados operacionais de um braço do conversor sob a estratégia de *Cold Reserve* à medida que múltiplas faltas ocorrem. No Caso 1, diante de uma falha isolada, o submódulo defeituoso é colocado em estado de *bypass* (representado em vermelho). Em resposta, um módulo de redundância, que permanecia isolado e inativo (em cinza), é inserido no circuito (em azul) para substituir o módulo defeituoso, enquanto os demais módulos de reserva continuam em espera. O Caso 2 demonstra a operação no limite da tolerância a falhas do sistema, no qual ocorrem M faltas. Neste cenário de contingência máxima, toda a redundância de reserva fria disponível é esgotada, sendo todos os submódulos inativos inseridos para manter a operação nominal; não há, contudo, margem física para acomodar novas falhas. Por fim, Caso 3 retrata o colapso estrutural do braço diante de $M + 1$ faltas. Como o número de submódulos danificados excede a quantidade total de módulos redundantes instalados, o braço não possui mais submódulos ativos em número suficiente para sintetizar a tensão requisitada, resultando na inevitável interrupção e falha do conversor.

3.8.2 Estratégia de *Hot Reserve* (Reserva Quente)

Na estratégia de *Hot Reserve*, apresentada em Konstantinou et al. (2013), a topologia do MMC é configurada com $N + M$ submódulos ativos por braço, onde N representa o número de módulos necessários para sintetizar a tensão nominal em níveis e M denota o número de módulos de redundância ativa. Nesta configuração, não há distinção de *hardware* ou de controle entre os SMs originais e os redundantes. Pode-se dizer que é o equivalente do sobredimensionamento dos componentes de forma que os mesmos suportem operar com números reduzido de módulos, efetivamente aumentando os estresses de tensão aplicados, visto que em regra geral, a tensão do barramento cc é dividida de forma igualitária entre o número total de módulos ativos, como descrito na seção de revisão bibliográfica.

A tensão de referência de cada capacitor, V_C , mantém-se inalterada em relação a topologia padrão, sendo definida por (82).

$$V_{Cuj} = V_{Clj} = \frac{U_{cc}}{N} \quad (82)$$

onde U_{cc} é a tensão do barramento de corrente contínua. Consequentemente, a soma das tensões nominais disponíveis em cada braço supera a tensão do barramento cc, devido aos M módulos extras, resultando em (83).

$$V_{arm,total} = \sum_{j=1}^{N+M} V_{Cj} = (N + M) \frac{U_{cc}}{N} > U_{cc} \quad (83)$$

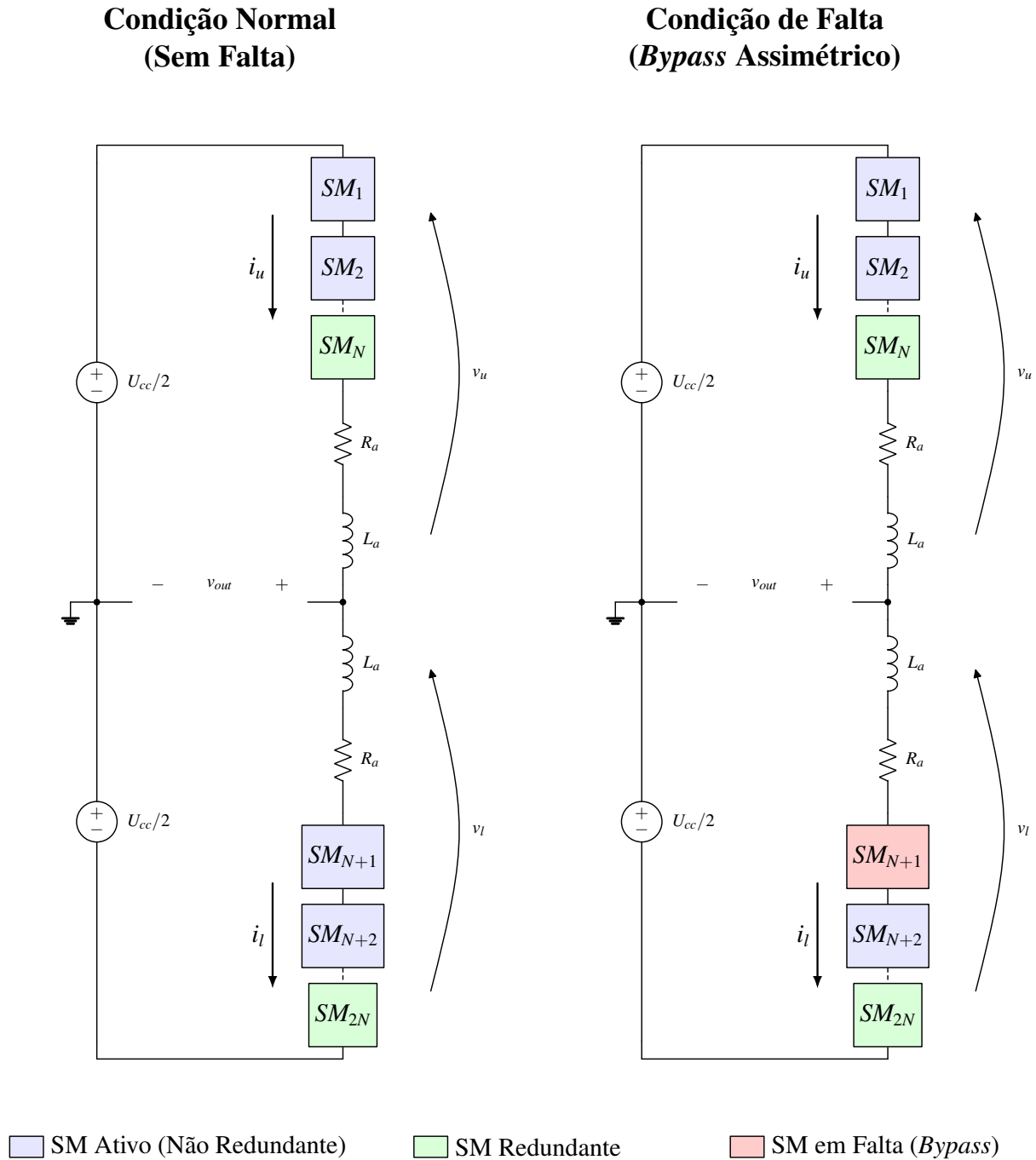
Adicionalmente, a redução do ciclo de trabalho médio de cada SM mitiga a ondulação de tensão nos capacitores em regime permanente. A mitigação de faltas ocorre de forma natural: o módulo defeituoso é colocado em *bypass* e o conversor passa a operar com $N + M - 1$ módulos, sem que ocorram distúrbios de *inrush*, visto que a energia armazenada nos capacitores redundantes já se encontra no valor nominal de operação. Esta sequência pode ser seguida desde que haja M módulos extras disponíveis para suprir o número de faltas, de forma a não superar as características elétricas máximas dos componentes do conversor.

Em conversores sem redundância, o *bypass* simétrico consiste em desligar intencionalmente submódulos saudáveis nos restantes braços e fases do conversor para igualar o número de módulos ativos ao do braço em falha. Embora isto mantenha o equilíbrio natural das tensões, resulta na redução irreversível da máxima tensão de saída do conversor. Por outro lado, o *bypass* assimétrico isola apenas o módulo defeituoso, mas exige a injeção de correntes circulantes ou tensões de sequência zero para compensar o desequilíbrio de tensão gerado entre os braços, com intuito de balancear a energia disponível entre os sub-braços superiores e inferiores.

Todavia, a adoção da estratégia de *Hot Reserve* altera este paradigma, permitindo que o conversor opere com um *bypass* assimétrico sem as desvantagens de controle associadas. Como o braço já dispõe de submódulos redundantes a operar ativamente ($N + M$), a falha e o consequente isolamento de um módulo reduzem a disponibilidade do braço para $N + M - 1$ submódulos. Os restantes braços saudáveis permanecem com $N + M$ módulos operacionais.

Como a condição $N + M - 1 \geq N$ (onde N é o número mínimo de módulos para sintetizar a tensão nominal) continua a ser satisfeita, não há necessidade de executar um *bypass* simétrico. O conversor absorve a falha mantendo uma assimetria física no número de submódulos disponíveis entre os braços. O algoritmo de controle reage de forma natural a esta nova topologia, redistribuindo o esforço de síntese de tensão e a corrente do braço pelos módulos restantes. Desta forma, o conversor mantém a sua operação nominal e a qualidade das formas de onda na saída sem sacrificar submódulos saudáveis.

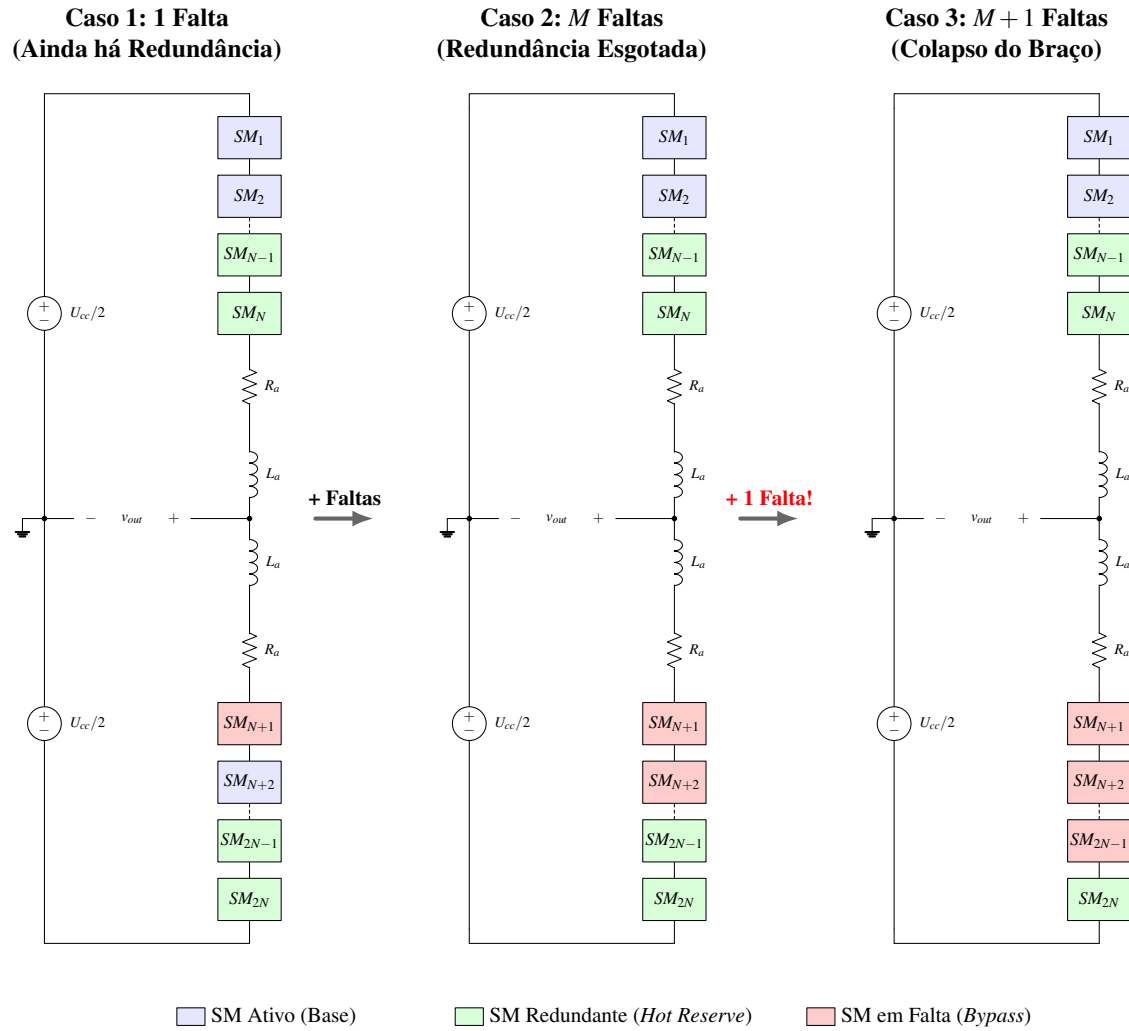
Figura 81 – Comparação do Conversor MMC: Operação Normal vs. *Bypass* Assimétrico com *Hot Reserve*.



Fonte: Elaborado pelo autor (2026)

A Figura 81 ilustra a mitigação de falhas através do *bypass* assimétrico na estratégia de *Hot Reserve*. Na ocorrência de um defeito, apenas o submódulo afetado é isolado do circuito. Como os módulos redundantes já se encontram em operação ativa, o braço comprometido mantém a capacidade de sintetizar a tensão nominal exigida sem a necessidade de desligar submódulos saudáveis nos restantes braços. Esta assimetria estrutural é compensada de forma natural pelo sistema de controle, preservando o desempenho e a capacidade máxima do conversor.

Figura 82 – Evolução da Mitigação de Falhas no MMC com *Hot Reserve*: Consumo da Redundância.



Fonte: Elaborado pelo autor (2026)

A Figura 82 ilustra a dinâmica de degradação e o limite de mitigação de um braço do conversor MMC a operar com a estratégia de *Hot Reserve*. Para efeitos de demonstração, o processo é dividido em três cenários cronológicos ou de gravidade crescente, assumindo que o braço necessita de um número mínimo N de submódulos para a síntese da tensão nominal e possui M submódulos redundantes:

- Caso 1: é ilustrada a ocorrência de uma falha isolada em um submódulo. O sistema de controle atua contornando (*bypass*) o módulo defeituoso, o que o retira do circuito de potência. Como a quantidade de falhas é estritamente inferior a redundância total projetada (neste caso, $1 \leq M$), o conversor absorve o defeito de forma transparente. A capacidade de redundância é apenas parcialmente consumida, restando módulos de reserva a operar ativamente e a garantir a distribuição adequada das tensões.
- Caso 2: representa o limite operacional crítico da estratégia de mitigação. Neste cenário, o número de submódulos em falha iguala exatamente o número de módulos redundantes instalados ($Y = M$). A redundância do braço encontra-se totalmente esgotada. Apesar desta condição extrema, o conversor continua a operar e a sintetizar a tensão nominal de forma ininterrupta, uma vez que os N submódulos exigidos permanecem funcionais. Contudo, o sistema passa a operar em um estado de vulnerabilidade máxima, perdendo qualquer margem de segurança para falhas adicionais.
- Caso 3: demonstra o colapso estrutural da operação do braço. Quando a quantidade de falhas excede a capacidade de redundância disponível ($M + 1$ faltas), o número de submódulos saudáveis torna-se inferior a N . Consequentemente, o braço perde a capacidade física de bloquear a totalidade da tensão do barramento contínuo e de sintetizar os níveis de tensão necessários na saída. Esta condição impossibilita a continuidade da estratégia de tolerância a falhas, resultando na falha crítica do braço e na consequente parada de funcionamento do conversor para evitar danos severos aos equipamentos.

3.9 OPERAÇÃO TRIFÁSICA EM FALTA PÓS-LOCALIZAÇÃO

Nesta seção, são analisadas as técnicas que são aplicadas unicamente para conversores trifásicos visto que as técnicas dependem de características do sistema, como o descolamento de neutro e injeção de componentes de sequência zero.

3.9.1 Estratégia Pós-Falta Baseada em Deslocamento do Neutro (*Neutral-Shift*)

Apresenta-se na literatura através de (Yang; Qin; Saeedifard, 2016) um método de operação pós-falta fundamentado na estratégia de Deslocamento do Neutro (*Neutral-Shift*). Em condições normais, o conversor MMC sintetiza um conjunto equilibrado de tensões de fase com amplitudes idênticas e defasadas exatamente em 120° . No entanto, na ocorrência de falhas em submódulos, a tensão máxima que o braço afetado consegue gerar é reduzida.

Se o sistema for forçado a manter a simetria estrita das tensões de fase (medidas em relação ao ponto neutro do barramento cc), a tensão máxima de linha disponível na saída é estrangulada e limitada a capacidade da fase mais danificada, conforme a equação (84):

$$V_{max,fase} = \frac{N - N_f}{N} \frac{U_{cc}}{2} \quad (84)$$

onde N_f é o número de módulos em falha no respectivo braço e U_{cc} é a tensão do barramento cc.

Para contornar esta limitação e maximizar a transferência de potência, a estratégia de *Neutral-Shift* abandona a exigência de simetria nas tensões de fase. Ajustam-se as referências de modulação de tal forma que as tensões de fase tornem-se desbalanceadas (tanto em magnitude quanto em ângulo de fase). A geometria fasorial garante, contudo, que a tensão diferencial entregue a carga (tensão de linha) permaneça perfeitamente equilibrada.

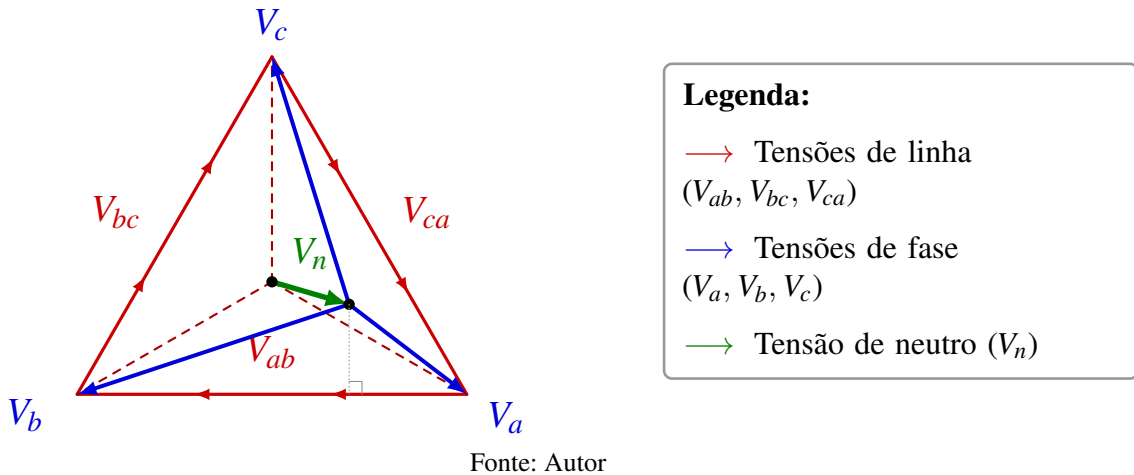
Fisicamente, isto se traduz no deslocamento do ponto neutro virtual da carga (ponto O') para longe da origem ideal do conversor (ponto O), afastando-se do vetor da fase em falta. A nova referência de tensão para cada fase j ($j \in \{a, b, c\}$) passa a ser dada por (85):

$$v_{s,j}^{novo} = m_j \frac{U_{cc}}{2} \cos(\omega t + \varphi_{m,j}) \quad (85)$$

onde m_j é o novo índice de modulação individual reajustado e $\varphi_{m,j}$ é o novo ângulo de fase. O cálculo destes novos ângulos depende de um ângulo de deslocamento δ calculado em tempo real pelo controlador para garantir o fechamento do triângulo equilátero de tensões de linha.

A dinâmica desta maximização geométrica está ilustrada no diagrama fasorial da Figura 83.

Figura 83 – Diagrama fasorial ilustrando o método *Neutral-Shift*: tensões de fase desbalanceadas para manter tensões de linha simétricas.



Para que a estratégia de *Neutral-Shift* seja aplicável e estável no conversor MMC, duas condições matemáticas de contorno devem ser rigorosamente satisfeitas:

1. Balanço cc Interno: O número de falhas no braço superior ($N_{f,u,j}$) deve ser igual ao número de falhas no braço inferior ($N_{f,l,j}$) da mesma fase. Caso contrário, haverá assimetria na

capacidade de bloqueio da tensão cc, o que exige que o controlador induza o *bypass* simétrico de módulos saudáveis no braço oposto, respeitando a restrição:

$$N_{f,u,j} = N_{f,l,j} \leq \frac{N}{2} \quad (86)$$

2. Fechamento Geométrico: As tensões máximas sintetizáveis pelas três fases após a falha ($V_{max,a}, V_{max,b}, V_{max,c}$) devem ser capazes de formar um triângulo fechado, o que é validado pela desigualdade triangular descrita em (87):

$$V_{max,a} + V_{max,b} > V_{max,c} \quad (87)$$

A relação de (87) deve ser verdadeira para todas as permutações das três fases.

É imperativo notar que a assimetria angular introduzida no método *Neutral-Shift* afeta o balanço de potência intra-braço. Isso induz o surgimento de componentes indesejadas de sequência negativa e componentes de dupla frequência nas correntes circulantes. Por essa razão, a aplicação da técnica exige, obrigatoriamente, a implementação simultânea de um supressor de corrente circulante (CCS) modificado para eixos rotativos dq , a fim de garantir a estabilidade térmica dos capacitores restantes. Estes aspectos não são aprofundados neste trabalho por se tratarem de temas avançados de qualidade de energia e processamento de potência, restando como sugestão para trabalhos futuros.

3.9.2 Estratégia de Injeção Combinada de Tensão de Sequência Zero (CZVI)

Embora métodos isolados como a injeção de sequência zero balanceada (BZVI), na qual injeta-se apenas uma componente de sequência zero equilibrada sem deslocar o ponto neutro, funcionem bem para faltas leves, e abordagens como o *Neutral-Shift*, apresentado na seção anterior, consigam extrair a máxima tensão de linha em faltas severas, ambas possuem limitações. O método BZVI falha em graus elevados de defeito, e o *Neutral-Shift* isolado possui um limite de redundância nulo (a máxima tensão de saída já começa a cair na primeira falha se não houver reserva). O método CDCNS (*Combined DC-injection and Neutral-Shift*), demonstrado em Li et al. (2024), que une o *Neutral-Shift* a uma injeção de nível cc, resolve parte do problema, mas exige um cálculo iterativo computacionalmente inviável para encontrar o ponto ótimo de operação em tempo real.

Para solucionar essa lacuna de forma analítica e direta, apresenta-se a Estratégia de Injeção Combinada de Tensão de Sequência Zero (CZVI), proposta por Li et al. (2024). Esta técnica unifica a injeção cc, o *Neutral-Shift* e um novo método BZVI concebido especificamente para operar sob assimetria angular.

O diferencial desta abordagem reside no uso da Capacidade de Saída de Fase (*Phase Output Capacity – POC*). Em vez de forçar as fases saudáveis ao seu limite máximo (o que pode causar distorções geométricas e resultados subótimos, empurrando o neutro para fora da região

de operação), o algoritmo avalia a real capacidade da fase perante as restrições de injeção. A execução matemática da estratégia CZVI ocorre em quatro passos sequenciais:

Passo 1: Cálculo Analítico da Injeção cc

Seja $N_{f,max,u}$ o maior número de falhas entre os três braços superiores e $N_{f,max,l}$ o maior número de falhas entre os braços inferiores. A tensão cc de sequência zero ($U_{cc,zero}$) necessária para recuperar a simetria do barramento é calculada de forma direta por (88):

$$U_{cc,zero} = \frac{N_{f,max,u} - N_{f,max,l}}{2} \cdot U_{sm} \quad (88)$$

Passo 2: Avaliação da Capacidade de Saída de Fase (POC)

A injeção cc afeta desigualmente a capacidade útil de cada fase. O algoritmo calcula o POC de cada fase j limitando-se ao menor valor disponível entre a restrição do braço superior e do braço inferior afetados pela injeção cc, conforme (89):

$$U_{POC,j} = \min \left\{ \left(\frac{N}{2} - N_{f,u,j} \right) U_{sm} + U_{cc,zero}, \left(\frac{N}{2} - N_{f,l,j} \right) U_{sm} - U_{cc,zero} \right\} \quad (89)$$

A partir dos valores de U_{POC} , as fases são ordenadas da menor capacidade para a maior ($U_{POC,min}$, $U_{POC,med}$, $U_{POC,max}$). Para evitar resultados geométricos subótimos, a tensão real de saída exigida das fases (U_1, U_2, U_3) não deve ultrapassar o valor mediano. Define-se, através do índice de modulação m , que:

$$U_1 = m \cdot U_{POC,min}, \quad U_2 = U_3 = m \cdot U_{POC,med} \quad (90)$$

Passo 3: Aplicação do Neutral-Shift Geométrico

Com as novas amplitudes (U_1, U_2, U_3) que garantem a simetria, os ângulos de deslocamento de fase do *Neutral-Shift* ($\varphi_1, \varphi_2, \varphi_3$) são recalculados trigonometricamente para obter tensões de linha equilibradas, gerando as referências fundamentais puras ($u_{ca_ref,j}$).

Passo 4: Nova Injeção BZVI

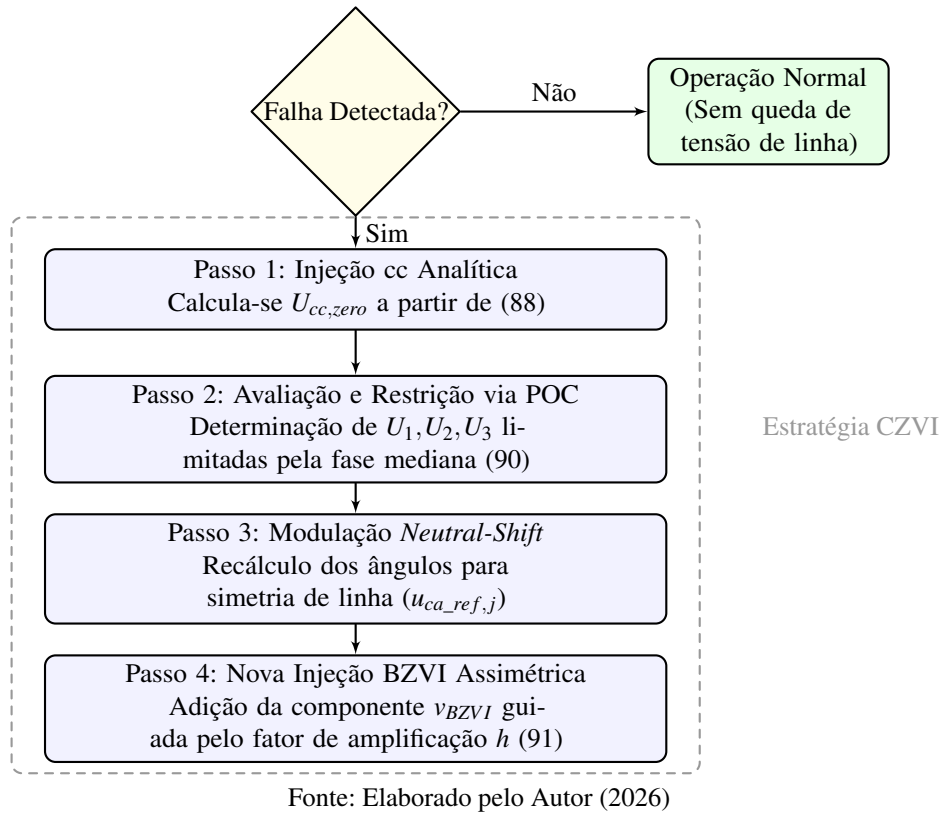
Como o sistema encontra-se com defasagens assimétricas, a injeção clássica de terceira harmônica causaria sobremodulação. O método CZVI aplica uma componente v_{BZVI} atrelada a um coeficiente de distribuição não-linear k , que concentra os esforços nas fases de maior folga e elimina a influência residual da injeção cc na malha ca. O limite amplificador h que rege o aumento de tensão de linha é equacionado em (91):

$$h = \min \left(\frac{\sqrt{3}mNU_{sm}}{2U_{NS}}, \frac{U_1 + U_2}{U_{NS}} \right) \quad (91)$$

onde U_{NS} é a tensão de linha que seria obtida apenas com o passo anterior de *Neutral-Shift*.

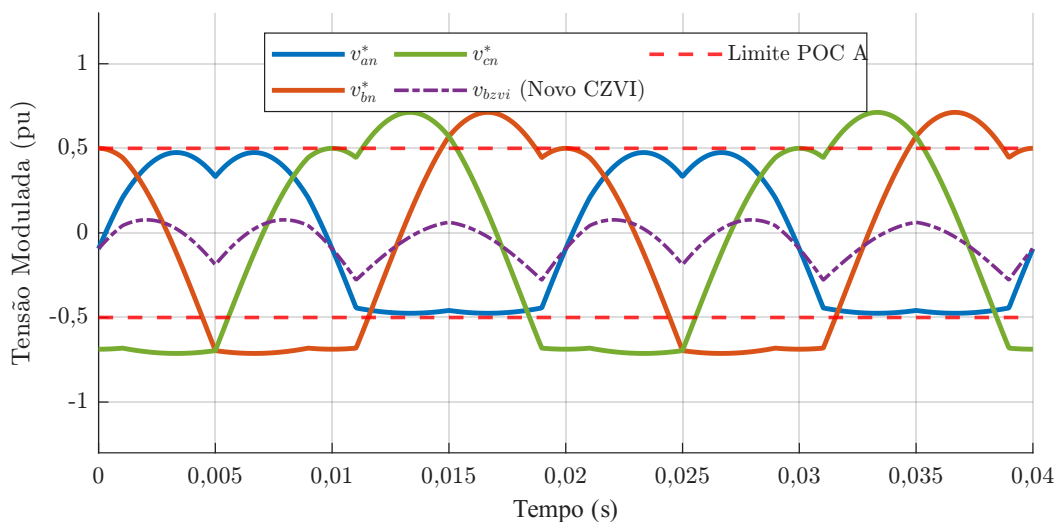
A arquitetura computacional completa desta tomada de decisão, que não exige buscas iterativas, encontra-se sintetizada no fluxograma da Figura 84.

Figura 84 – Fluxograma matemático sequencial da estratégia de mitigação CZVI.



Com a premissa POC (Passo 2), a CZVI evita que o neutro exceda o limite, garantindo otimização e maximizando a redundância contra falhas assimétricas. Por fim, demonstra-se a forma de onda de referência para as tensões de fase com todos os passos do método aplicado na Figura 85.

Figura 85 – Exemplo de forma de onda da referência tensão para compensação de falta na fase A conforme o método de Li et al. (2024).



3.9.3 Estratégia de Tolerância a Falhas com Tensão Virtual e Injeção de Sequência Zero

Apresenta-se na literatura um esquema de operação inovador para Conversores Modulares Multiníveis (MMC) que eleva a capacidade de continuidade de operação (*ride-through*) sob falhas de submódulos ao máximo, apresentada em Xiao et al. (2021a). Diferentemente das abordagens clássicas de *Hot Reserve*, que aumentam o estresse de tensão nos módulos saudáveis de forma imediata, este método atua em duas frentes: o ajuste dinâmico e escalonado da tensão de referência e a evasão lógica de módulos via tensão virtual.

A estratégia é dividida no Passo 1 (Ajuste das referências de tensão) e Passo 2 (Seleção via Tensão Virtual). Define-se, para as formulações a seguir, N como o número de submódulos ativos necessários por braço, M_{res} como o número de submódulos de redundância, N_f como o número de submódulos em falha, V_g como a amplitude da tensão da rede (carga) e δ_m como a margem de modulação de segurança.

3.9.3.1 Passo 1: Escalonamento da Tensão e Injeção de Sequência Zero

Para o ajuste das tensões, a gravidade da falha é classificada em três cenários distintos. A premissa é aumentar a tensão nominal de referência dos capacitores saudáveis (U_{sm}) apenas o estritamente necessário, conforme as restrições operacionais.

Caso I (Falhas Leves): Quando o número de falhas é pequeno, a tensão máxima que o braço ainda consegue sintetizar é superior a exigida pela rede. Esta condição é válida desde que o número de falhas respeite a inequação (92):

$$N_f < N - N(1 + \delta_m) \left(0,5 + \frac{V_g}{U_{cc}} \right) \quad (92)$$

Neste caso, a tensão dos capacitores saudáveis permanece em seu valor nominal, ou seja, $U_{sm} = U_{cc}/N$. Para manter a malha de controle de energia do braço estável, atribui-se uma tensão virtual de regulação ao módulo defeituoso ($v'_{cap,f}$) e mantém-se a tensão medida dos módulos saudáveis ($v'_{cap,k}$), conforme (93):

$$v'_{cap,f} = \frac{U_{cc}}{N}, \quad v'_{cap,k} = v_{cap,k} \quad (93)$$

Caso II (Falhas Moderadas): Quando N_f não satisfaz o Caso I, mas o conversor ainda possui margem antes de atingir o limite térmico e de isolamento, a tensão dos capacitores deve ser elevada. A condição de contorno para este cenário é dada por (94):

$$N_f \leq N - (N - M_{res})(1 + \delta_m) \left(0,5 + \frac{V_g}{U_{cc}} \right) \quad (94)$$

Para compensar a falta, o novo valor de referência dos capacitores saudáveis é elevado proporcionalmente ao nível da falha, conforme calculado em (95):

$$U_{sm} = \frac{(1 + \delta_m)(V_g + U_{cc}/2)}{N - N_f} \quad (95)$$

As tensões virtuais para o controle de energia da malha são então reajustadas de acordo com (96):

$$v'_{cap,f} = 0, \quad v'_{cap,k} = v_{cap,k} \cdot \frac{U_{cc}/N}{U_{sm}} \quad (96)$$

Caso III (Falhas Severas): Quando a falha excede a condição de (94), os capacitores atingem sua tensão nominal máxima de operação segura ($U_{sm} = U_{cc}/(N - M_{res})$). Para evitar a instabilidade, o controle injeta uma Tensão de Sequência Zero (ZSV), V_0 , nas referências de modulação. A adição desta componente de modo comum distorce a tensão de fase, porém, por ser idêntica nas três fases, cancela-se na tensão de linha (diferencial), que permanece equilibrada. Seu papel é reposicionar as referências de modulação para que a fase em falta não sature, sustentando o maior fundamental de tensão de linha alcançável com os módulos remanescentes. A amplitude da tensão ZSV injetada é calculada por (97):

$$V_0 = V_g - \frac{U_{cc}(N - N_f)}{N - M_{res}} + \frac{U_{cc}}{2} \quad (97)$$

Esta injeção, contudo, possui um limite físico/matemático atrelado a capacidade máxima dos braços saudáveis, restrito pela equação (98):

$$V_{max,0} = \sqrt{\left(\frac{U_{cc}}{2}\right)^2 - \left(\frac{\sqrt{3}}{2}V_g\right)^2} - \frac{V_g}{2} \quad (98)$$

As tensões virtuais da malha de controle no Caso III são definidas em (99):

$$v'_{cap,f} = 0, \quad v'_{cap,k} = v_{cap,k} \cdot \frac{U_{cc}/(N - N_f)}{U_{sm}} \quad (99)$$

As condições e ações tomadas no Passo 1 estão sumarizadas na Tabela 20.

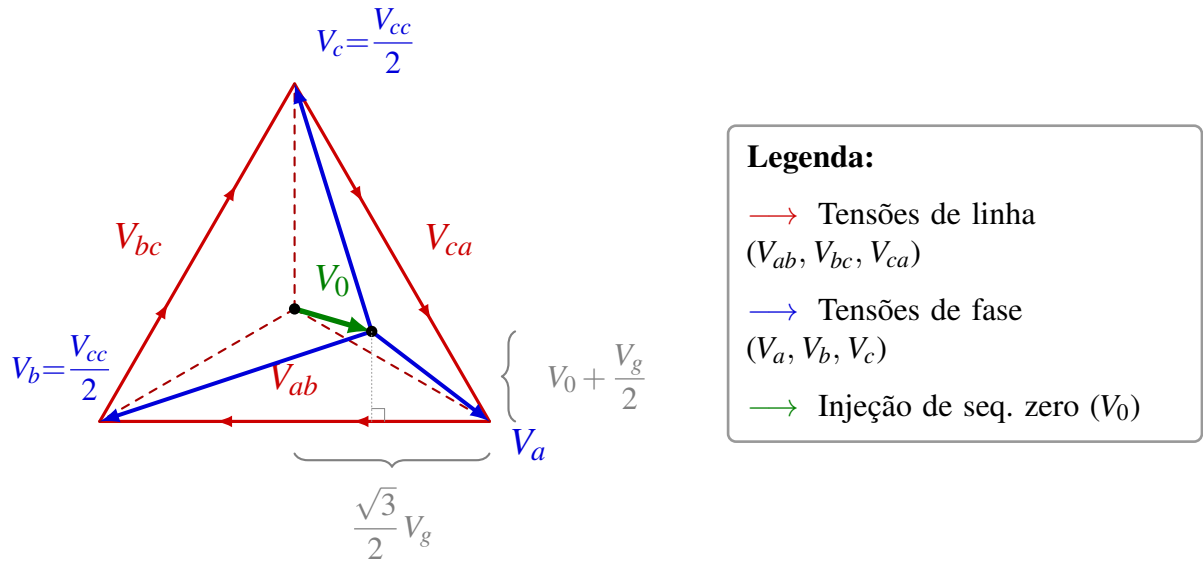
Tabela 20 – Resumo da Estratégia de Ajuste de Tensão e Injeção ZSV (Passo 1).

Cenário	Severidade da Falha	Tensão do Capacitor (U_{sm})	Injeção ZSV
Caso I	$N_f < N - N(1 + \delta_m) \left(0,5 + \frac{V_g}{U_{cc}}\right)$	Mantida (U_{cc}/N)	Não
Caso II	$N_f \leq N - (N - M_{res})(1 + \delta_m) \left(0,5 + \frac{V_g}{U_{cc}}\right)$	Elevada proporcionalmente	Não
Caso III	$N_f > N - (N - M_{res})(1 + \delta_m) \left(0,5 + \frac{V_g}{U_{cc}}\right)$	Máxima ($U_{cc}/(N - M_{res})$)	Sim

Fonte: Elaborado pelo Autor (2026)

O espaço delimitador para o diagrama vetorial associado a esta operação extrema é apresentado na Figura 86.

Figura 86 – Diagrama vetorial e limite geométrico para a injeção de Tensão de Sequência Zero (ZSV) em faltas severas (Caso III).



Fonte: Adaptado de Xiao et al. (2021a)

3.9.3.2 Passo 2: Evasão Lógica via Tensão Virtual

Nas abordagens convencionais, o isolamento físico de um submódulo defeituoso requer a reconfiguração e redistribuição angular de todas as portadoras da modulação PS-PWM.

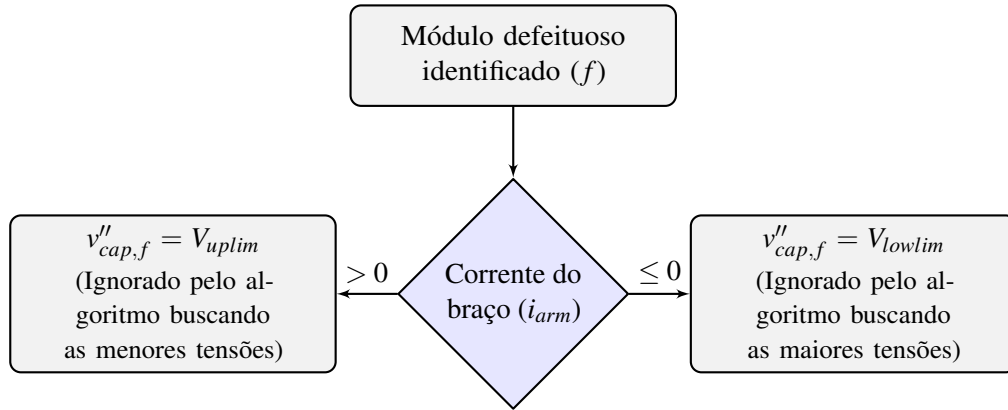
O controlador atribui um valor fictício a tensão do capacitor defeituoso ($v''_{cap,f}$), garantindo que a própria lógica de balanceamento, que insere os módulos menos carregados durante a carga e os mais carregados durante a descarga, inviabilize a seleção desse submódulo.

Matematicamente, a tensão virtual atribuída na etapa de ordenação obedece a equação (100), baseando-se no sentido da corrente do braço (i_{arm}):

$$v''_{cap,f} = \begin{cases} V_{uplim}, & \text{se } i_{arm} > 0 \text{ (Ciclo de Carga)} \\ V_{lowlim}, & \text{se } i_{arm} \leq 0 \text{ (Ciclo de Descarga)} \end{cases} \quad (100)$$

onde V_{uplim} e V_{lowlim} são, respectivamente, limites artificiais muito superiores e inferiores a faixa operacional normal. O fluxograma prático de implementação desta lógica encontra-se na Figura 87.

Figura 87 – Fluxograma de atribuição da Tensão Virtual para *bypass* lógico por *software*.



Fonte: Elaborado pelo Autor (2026)

Desta forma, a operação contínua é garantida de maneira elegante e implementável via *software*, eliminando tanto paradas do conversor quanto cálculos complexos de trigonometria para as portadoras de modulação.

Além disto, cita-se o fato de que esta técnica pode ser utilizada para STATCOMs de forma a ganhar ainda mais robustez contra falhas, visto que o mesmo possibilita a mudança da tensão do capacitor de barramento, dado que o mesmo está flutuando nesta configuração e sua tensão pode ser ajustada pela malha de controle. Esta melhoria foi apresentada em Xiao et al. (2021b).

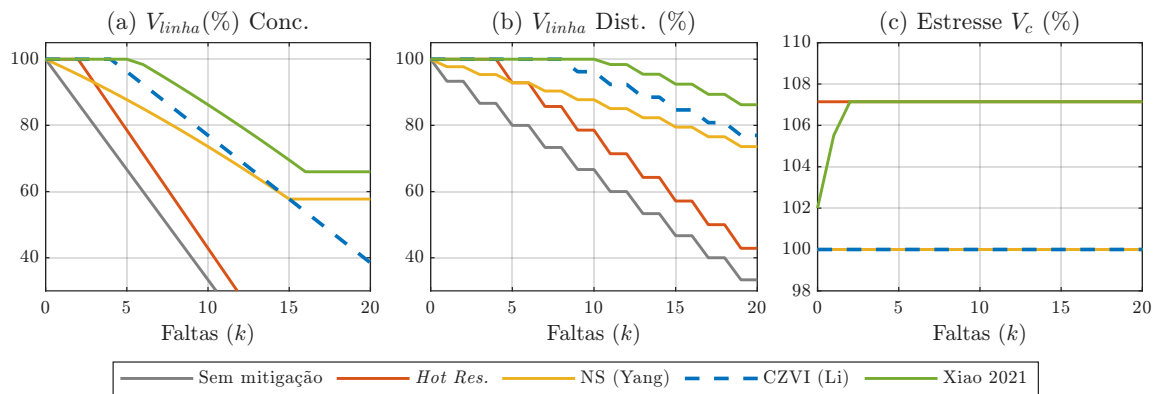
3.10 COMPARAÇÃO DAS ESTRATÉGIAS DE OPERAÇÃO PÓS-FALTA

A fim de sintetizar e confrontar o desempenho das estratégias de operação pós-falta apresentadas nesta seção, a Figura 88 consolida, em um único conjunto de gráficos, a tensão de linha máxima obtida e o estresse sobre os capacitores saudáveis para cada método estudado. Os painéis (a) e (b) apresentam a tensão de linha máxima normalizada, em função do número de faltas k , para os cenários de falta concentrada (todas as faltas em uma única fase) e distribuída (faltas distribuídas entre as três fases), respectivamente. O painel (c) exibe o estresse máximo sobre os capacitores dos submódulos saudáveis, normalizado pelo valor nominal.

Sem estratégias de mitigação, a tensão de linha degrada-se de forma linear e acentuada. O método *Hot Reserve* retarda essa queda utilizando submódulos redundantes, mas impõe um estresse permanente de aproximadamente 107% aos capacitores saudáveis painel (c). Em contraste, as técnicas *Neutral-Shift* (Yang; Qin; Saeedifard, 2016) e CZVI (Li et al., 2024) recuperam parcialmente a tensão via modulação e injeção de sequência zero, mantendo a tensão dos capacitores em seu valor nominal (100%). Já a estratégia de (Xiao et al., 2021a) maximiza a recuperação da tensão de linha em cenários críticos, mas ao custo de um estresse de 107% nos capacitores, análogo ao *Hot Reserve*. Evidencia-se, portanto, um compromisso (*trade-off*) inerente à tolerância a falhas: a otimização da tensão de linha frequentemente exige maior estresse operacional dos componentes remanescentes.

Destaca-se que utilizou-se a formulação matemática de cada estratégia para gerar os resultados apresentados, garantindo a consistência e a comparabilidade entre os métodos. A análise detalhada dos resultados de simulação será apresentada nas seções subsequentes. Utilizou-se $N = 30$ e $M_{res} = 2$, quando o método necessita de módulos reservas. O intuito da comparação é evidenciar as características de cada método e não a performance absoluta, que depende de parâmetros específicos do conversor e da carga.

Figura 88 – Comparação das estratégias de operação trifásica em falta: tensão de linha máxima normalizada e estresse nos capacitores em função do número de faltas.



Fonte: Elaborado pelo autor (2026)

4 ANÁLISE COMPARATIVA DAS ESTRATÉGIAS ATRAVÉS DE SIMULAÇÃO NUMÉRICA

Nesta seção são apresentados os resultados de simulação obtidos para validar as estratégias de detecção e mitigação de falhas discutidas nos capítulos anteriores, aplicadas ao Conversor MMC. Primeiramente, são descritos os parâmetros do sistema simulado. Em seguida, apresentam-se os resultados de identificação de falhas para os quatro métodos implementados. Por fim, são analisados os resultados da estratégia de mitigação e os testes dinâmicos.

4.1 PARÂMETROS DO SISTEMA SIMULADO

A Tabela 21 apresenta os principais parâmetros utilizados nas simulações. Adota-se a modulação PD LS-PWM com ordenamento forçado das tensões dos capacitores, uma vez que o método de Xiao et al. (2021a), base da estrutura de controle e da principal estratégia de mitigação implementadas, é formulado sobre esta modulação, mantida neste trabalho. A principal diferença em relação a PS-PWM, utilizada em parte das simulações da revisão bibliográfica, é justamente a presença do ordenamento forçado, que concentra as assinaturas de falta conforme discutido no capítulo anterior. As três frequências de detecção f_{fdi} correspondem às taxas de execução de cada método: 1 kHz para o critério de Grubbs, 10 kHz para a Média Móvel e a Correlação por Pares e 100 kHz para o SMO.

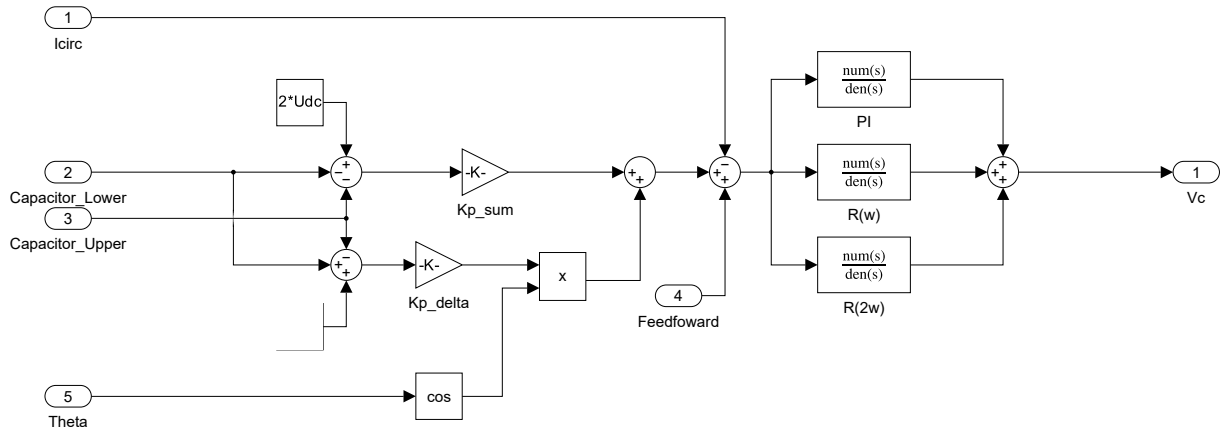
Tabela 21 – Parâmetros do sistema simulado.

Parâmetro	Símbolo	Valor
Tensão do barramento cc	U_{cc}	700 V
Número de submódulos por braço	N	10
Indutância do braço	L_a	5 mH
Resistência do braço	R_a	0,1 Ω
Capacitância do submódulo	C_{sm}	940 μ F
Frequência de chaveamento	f_s	2 kHz
Frequência de controle	f_{cntr}	20 kHz
Frequência de detecção de falta	f_{fdi}	{1, 10, 100} kHz
Frequência fundamental	f_o	60 Hz
Modulação	PD LS-PWM	
Número de níveis de saída	N+1=11	

Fonte: Elaborado pelo autor (2026)

A estrutura geral do modelo de simulação está representada no diagrama de blocos da Figura 89, composto pela planta comutada do MMC com injeção de faltas, pelo bloco de controle e modulação, no qual seleciona-se a estratégia de tolerância a falhas, e pelo bloco de identificação, no qual seleciona-se o método de diagnóstico. A captura completa do modelo no *Simulink* está disposta na Figura 182, no Apêndice. Nas Figuras 90, 91 e 92 estão dispostas as estruturas internas aos módulos que não são visíveis na visão geral.

Figura 92 – Estrutura interna do módulo de controle de corrente circulante e energia.



Fonte: Elaborado pelo autor (2026)

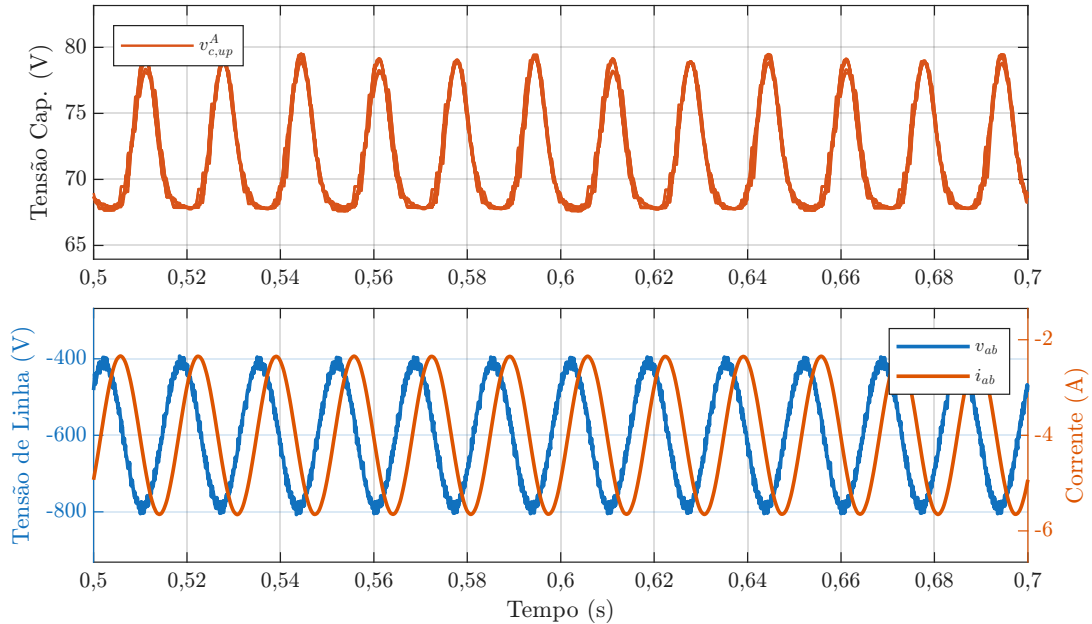
4.2 IDENTIFICAÇÃO DE FALHAS

Esta subseção apresenta os resultados comparativos dos quatro métodos de identificação de falhas de circuito aberto implementados: Diagnóstico através de Média Móvel da Tensão do Capacitor (AVG), critério de Grubbs com suavização exponencial, observador por modos deslizantes (SMO) e coeficiente de correlação por pares. Para o método SMO, avalia-se também uma variante de execução paralela (SMO paralelo), que reduz o tempo de localização ao custo de maior esforço computacional. Todos os métodos são avaliados sob os mesmos cenários de falta e com modulação PS-PWM e método de mitigação de Reserva Quente.

4.2.1 Operação em Regime Permanente sem Falhas

Antes de apresentar os cenários de falta, estabelece-se a condição de referência do sistema operando normalmente. A Figura 93 ilustra as tensões dos capacitores do braço superior da fase A e as grandezas de saída v_{ab} e i_{ab} na ausência de qualquer falta. Observa-se que todas as tensões oscilam de forma uniforme em torno do valor nominal $U_{cc}/N = 70 \text{ V}$, com ondulação simétrica, confirmando o equilíbrio obtido pelo controle de balanceamento de energia. A tensão de linha e a corrente de saída apresentam forma senoidal com THD de 5,91%, validando a qualidade da modulação PD LS-PWM em condição nominal.

Figura 93 – Operação do MMC em regime permanente sem faltas: (a) tensões dos capacitores do braço superior da fase A, todas uniformes em torno de 70 V, (b) tensão de linha v_{ab} e corrente de saída i_{ab} em condição senoidal nominal.



Fonte: Elaborado pelo autor (2026)

4.2.2 Falta em Submódulo do Braço Superior em Regime Permanente

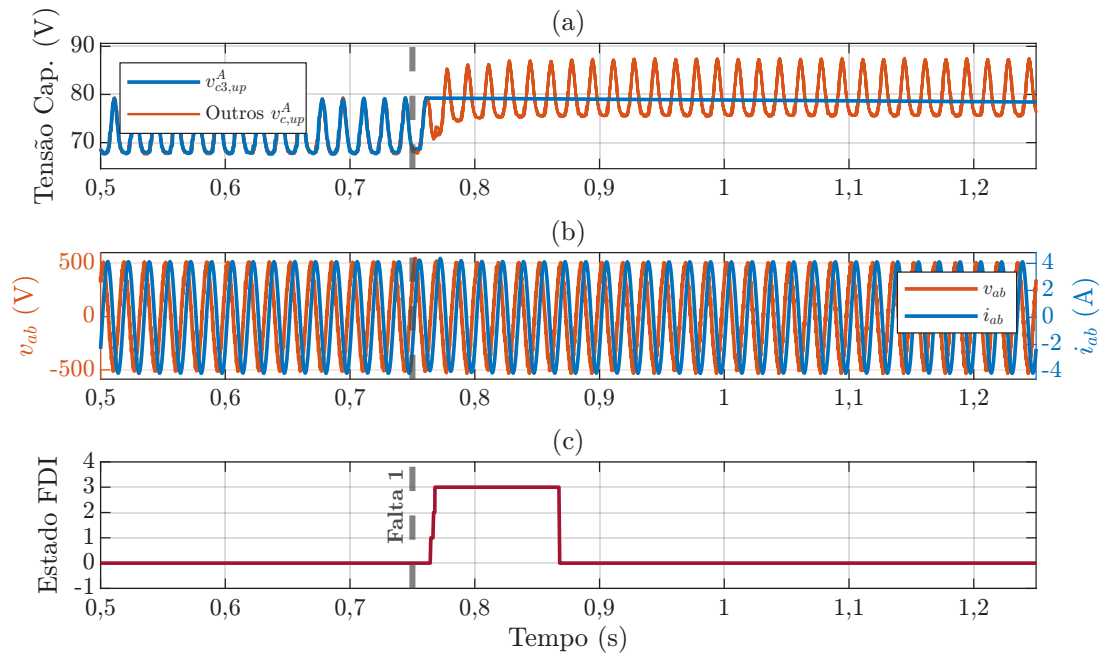
O primeiro cenário, utilizado como referência para comparação quantitativa, consiste em uma falha de circuito aberto no SM3 (braço superior, fase A) aplicada em $t = 0,75$ s sob regime permanente. Os resultados apresentam: (a) as tensões dos capacitores do braço superior da fase A, destacando $v_{c,3}$ (azul) frente aos demais (laranja), (b) v_{ab} e i_{ab} e (c) a evolução do estado FDI, onde o valor 3 indica a localização completa da falta, exceto para o SMO onde o valor 4 indica a localização. Esclarece-se que, salvo indicação em contrário, todas as tensões de capacitores apresentadas nas figuras de identificação a seguir correspondem aos N submódulos do braço superior da fase A, onde a falta é aplicada.

Após a ocorrência da falta, $v_{c,3}$ para de comutar e se estabiliza em um valor cc elevado (capacitor não mais descarregado), enquanto os demais capacitores assumem um valor de tensão ligeiramente maior para compensar o submódulo retirado. A tensão de linha e a corrente permanecem virtualmente inalteradas, evidenciando a eficácia da estratégia de *hot reserve* ativada em paralelo a identificação.

A Figura 94 apresenta os resultados para o método Grubbs (Jin et al., 2020). A detecção ocorreu em $t_{det} = 14,79$ ms e a localização em $t_{loc} = 18,09$ ms após a falta, com desempenho equilibrado e baixa carga computacional efetiva. A Figura 95 apresenta o método de Correlação por Pares, que obteve o menor tempo de localização entre todos os métodos ($t_{loc} = 17,49$ ms). O tempo de detecção e localização são praticamente coincidentes ($\Delta t \approx 0,2$ ms), indicando que a

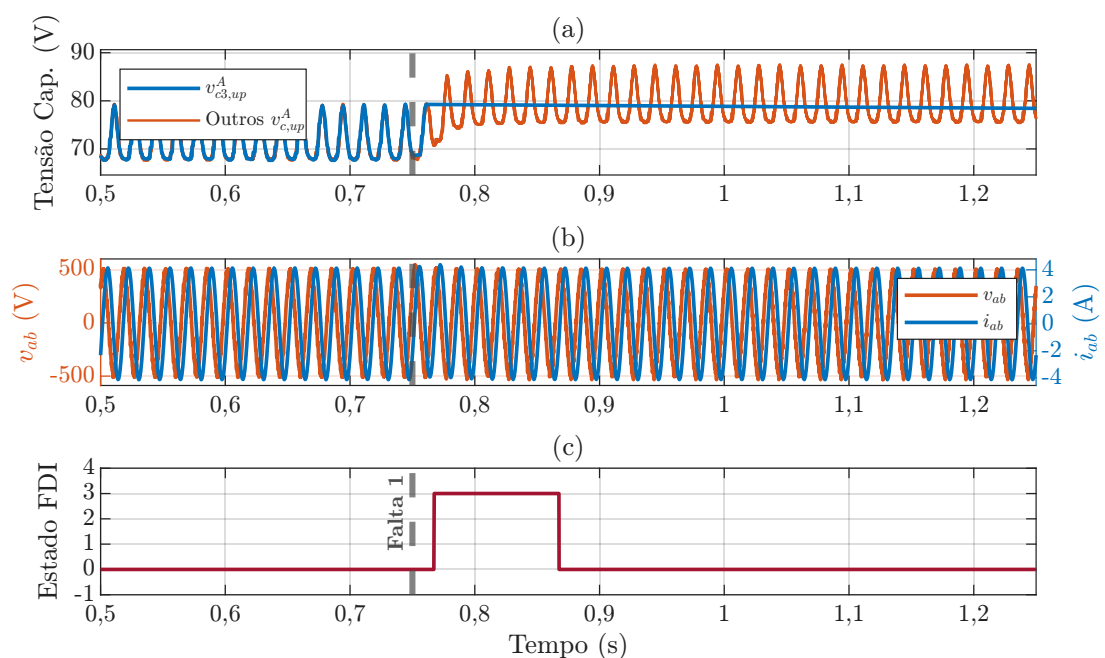
identificação do submódulo defeituoso ocorre quase simultaneamente a detecção da anomalia.

Figura 94 – Método Grubbs, falta única no SM3 em $t = 0,75$ s: (a) tensões dos capacitores com destaque para $v_{c,3}$, (b) tensão de linha e corrente de saída, (c) estado do algoritmo FDI (3 = localizado).



Fonte: Elaborado pelo autor (2026)

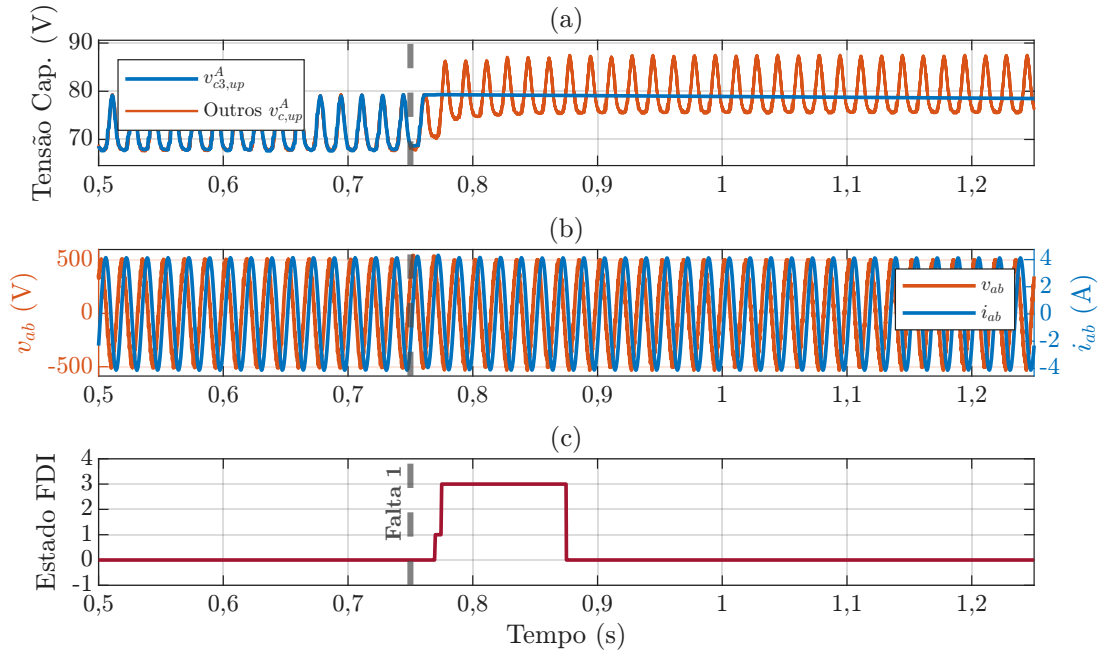
Figura 95 – Método Correlação por Pares, falta única no SM3 em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente de saída, (c) estado do algoritmo FDI.



Fonte: Elaborado pelo autor (2026)

O método de Média Móvel (Li; Liu; Zhang, 2019) (Figura 96) apresentou os maiores tempos de resposta dentre os métodos avaliados no cenário de falta única ($t_{det} = 19,99\text{ ms}$, $t_{loc} = 25,09\text{ ms}$). Esse comportamento é esperado, uma vez que o método depende do acúmulo de amostras na janela deslizante de $W = 200$ amostras para distinguir estatisticamente a anomalia das oscilações normais de regime.

Figura 96 – Método Média Móvel, falta única no SM3 em $t = 0,75\text{ s}$: (a) tensões dos capacitores, (b) tensão de linha e corrente de saída, (c) estado do algoritmo FDI.

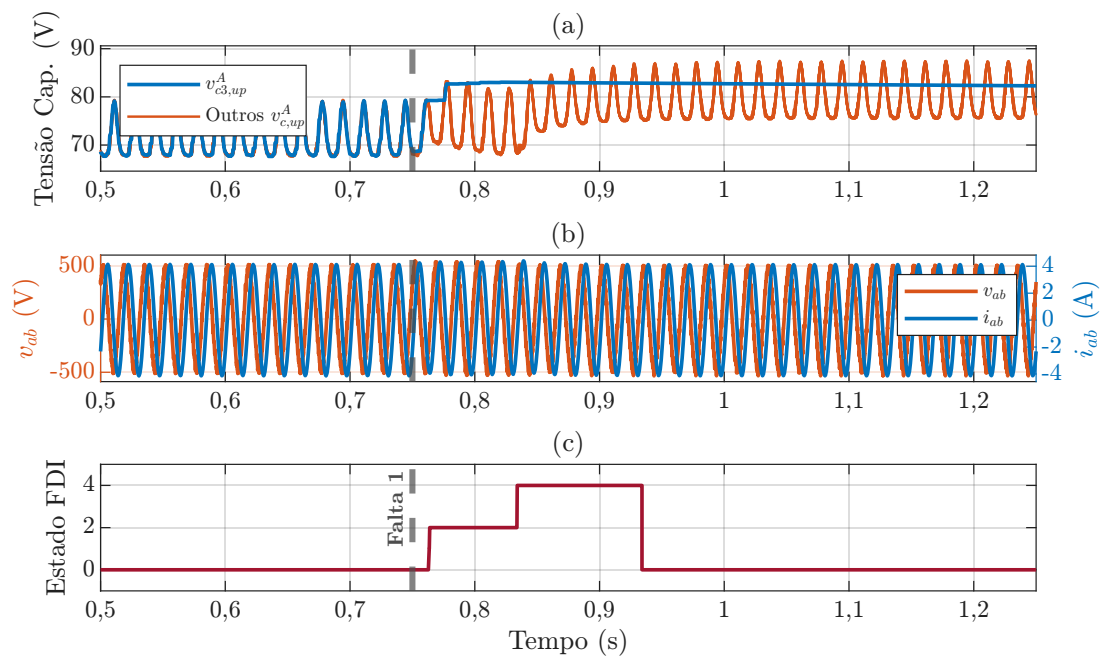


Fonte: Elaborado pelo autor (2026)

O SMO (Shao et al., 2016) na configuração sequencial (Figura 97) apresentou o menor tempo de detecção absoluto ($t_{det} = 13,48\text{ ms}$), porém o maior tempo de localização ($t_{loc} = 84,04\text{ ms}$). Esse resultado decorre do modo sequencial de avaliação das $2N$ hipóteses: o observador percorre cada submódulo um a um a frequência de 100 kHz , e o atraso acumulado depende da posição do SM defeituoso na sequência de varredura.

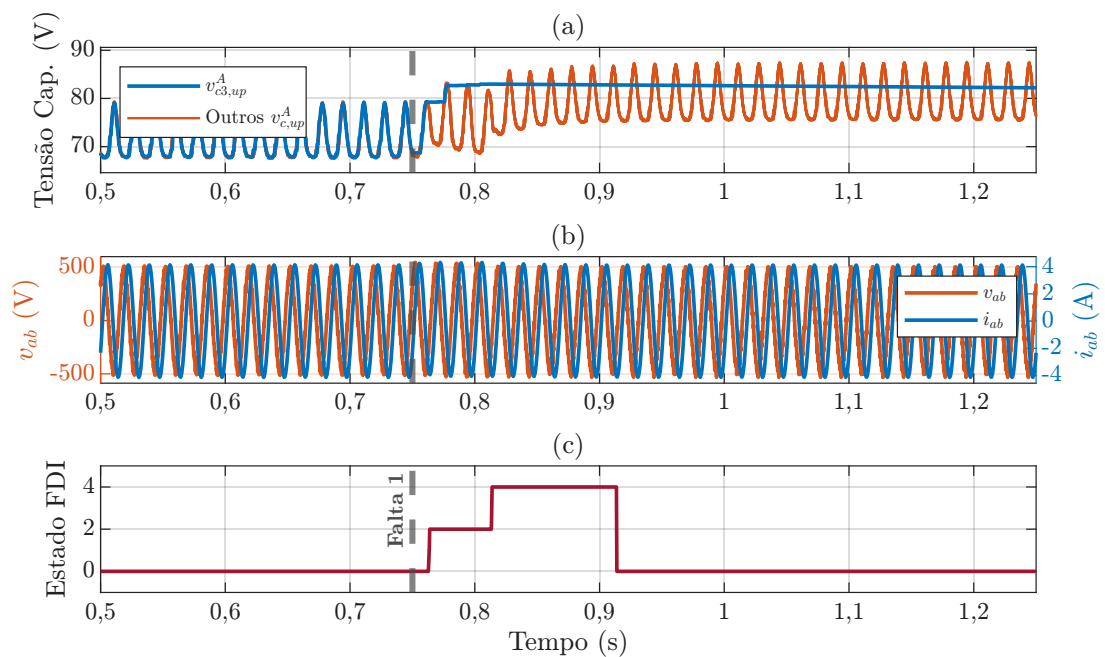
A variante paralela do SMO (Figura 98), com $2N$ observadores empregados simultaneamente, reduziu o tempo de localização de $84,04\text{ ms}$ para $63,89\text{ ms}$ (redução de $\approx 24\%$), mantendo o mesmo tempo de detecção. O custo é a multiplicação do requisito de memória por $2N$ em relação a versão sequencial.

Figura 97 – Método SMO sequencial, falta única no SM3 em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente de saída, (c) estado do algoritmo FDI (4 = localizado no SMO).



Fonte: Elaborado pelo autor (2026)

Figura 98 – Método SMO paralelo, falta única no SM3 em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente de saída, (c) estado do algoritmo FDI.



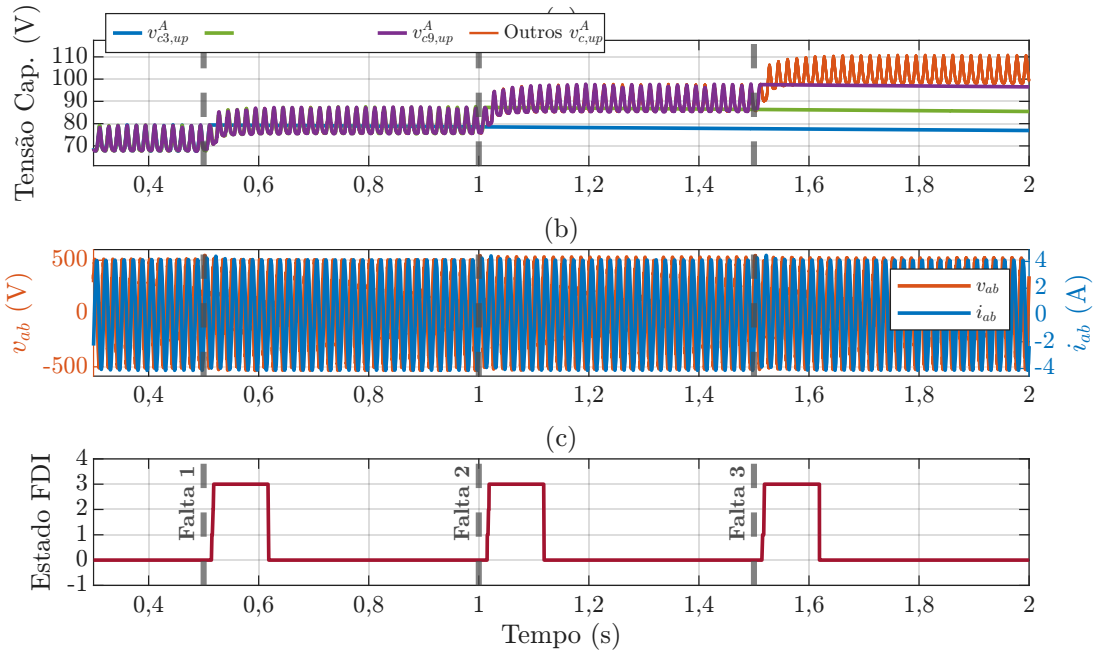
Fonte: Elaborado pelo autor (2026)

4.2.3 Falhas Sequenciais

Neste cenário, três faltas de circuito aberto são aplicadas sequencialmente em diferentes submódulos do braço superior da fase A, com $M_{res} = 2$ submódulos de reserva disponíveis. As faltas são introduzidas nos instantes $t = 0,50$ s, $t = 1,00$ s e $t = 1,50$ s. Nota-se que há um tempo de espera em que o estado FDI permanece em um valor máximo, indicando um tempo de espera mínimo para que o sistema estabilize após cada falta antes da introdução da próxima detecção.

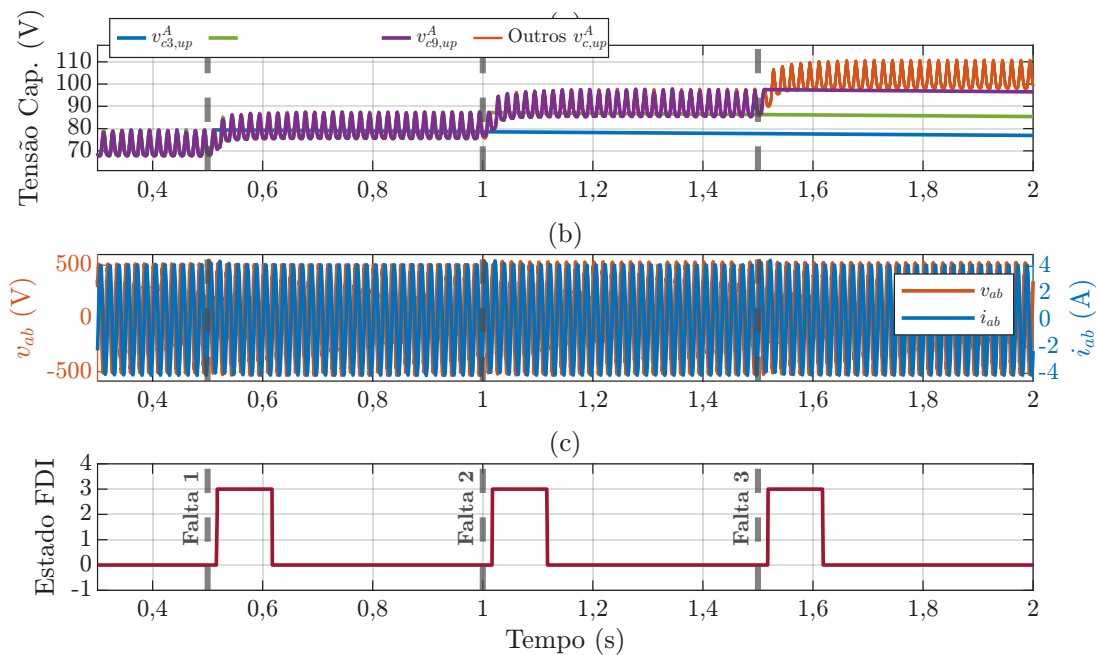
Nos resultados a seguir, o painel (a) exibe $v_{c,3}$, $v_{c,7}$ e $v_{c,9}$ (submódulos defeituosos em cores distintas) e os demais em laranja, o painel (b) mostra v_{ab} e i_{ab} e o painel (c) que apresenta o estado FDI. As Figuras 99 a 103 apresentam os resultados dos cinco métodos. Todos identificaram e localizaram corretamente as três faltas sequenciais, com a reconfiguração e o *bypass* ocorrendo conforme o esperado após cada evento.

Figura 99 – Método Grubbs, três faltas sequenciais nos SMs 3, 7 e 9 ($t = 0,50$, $1,00$ e $1,50$ s):
(a) tensões dos capacitores com submódulos defeituosos em destaque, (b) tensão de linha e corrente, (c) estado FDI.



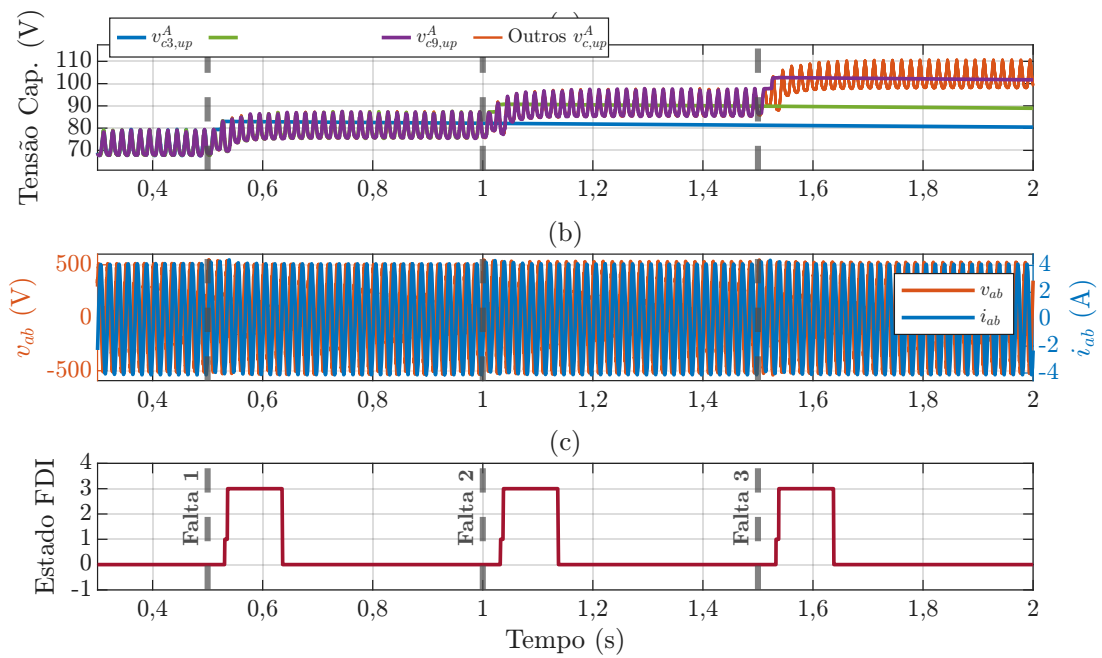
Fonte: Elaborado pelo autor (2026)

Figura 100 – Método Correlação por Pares, três faltas sequenciais nos SMs 3, 7 e 9: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI.



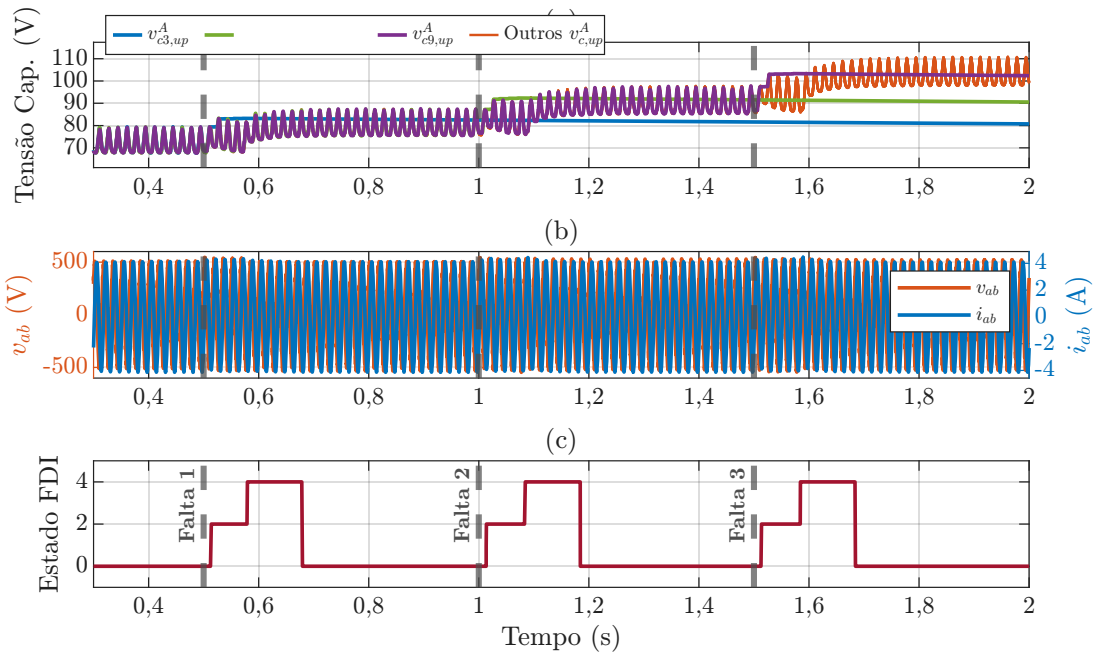
Fonte: Elaborado pelo autor (2026)

Figura 101 – Método Média Móvel, três faltas sequenciais nos SMs 3, 7 e 9: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI.



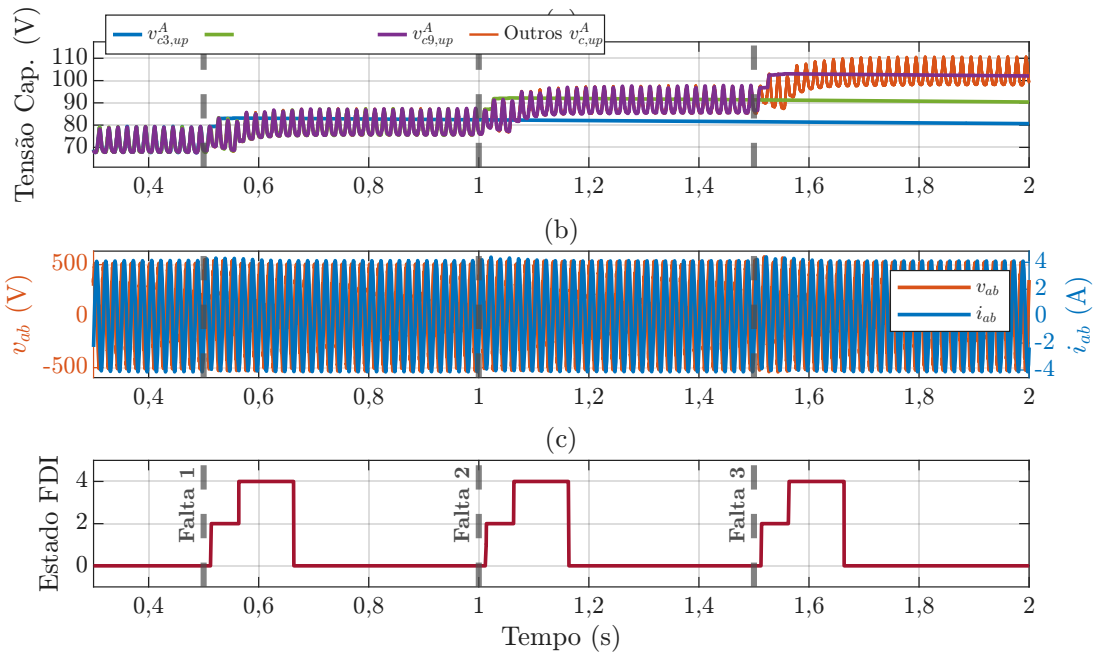
Fonte: Elaborado pelo autor (2026)

Figura 102 – Método SMO sequencial, três faltas sequenciais nos SMs 3, 7 e 9: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI.



Fonte: Elaborado pelo autor (2026)

Figura 103 – Método SMO paralelo, três faltas sequenciais nos SMs 3, 7 e 9: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI.



Fonte: Elaborado pelo autor (2026)

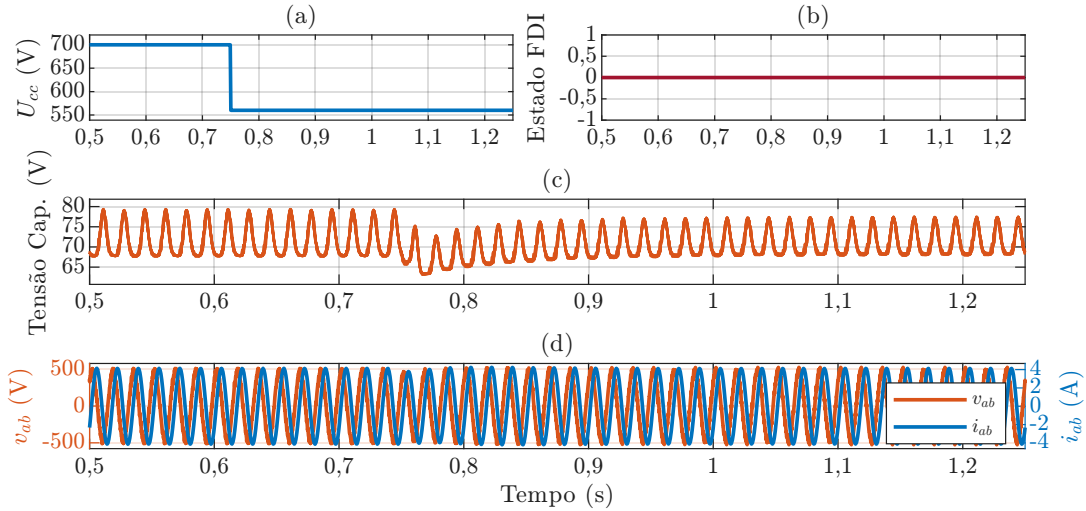
4.2.4 Robustez a Perturbações Externas

Esta subseção avalia a robustez dos cinco métodos FDI frente a perturbações que não constituem faltas de submódulo, verificando a ausência de falsos positivos. Três tipos de perturbação são aplicados: degrau na tensão do barramento cc (U_{cc}), degrau de carga e degrau na referência de tensão. Para cada caso, o painel final exibe o estado FDI: um sinal mantido em 0 indica ausência de falsa detecção.

4.2.4.1 Degráu na tensão do barramento cc

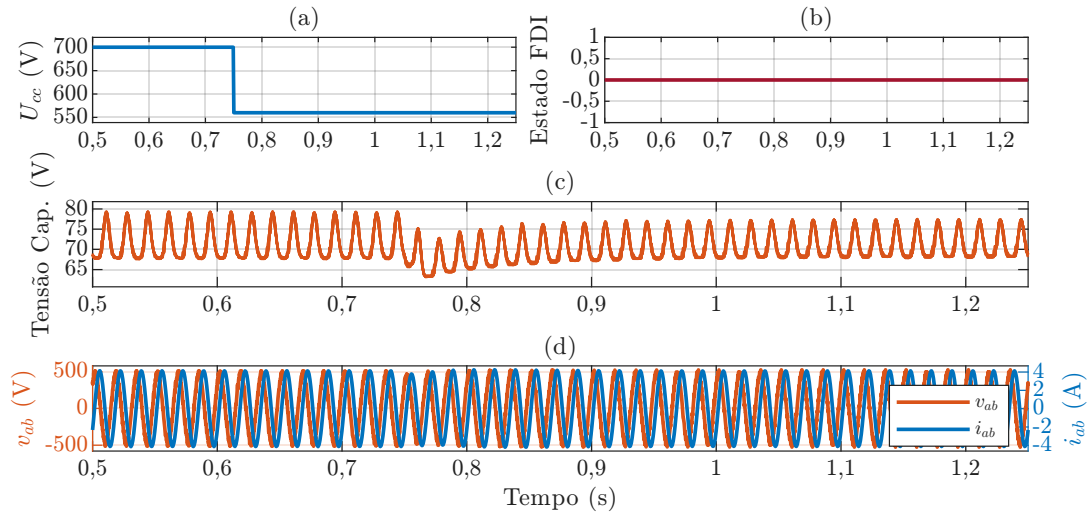
Um degrau negativo de $\approx 20\%$ é aplicado em U_{cc} ($700\text{ V} \rightarrow 558\text{ V}$) em $t = 0,75\text{ s}$. A variação simultânea simula um padrão semelhante ao de uma falta global. As Figuras 104 a 108 apresentam os resultados. Os métodos Grubbs (Figura 104), Correlação por Pares (Figura 105) e Média Móvel (Figura 106) mantiveram o estado FDI em zero durante todo o transitório, demonstrando imunidade a variação global de U_{cc} .

Figura 104 – Método Grubbs, degráu de U_{cc} em $t = 0,75\text{ s}$ ($700 \rightarrow 558\text{ V}$): (a) tensão do barramento, (b) estado FDI permanece em 0, sem falso positivo, (c) tensões dos capacitores, (d) tensão de linha e corrente.



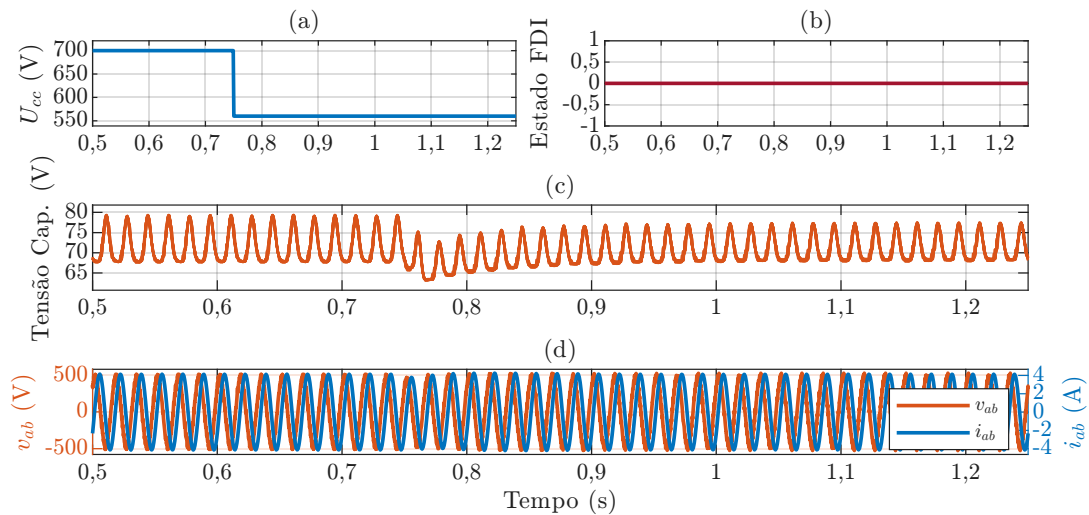
Fonte: Elaborado pelo autor (2026)

Figura 105 – Método Correlação por Pares, degrau de U_{cc} em $t = 0,75$ s: (a) tensão do barramento, (b) estado FDI em 0, sem falso positivo, (c) tensões dos capacitores, (d) tensão de linha e corrente.



Fonte: Elaborado pelo autor (2026)

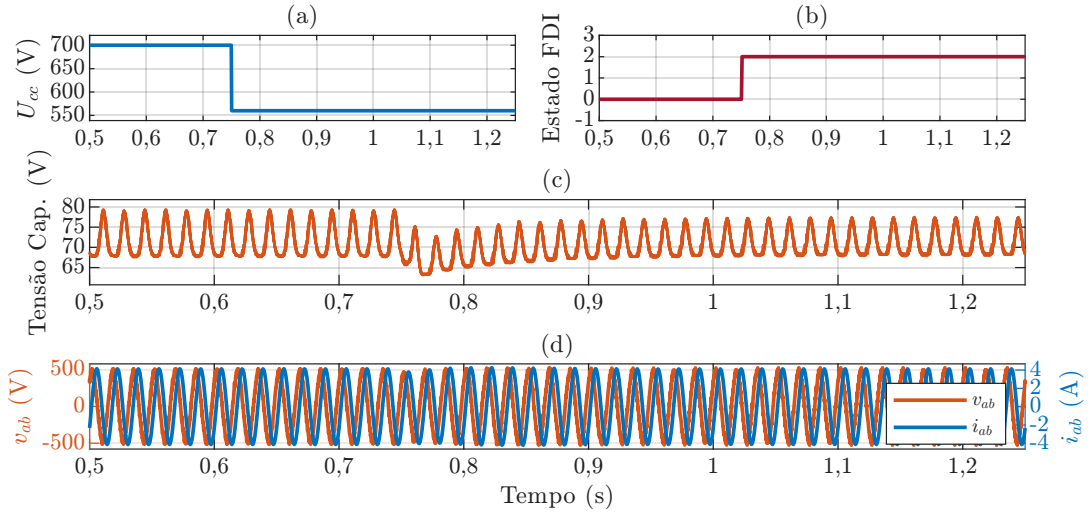
Figura 106 – Método Média Móvel, degrau de U_{cc} em $t = 0,75$ s: (a) tensão do barramento, (b) estado FDI em 0, sem falso positivo, (c) tensões dos capacitores, (d) tensão de linha e corrente.



Fonte: Elaborado pelo autor (2026)

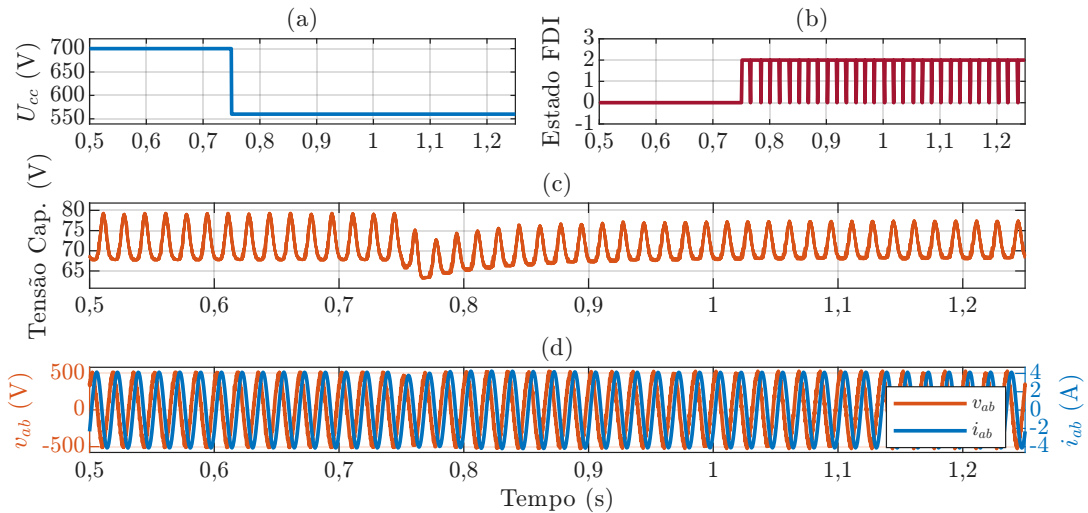
Ambos os métodos SMO, sequencial (Figura 107) e paralelo (Figura 108), apresentaram falsos positivos após o degrau de tensão. Esse comportamento decorre da sensibilidade intrínseca dos modelos a variações abruptas na dinâmica do sistema, o que leva a interpretação equivocada dos resíduos como falhas.

Figura 107 – Método SMO sequencial, degrau de U_{cc} em $t = 0,75$ s: (a) tensão do barramento, (b) estado FDI sobe após o degrau, **falso positivo gerado**, (c) tensões dos capacitores, (d) tensão de linha e corrente.



Fonte: Elaborado pelo autor (2026)

Figura 108 – Método SMO paralelo, degrau de U_{cc} em $t = 0,75$ s: (a) tensão do barramento, (b) estado FDI sobe após o degrau, **falso positivo gerado**, (c) tensões dos capacitores, (d) tensão de linha e corrente.

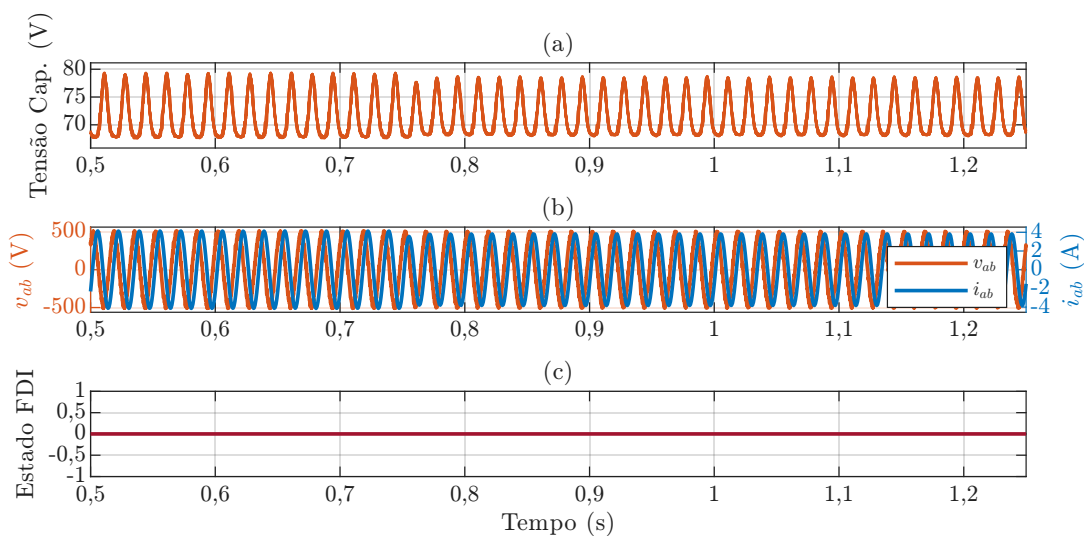


Fonte: Elaborado pelo autor (2026)

4.2.4.2 Degrau de carga

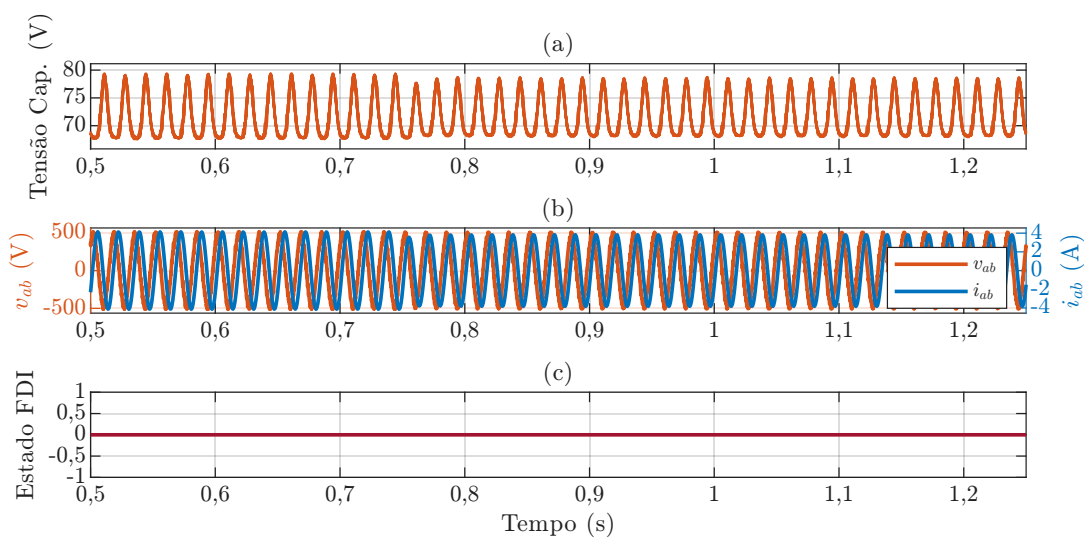
Um degrau de carga é aplicado em $t = 0,75$ s, perturbando a corrente de saída e, consequentemente, as tensões dos capacitores por meio da variação da corrente circulante. Todos os cinco métodos demonstraram robustez a esta perturbação, mantendo o estado FDI em 0 durante e após o transitório, conforme apresentado nas Figuras 109 a 113.

Figura 109 – Método Grubbs, degrau de carga em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI em 0, sem falso positivo.



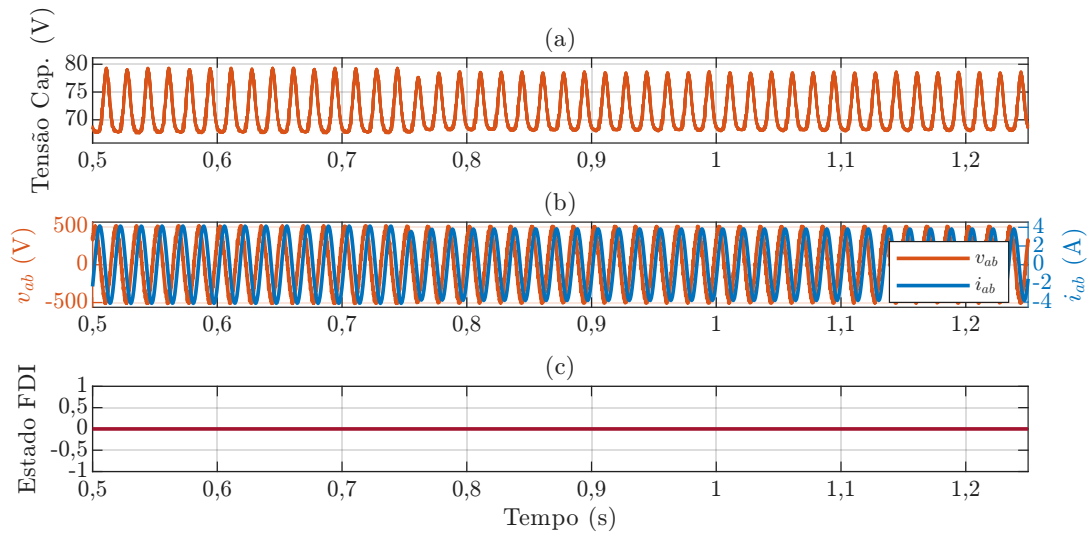
Fonte: Elaborado pelo autor (2026)

Figura 110 – Método Correlação por Pares, degrau de carga em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI em 0, sem falso positivo.



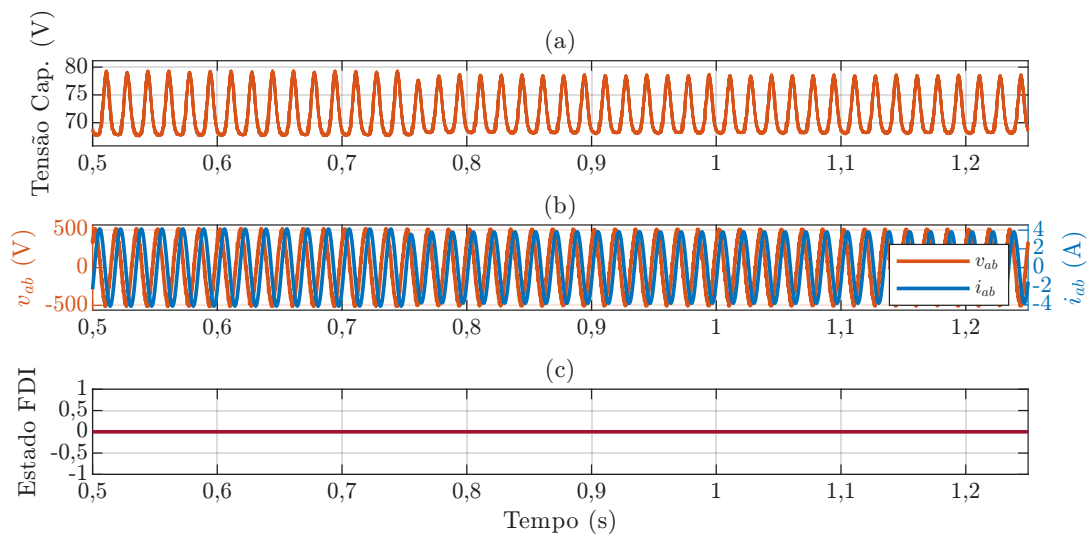
Fonte: Elaborado pelo autor (2026)

Figura 111 – Método Média Móvel, degrau de carga em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI em 0, sem falso positivo.



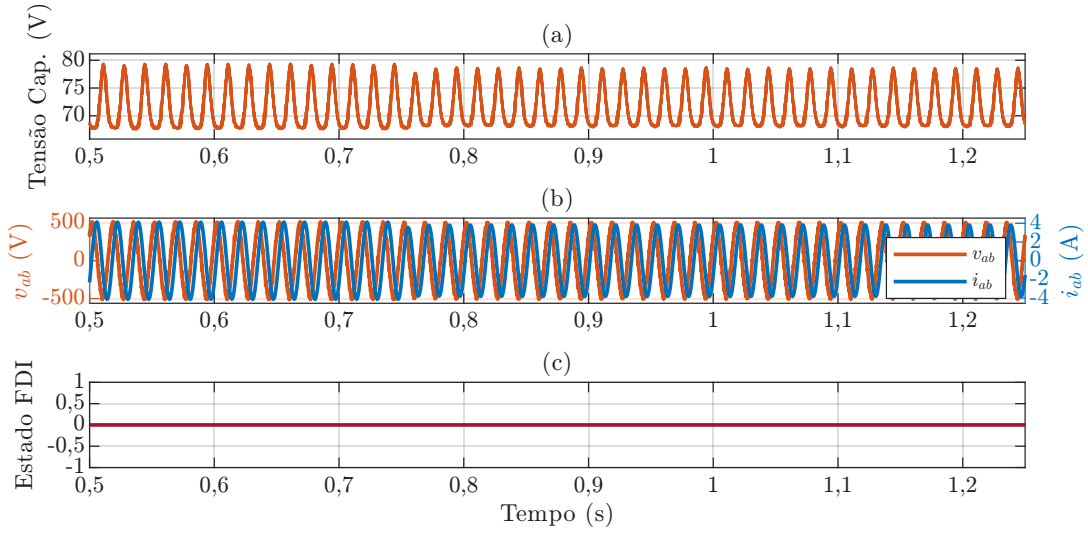
Fonte: Elaborado pelo autor (2026)

Figura 112 – Método SMO sequencial, degrau de carga em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI em 0, sem falso positivo.



Fonte: Elaborado pelo autor (2026)

Figura 113 – Método SMO paralelo, degrau de carga em $t = 0,75$ s: (a) tensões dos capacitores, (b) tensão de linha e corrente, (c) estado FDI em 0, sem falso positivo.

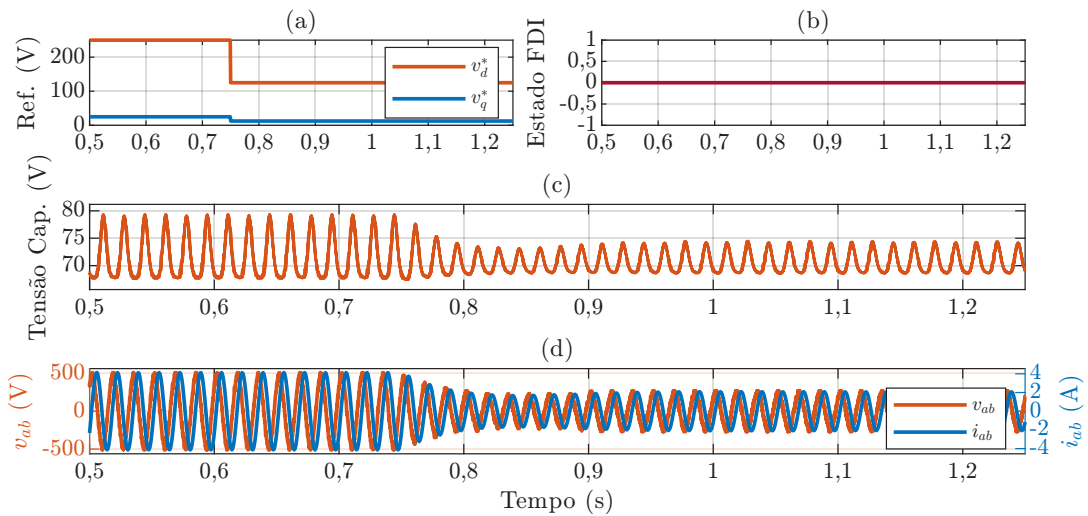


Fonte: Elaborado pelo autor (2026)

4.2.4.3 Degrau na referência de tensão de saída (v_d^* e v_q^*)

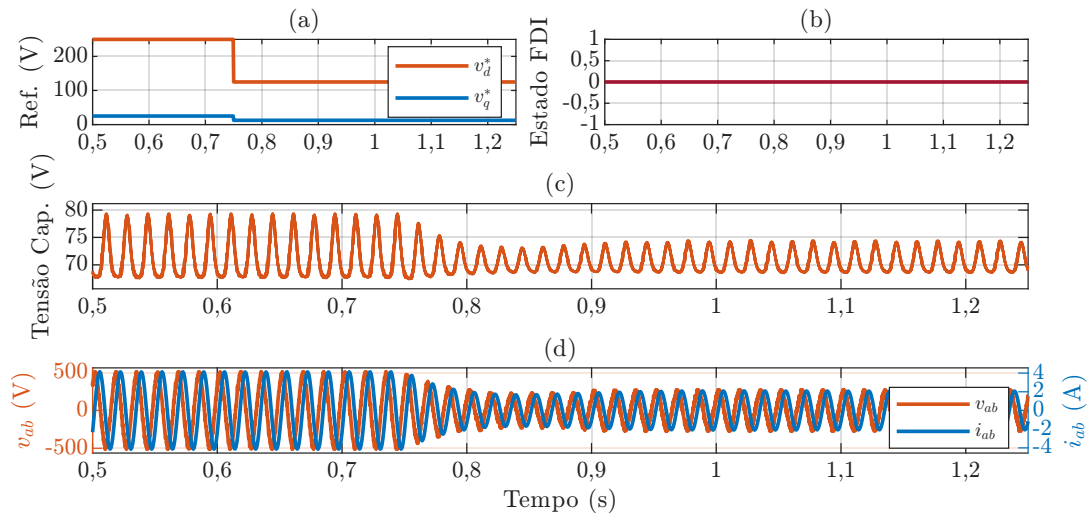
Um degrau é aplicado na referência de tensão de saída em $t = 0,75$ s, alterando o ponto de operação do conversor e, consequentemente, a ondulação da tensões dos capacitores. O painel (a) de cada resultado exibe as referências v_d^* e v_q^* do controle vetorial. Todos os cinco métodos mantiveram o estado FDI em 0, confirmando robustez a esta perturbação, conforme apresentado nas Figuras 114 a 118.

Figura 114 – Método Grubbs, degrau na referência de tensão em $t = 0,75$ s: (a) referências v_d^* e v_q^* , (b) estado FDI em 0, sem falso positivo, (c) tensões dos capacitores, (d) tensão de linha e corrente.



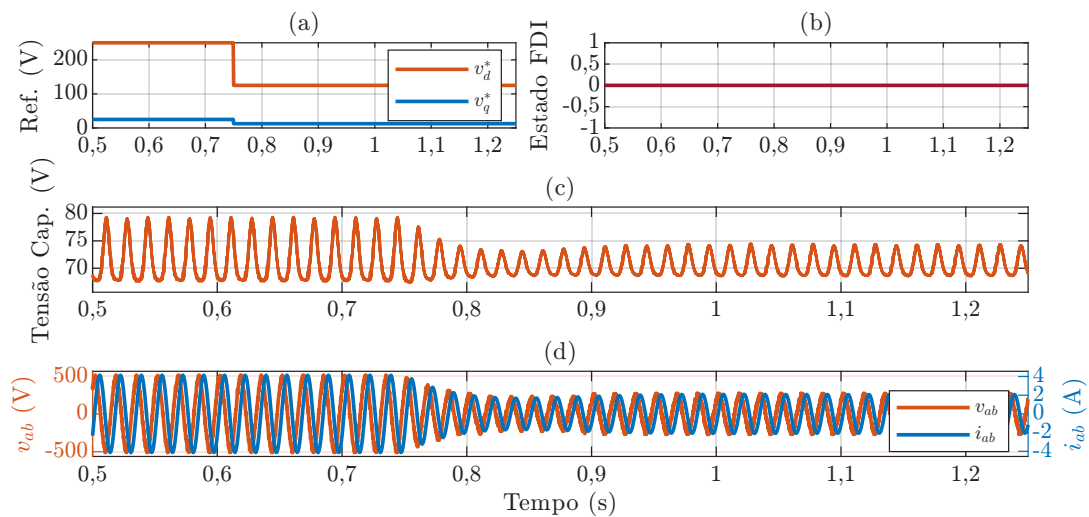
Fonte: Elaborado pelo autor (2026)

Figura 115 – Método Correlação por Pares, degrau na referência de tensão em $t = 0,75$ s:
 (a) referências v_d^* e v_q^* , (b) estado FDI em 0, sem falso positivo, (c) tensões dos capacitores, (d) tensão de linha e corrente.



Fonte: Elaborado pelo autor (2026)

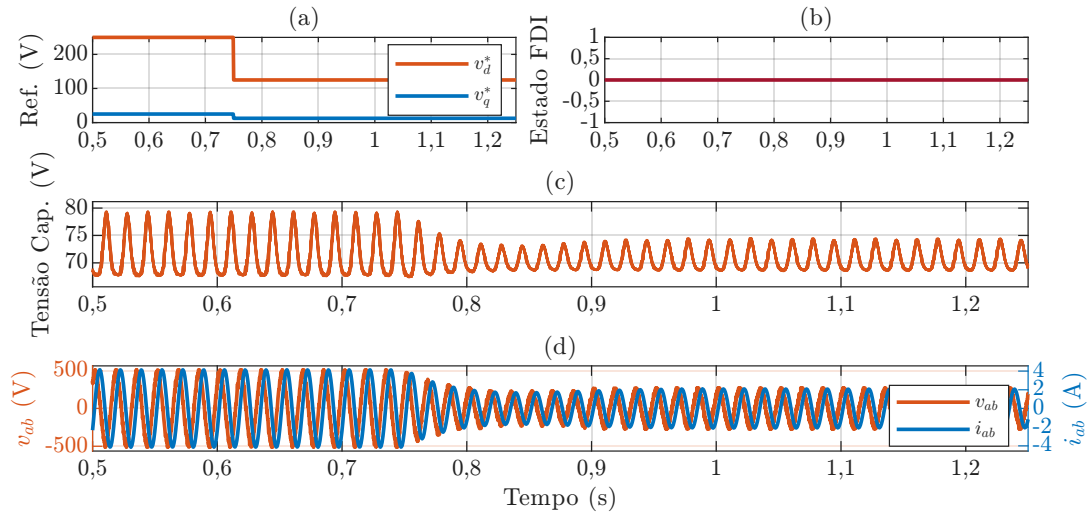
Figura 116 – Método Média Móvel, degrau na referência de tensão em $t = 0,75$ s:
 (a) referências v_d^* e v_q^* , (b) estado FDI em 0, sem falso positivo, (c) tensões dos capacitores, (d) tensão de linha e corrente.



Fonte: Elaborado pelo autor (2026)

Figura 117 – Método SMO sequencial, degrau na referência de tensão em $t = 0,75$ s:

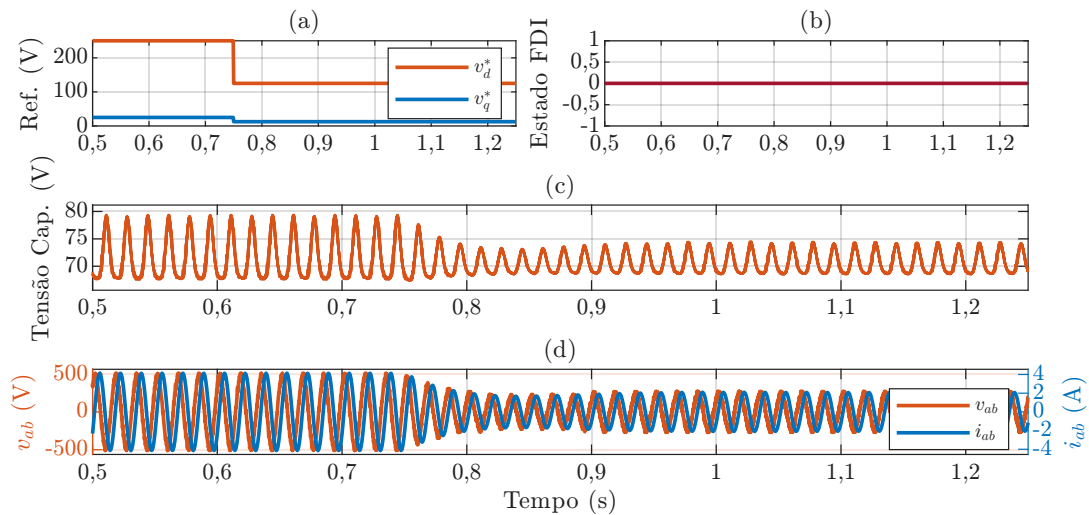
(a) referências v_d^* e v_q^* , (b) estado FDI em 0, sem falso positivo, (c) tensões dos capacitores, (d) tensão de linha e corrente.



Fonte: Elaborado pelo autor (2026)

Figura 118 – Método SMO paralelo, degrau na referência de tensão em $t = 0,75$ s:

(a) referências v_d^* e v_q^* , (b) estado FDI em 0, sem falso positivo, (c) tensões dos capacitores, (d) tensão de linha e corrente.



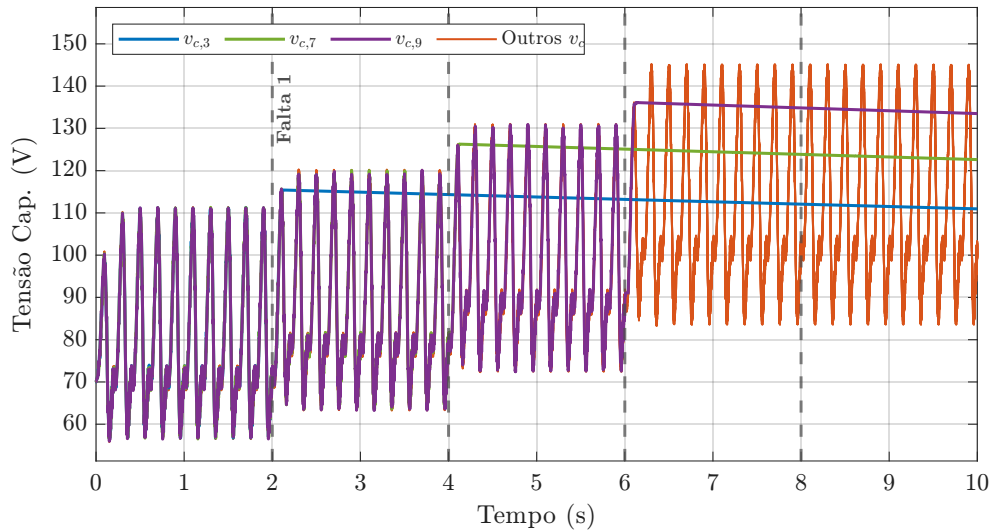
Fonte: Elaborado pelo autor (2026)

4.2.4.4 Robustez a operação em baixas frequências de tensão de saída

Embora as aplicações em HVDC operem em frequência fixa, o MMC também é empregado no acionamento de máquinas de média tensão, nas quais a partida e a operação em baixa rotação impõem frequências fundamentais reduzidas (Hagiwara; Hasegawa; Akagi, 2013). A operação em baixa frequência fundamental de saída representa uma condição crítica para o

Conversor Modular Multinível, pois a ondulação das tensões dos capacitores aumenta à medida que a frequência diminui, aproximando-se das assinaturas de falta. Para viabilizar a operação em $f_o = 5$ Hz, foi empregado um controle simplificado com injeção de alta frequência, utilizado apenas para fins de validação desta condição de teste. Foram aplicadas faltas sucessivas nos instantes $t = 2, 4, 6$ e 8 s, e todos os métodos de identificação e mitigação mantiveram o funcionamento adequado. A Figura 119 apresenta um exemplo utilizando a estratégia *Hot Reserve* e o diagnóstico pelo critério de Grubbs, evidenciando que as faltas continuam sendo corretamente identificadas e mitigadas mesmo sob maior ondulação das tensões dos capacitores. Nota-se que pela estratégia simples, a ondulação de tensão dos capacitores é elevada. Não houve interesse em implementar controles específicos a baixa frequência devido ao escopo do trabalho.

Figura 119 – Tensões de capacitores para operação em baixa frequência de saída ($f_o = 5$ Hz) com faltas nos instantes 2, 4, 6 e 8 segundos.



Fonte: Elaborado pelo autor (2026)

4.2.5 Síntese Comparativa dos Métodos de Identificação

A Tabela 22 apresenta os tempos de detecção (t_{det}) e de localização (t_{loc}) obtidos para os quatro métodos nos dois cenários avaliados, expressos em milissegundos a partir do instante de aplicação da falta.

Dos resultados obtidos, observa-se que o método de Correlação por pares apresenta o menor tempo de localização em todos os cenários avaliados, atingindo valores entre 16,99 ms e 18,29 ms para detecção e entre 17,49 ms e 18,49 ms para localização, com variação mínima entre a falta única e as faltas sequenciais. O critério de Grubbs demonstra comportamento igualmente estável, com detecção próxima de 15 ms e localização próxima de 18,5 ms em todos os cenários. O método SMO apresenta a detecção mais rápida entre todos os métodos ($\approx 13,4$ ms), porém com localização significativamente mais lenta na versão sequencial (≈ 80 – 85 ms), a variante de

Tabela 22 – Comparação dos métodos de identificação de falhas.

Cenário	Método	t_{det} (ms)	t_{loc} (ms)
Falta única (regime perm.)	Grubbs	14,79	18,09
	SMO	13,48	84,04
	SMO (paralelo)	13,48	63,89
	Correlação	17,29	17,49
	Média Móvel	19,99	25,09
Faltas seq. (1 ^a –3 ^a)	Grubbs	15,1–15,8	18,4–19,1
	SMO	13,4–13,6	79,6–84,5
	SMO (paralelo)	13,4–13,6	63,8–64,0
	Correlação	17,0–18,3	17,5–18,5
	Média Móvel	31,3–32,9	36,4–38,0

Fonte: Elaborado pelo autor (2026)

execução paralela reduz este tempo para aproximadamente 64 ms, mantendo o mesmo tempo de detecção. Por fim, o método de Média Móvel apresenta os maiores tempos em ambas as etapas: enquanto na falta única a detecção ocorre em ≈ 20 ms, no cenário sequencial este valor eleva-se para ≈ 32 ms, reflexo do maior tempo de convergência da janela de média após o *bypass* e reconfiguração do braço.

A robustez dos métodos frente a perturbações externas sem presença de falta é avaliada separadamente através de degraus de referência de tensão, de carga e de barramento cc, cujos resultados são apresentados na Tabela 23. Apenas o método SMO e sua variante paralela apresentaram falsa detecção, ocorrida exclusivamente no degrau de barramento cc, decorrente do transitório abrupto na corrente circulante que excede momentaneamente o limiar I_{th1} do observador.

Tabela 23 – Robustez dos métodos de identificação a perturbações externas (ausência de falsa detecção).

Método	Step de ref.	Step de carga	Step de barra. cc
Grubbs	✓	✓	✓
SMO	✓	✓	×
SMO (paralelo)	✓	✓	×
Correlação	✓	✓	✓
Média Móvel	✓	✓	✓

Fonte: Elaborado pelo Autor (2026)

Por fim, a Tabela 24 sintetiza o custo computacional de cada método através da notação assintótica Big- $\mathcal{O}$, que expressa a forma como o custo computacional cresce em função do tamanho do problema, desprezando constantes multiplicativas. Nesta notação, N denota o número de submódulos por braço e W a janela temporal de cada implementação (constante para um dado projeto). Esta análise é de particular relevância para conversores MMC de alta

potência, nos quais N pode superar dezenas ou centenas de módulos, tornando as diferenças de complexidade determinantes para a viabilidade de implementação em tempo real. Além da complexidade por chamada, a frequência de execução f_{exec} multiplica diretamente o custo efetivo por segundo: o método SMO, embora possua baixa complexidade por chamada, opera em uma frequência superior aos outros métodos (100 kHz) para rastrear a dinâmica da corrente circulante, enquanto os métodos baseados em tensão de capacitor toleram subamostragem significativa sem perda de desempenho.

Tabela 24 – Complexidade computacional assintótica dos métodos de identificação de falhas.

Método	Comp. por chamada	Memória	f_{exec}	Observação
Média Móvel	$\mathcal{O}(N)$	$\mathcal{O}(N \cdot W)$	10 kHz	$W = 200$ amostras
Grubbs	$\mathcal{O}(N)$	$\mathcal{O}(N)$	1 kHz	Teste ativo a cada $\Delta t = 1$ ms
SMO	$\mathcal{O}(1)$	$\mathcal{O}(1)$	100 kHz	Varre $2N$ hipóteses sequencialmente
SMO (paralelo)	$\mathcal{O}(N)$	$\mathcal{O}(N)$	100 kHz	$2N$ observadores simultâneos
Correlação	$\mathcal{O}(N^2)$	$\mathcal{O}(N^2 \cdot W)$	10 kHz	$\binom{N}{2}$ pares, $W \approx 167$ amostras

Fonte: Elaborado pelo Autor (2026)

Observa-se que a Correlação apresenta a maior complexidade assintótica ($\mathcal{O}(N^2)$ por chamada e $\mathcal{O}(N^2 \cdot W)$ em memória), decorrente do cômputo incremental das estatísticas de todos os $\binom{N}{2} = N(N-1)/2$ pares de submódulos e da construção da matriz de correlação na etapa de localização. Para o sistema simulado com $N = 10$, isso corresponde a 45 pares e aproximadamente 15 000 entradas em memória por braço, carga ainda viável em implementações digitais modernas. Entretanto, para conversores industriais com $N \geq 50$, o número de pares cresce para 1 225 e a memória para a ordem de grandeza de 10^5 entradas por braço, o que pode inviabilizar a implementação sem otimizações adicionais. O método Grubbs, por sua vez, apresenta a menor carga efetiva por segundo, pois combina complexidade $\mathcal{O}(N)$ por chamada com a menor frequência de execução (1 kHz), consolidando-se como a opção de menor demanda de processamento entre os métodos avaliados.

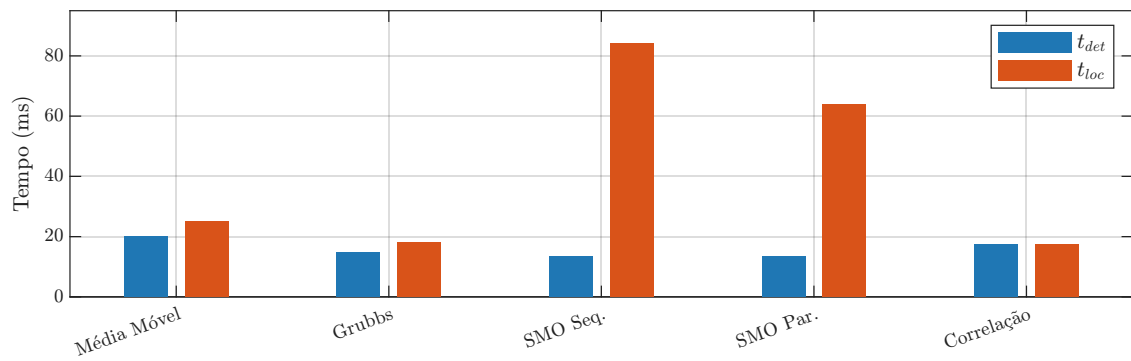
Com o objetivo de consolidar a análise em um único indicador quantitativo, define-se uma *figura de mérito* (FOM) composta pela média aritmética de quatro critérios normalizados individualmente pelo método min-max no intervalo $[0, 1]$, de forma que pontuação menor corresponde a melhor desempenho:

$$FOM_i = \frac{1}{4} \left(\hat{t}_{det,i} + \hat{t}_{loc,i} + \widehat{load}_i + \widehat{mem}_i \right), \quad \hat{x}_i = \frac{x_i - \min(\mathbf{x})}{\max(\mathbf{x}) - \min(\mathbf{x})} \quad (101)$$

onde $\hat{t}_{det}$, $\hat{t}_{loc}$, $\widehat{load}$ e $\widehat{mem}$ são os escores normalizados do tempo de detecção, tempo de lo-

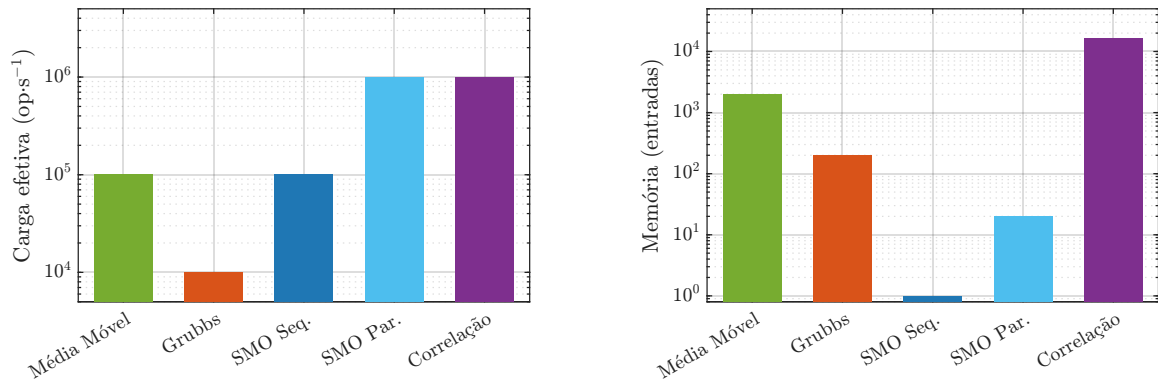
calização, carga computacional efetiva ($f_{exec} \times \mathcal{O}(\cdot)$ em operações por segundo) e requisito de memória, respectivamente. Os resultados para $N = 10$ são apresentados nas Figura 120, Figura 121 e Figura 122, e sintetizados na Tabela 25.

Figura 120 – Tempos de detecção (t_{det}) e localização (t_{loc}) dos métodos de identificação de falhas para falta única em regime permanente ($N = 10$).



Fonte: Elaborado pelo autor (2026)

Figura 121 – Métricas de custo computacional dos métodos de identificação ($N = 10$): (a) carga efetiva em operações por segundo, (b) requisito de memória em número de entradas armazenadas.

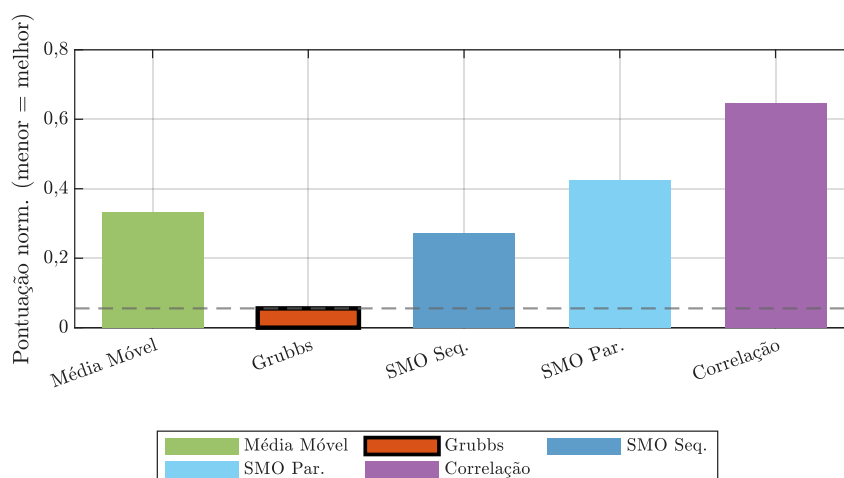


(a) Complexidade efetiva

(b) Requisito de memória

Fonte: Elaborado pelo autor (2026)

Figura 122 – Figura de mérito composta dos métodos de identificação de falhas ($N = 10$). A pontuação normalizada é calculada pela Equação 101, menor valor indica melhor desempenho. O método vencedor é destacado com borda em destaque.



Fonte: Elaborado pelo autor (2026)

Tabela 25 – Ranking dos métodos de identificação de falhas segundo a figura de mérito composta.

Posição	Método	FOM
1°	Grubbs	0,056
2°	SMO	0,273
3°	Média Móvel	0,331
4°	SMO (paralelo)	0,425
5°	Correlação	0,646

Fonte: Elaborado pelo Autor (2026)

O método Grubbs destacou-se como o mais equilibrado entre os avaliados, obtendo a menor pontuação na FOM (0,056). Esse resultado decorre de sua combinação favorável de tempo de detecção competitivo (14,79 ms), localização eficiente (18,09 ms), menor carga computacional efetiva absoluta dentre os cinco métodos (10^4 op/s, consequência direta de sua frequência de execução reduzida de 1 kHz) e requisito de memória moderado ($\mathcal{O}(N)$). O SMO sequencial situa-se em segundo lugar graças ao menor tempo de detecção absoluto (13,48 ms) e ao requisito de memória mínimo ($\mathcal{O}(1)$), porém seu tempo de localização elevado (84,04 ms) penaliza significativamente a pontuação final. A Correlação por pares, apesar de apresentar o menor tempo de localização (17,49 ms), recebe a pior classificação em razão de sua complexidade $\mathcal{O}(N^2)$ e do elevado requisito de memória, o que a torna progressivamente inviável para conversores com grande número de submódulos.

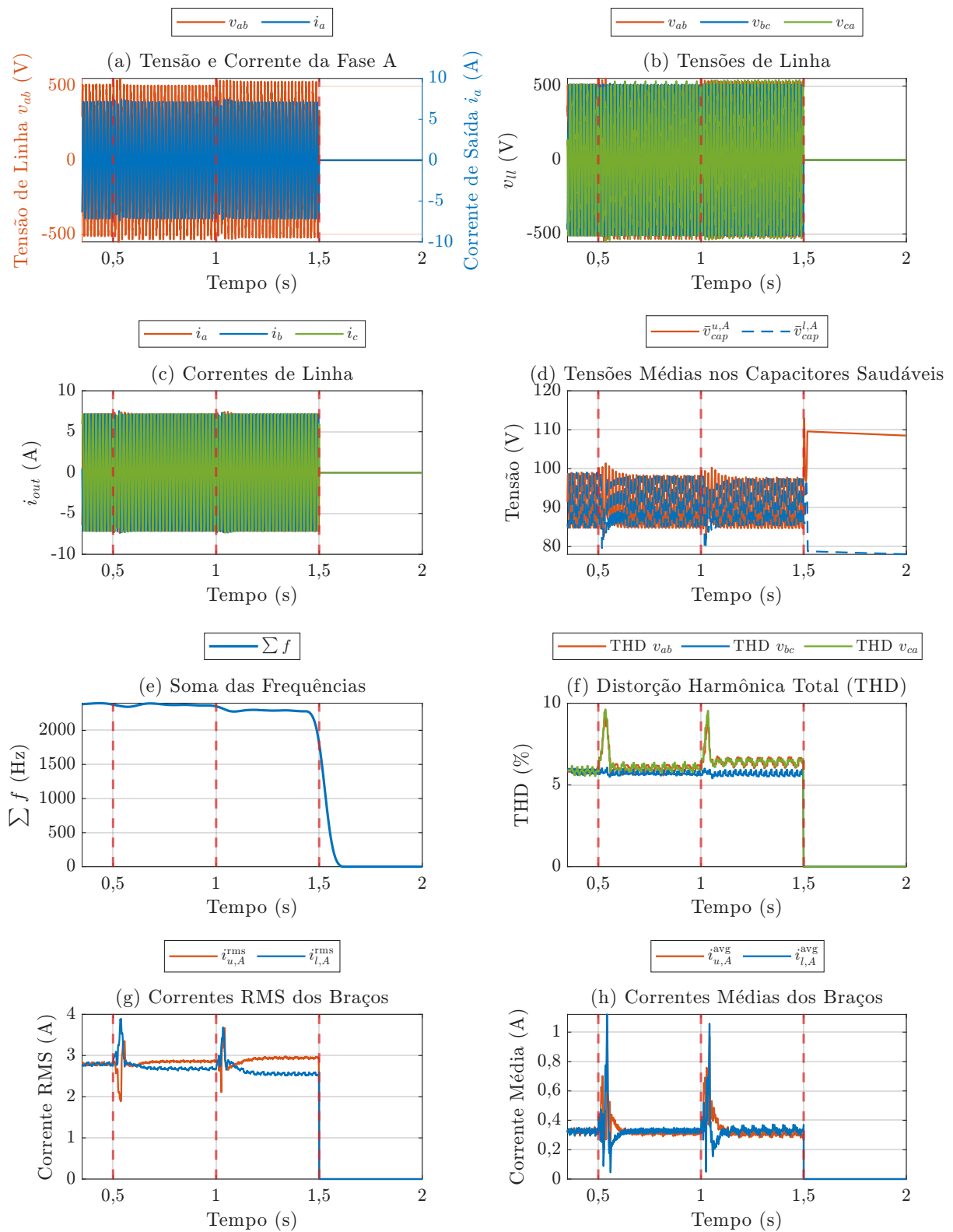
4.3 TOLERÂNCIA A FALHAS

Esta subseção apresenta os resultados comparativos dos cinco métodos de tolerância a falhas implementados: Reserva Fria (*Cold Reserve*), Reserva Quente (*Hot Reserve*), método de Xiao (Xiao et al., 2021a), Deslocamento do Neutro (*Neutral-Shift*) de Yang (Yang; Qin; Saeedifard, 2016) e Injeção Combinada de Tensão de Sequência Zero (CZVI) de Li (Li et al., 2024). Dois cenários de falta são avaliados: faltas sequenciais concentradas em uma única fase e faltas distribuídas em fases distintas. Para cada cenário são analisadas as formas de onda de tensão e corrente, a evolução da distorção harmônica total (THD), a soma das frequências de comutação por fase, as correntes eficazes (RMS) e médias dos braços, e os diagramas fasoriais quando aplicável.

4.3.1 Faltas Sequenciais Concentradas em Uma Fase

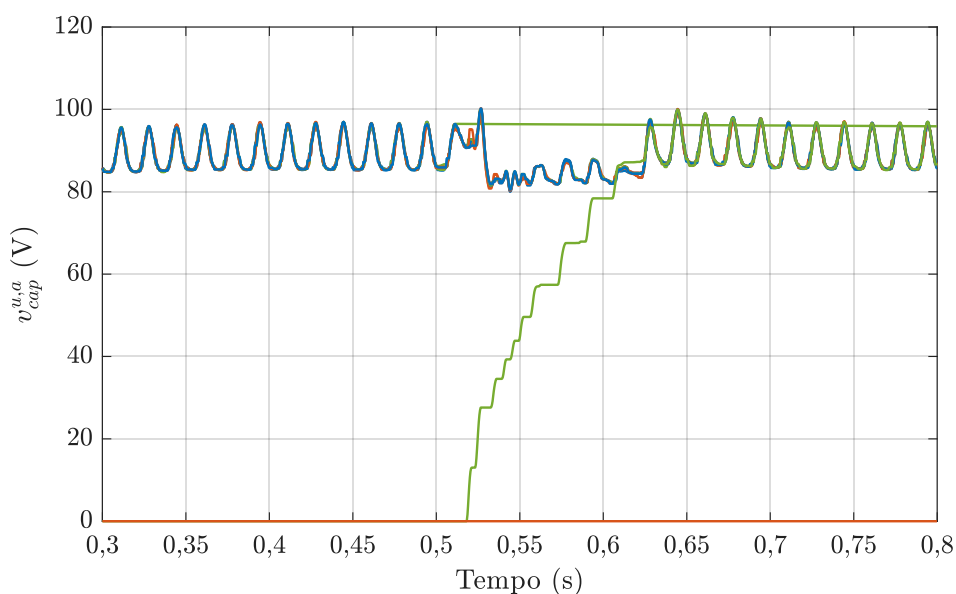
Neste cenário, três faltas de circuito aberto são aplicadas sequencialmente no braço superior da fase A, em $t = 0,5\text{ s}$, $t = 1,0\text{ s}$ e $t = 1,5\text{ s}$, esgotando progressivamente a reserva de submódulos de um único braço. As Figuras 123 a 129 apresentam os resultados para cada método.

Figura 123 – Reserva Fria, faltas concentradas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) tensões nos capacitores, (e) soma das frequências, (f) THD, (g) correntes RMS dos braços, (h) correntes médias dos braços.



Fonte: Elaborado pelo autor (2026)

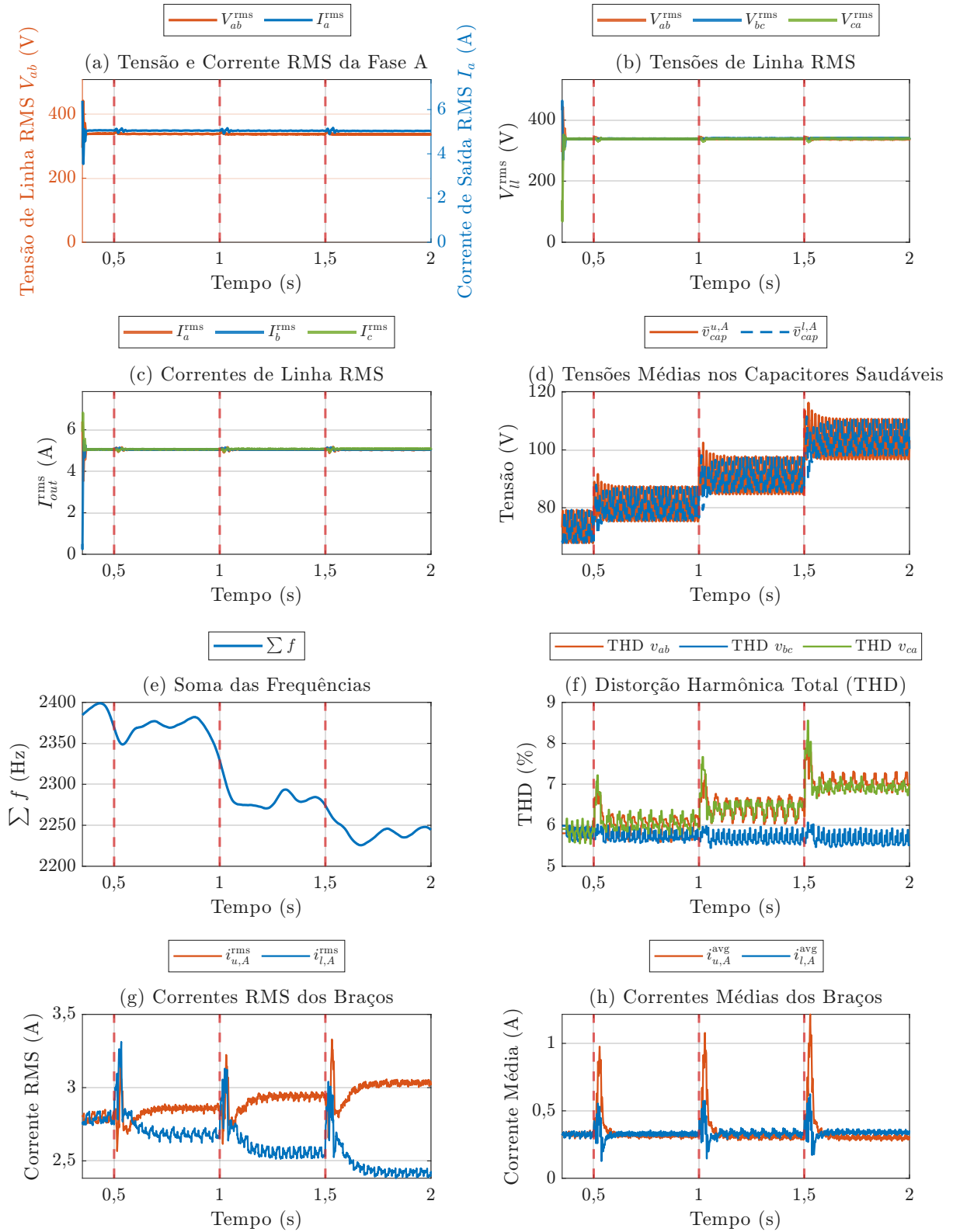
Figura 124 – Problema dos transitórios na Reserva Fria.



Fonte: Elaborado pelo autor (2026)

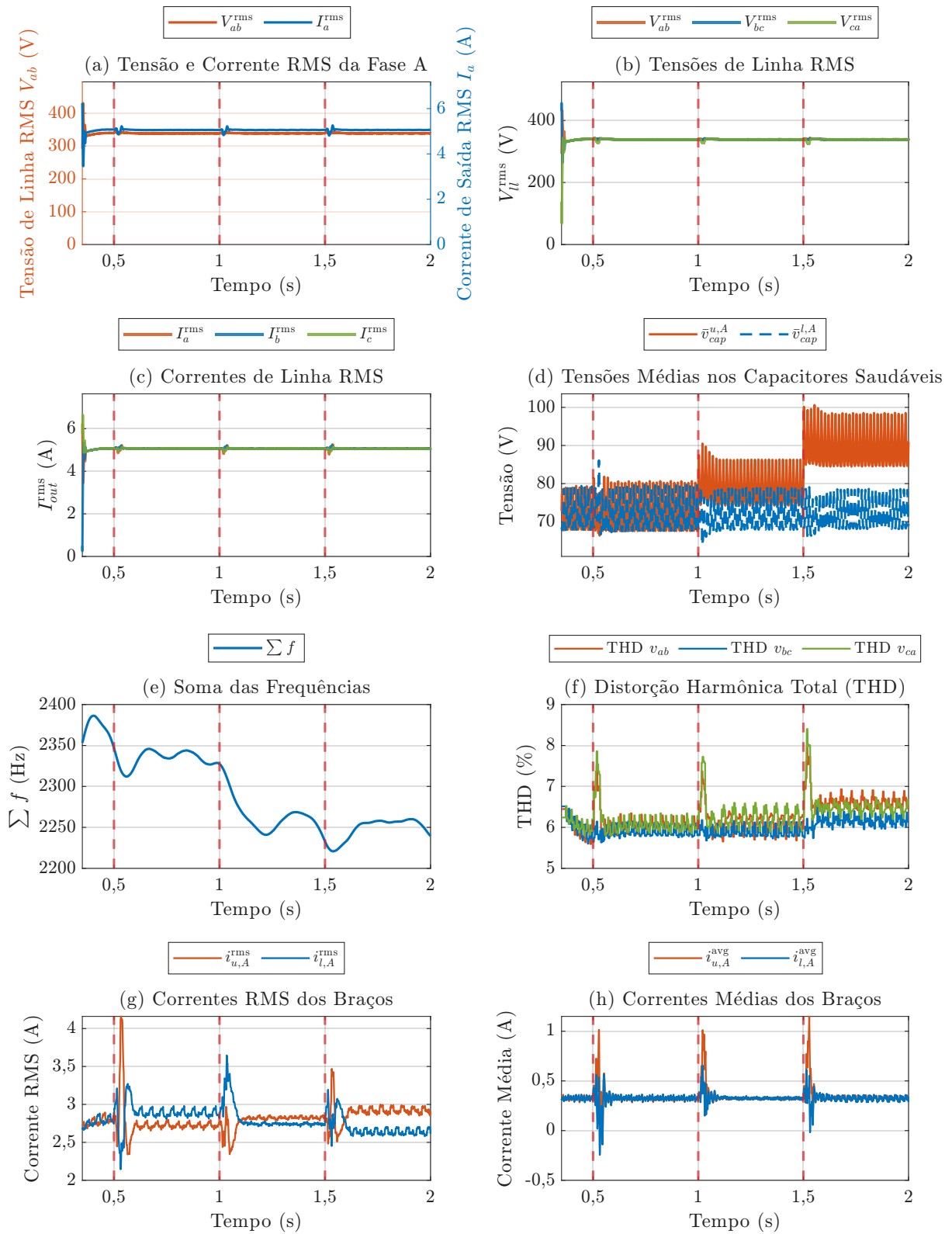
Demonstra-se pela Figura 124 que o método de Reserva Fria possui um grande transitório quando comparado aos outros métodos visto que a tensão de capacitor do submódulo reserva é inicialmente zero. Este comportamento é intrínseco ao método, pois a falta de pré-carga do submódulo reserva resulta em um período de adaptação durante o qual as formas de onda oscilam até que o sistema estabilize. A técnica do método faz com que este transitório seja minimizado ao forçar o módulo a atuar como retificador, acelerando o transitório. Este é o único método com esta característica.

Figura 125 – Reserva Quente, faltas concentradas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) tensões nos capacitores, (e) soma das frequências, (f) THD, (g) correntes RMS dos braços, (h) correntes médias dos braços.



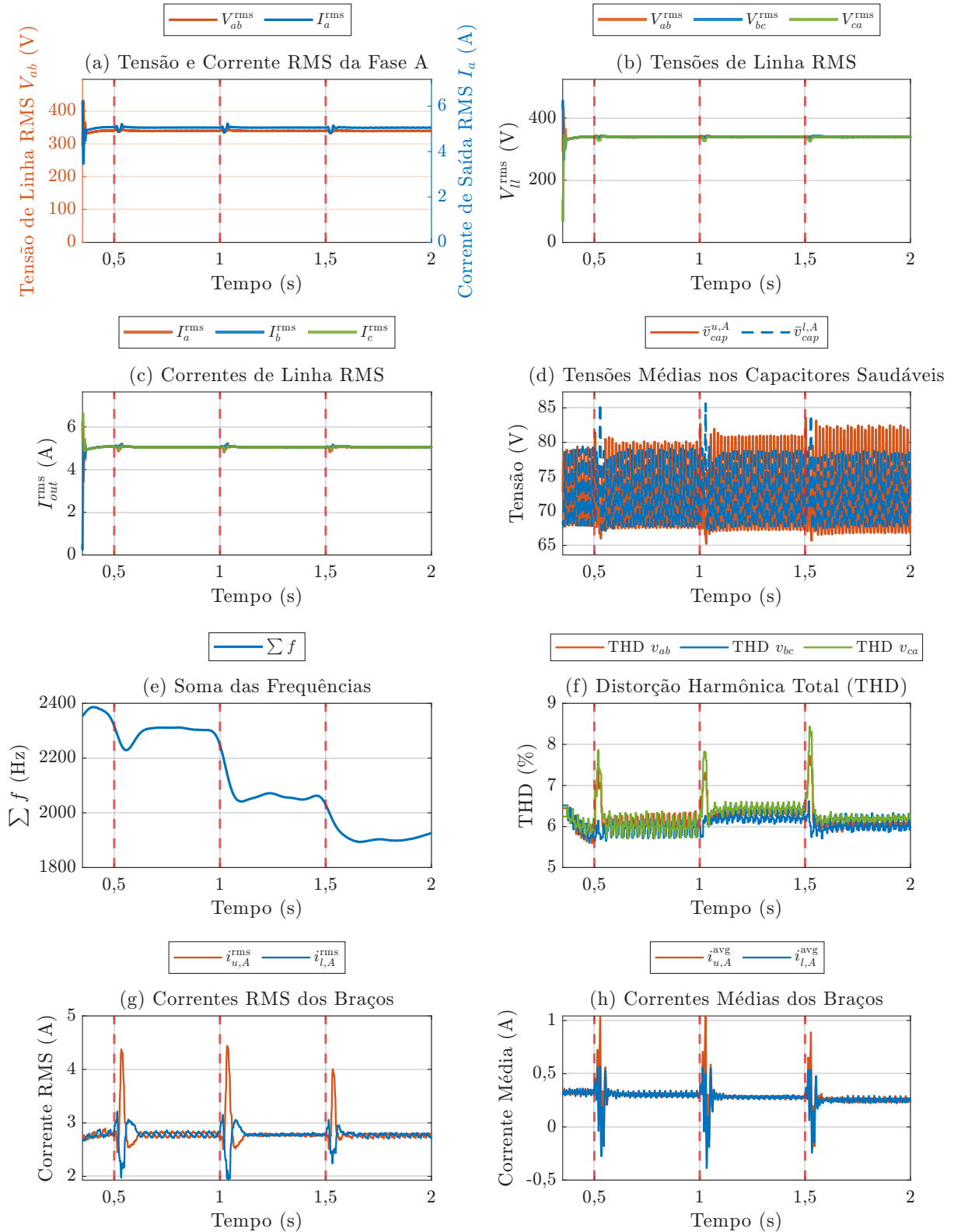
Fonte: Elaborado pelo autor (2026)

Figura 126 – Método Xiao, faltas concentradas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) tensões nos capacitores, (e) soma das frequências, (f) THD, (g) correntes RMS dos braços, (h) correntes médias dos braços.



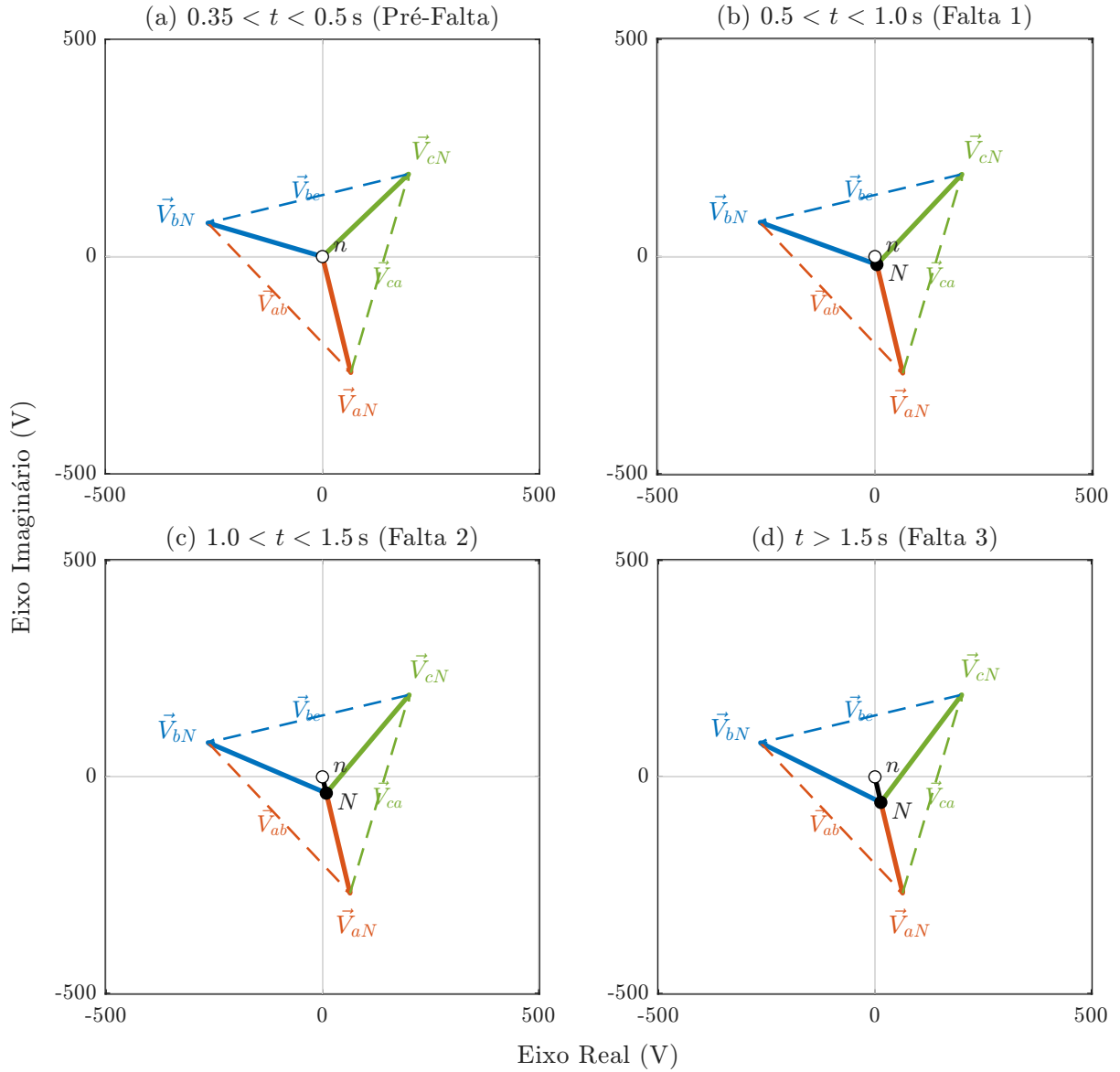
Fonte: Elaborado pelo autor (2026)

Figura 127 – Deslocamento do Neutro (Yang), faltas concentradas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) tensões nos capacitores, (e) soma das frequências, (f) THD, (g) correntes RMS dos braços, (h) correntes médias dos braços.



Fonte: Elaborado pelo autor (2026)

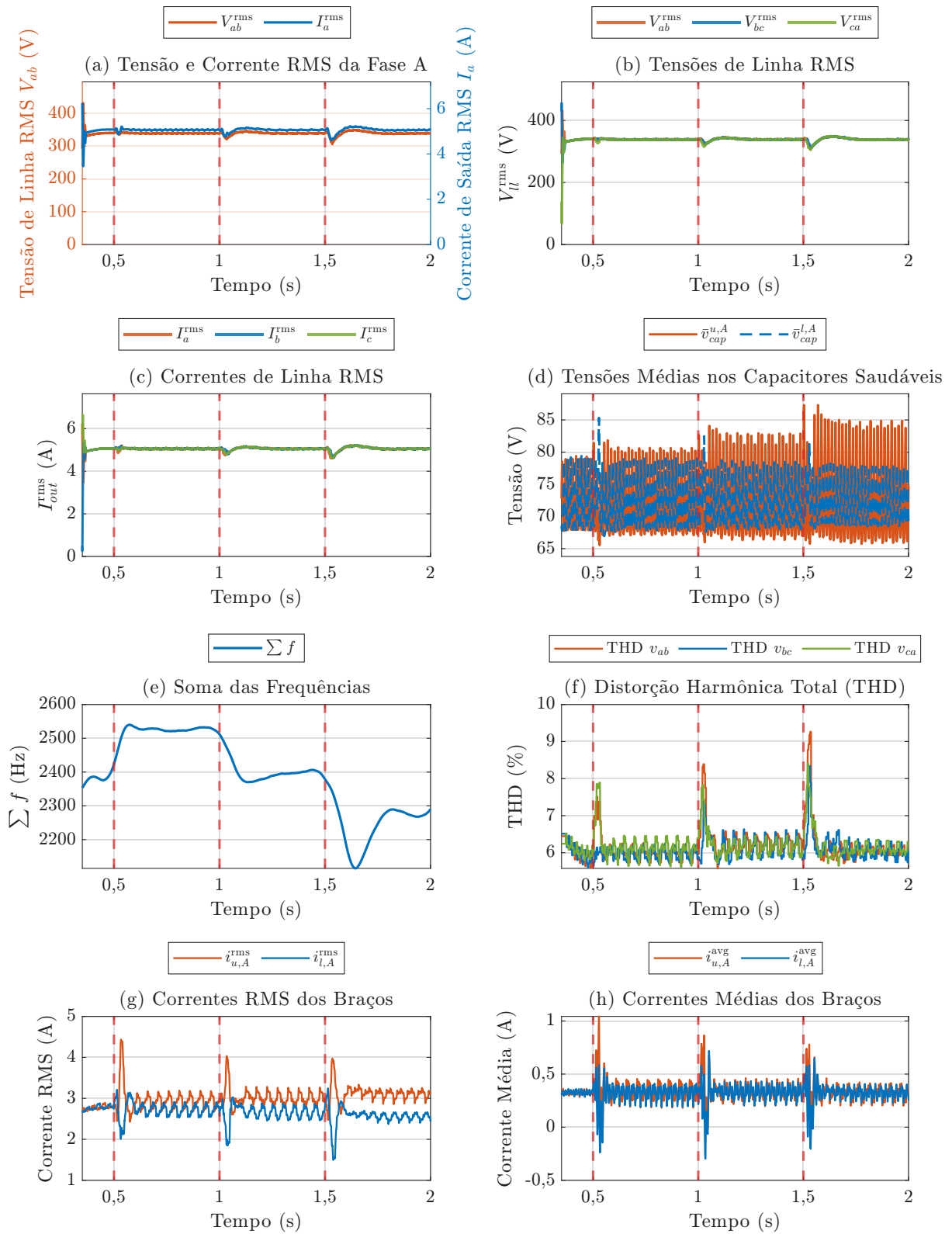
Figura 128 – Evolução fasorial do método de Deslocamento do Neutro (Yang), faltas concentradas: (a) pré-falta, (b) falta 1, (c) falta 2, (d) falta 3. O ponto N indica a posição do neutro deslocado em relação ao neutro original n .



Fonte: Elaborado pelo autor (2026)

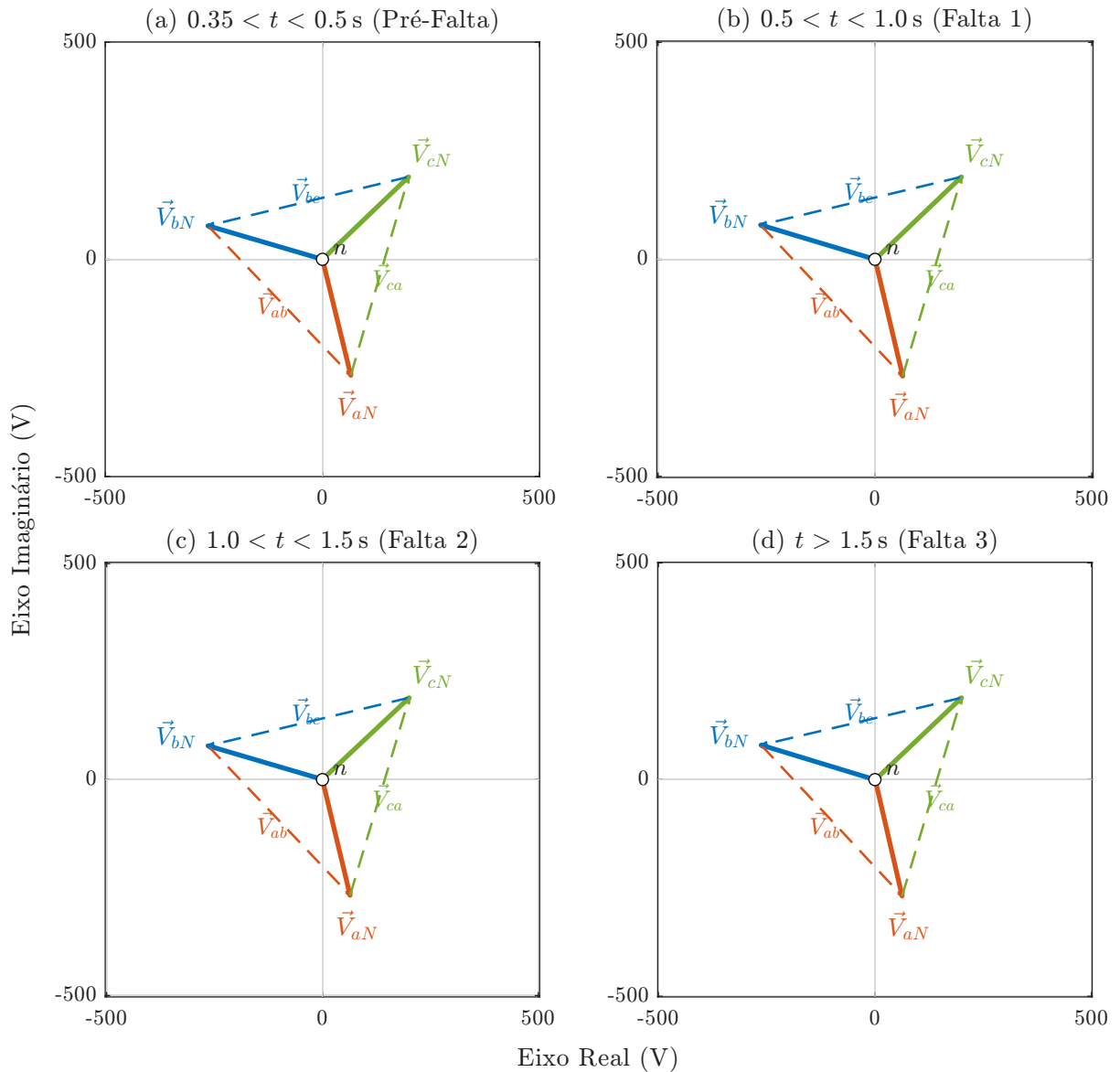
Nota-se, no diagrama fasorial da Figura 128, o deslocamento progressivo do ponto neutro N em relação ao neutro original n a cada nova falta, mantendo as tensões de linha equilibradas. Isto é esperado, pois o método de Yang é projetado para compensar a falta de síntese do braço afetado por meio do deslocamento do ponto neutro, preservando a simetria das tensões de linha. No entanto, a soma das frequências de comutação sofre degradação significativa, indicando que o método opera com um número reduzido de níveis efetivos, o que pode impactar a qualidade da tensão e aumentar a THD.

Figura 129 – CZVI (Li), faltas concentradas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) tensões nos capacitores, (e) soma das frequências, (f) THD, (g) correntes RMS dos braços, (h) correntes médias dos braços.



Fonte: Elaborado pelo autor (2026)

Figura 130 – Evolução fasorial do método CZVI (Li), faltas concentradas: (a) pré-falta, (b) falta 1, (c) falta 2, (d) falta 3. O ponto N indica a posição do neutro deslocado em relação ao neutro original n .



Fonte: Elaborado pelo autor (2026)

Nota-se que mesmo que uma das alternativas do método de Li seja o deslocamento do ponto neutro, neste cenário de faltas concentradas em um único braço, a compensação é realizada exclusivamente por injeção de tensão de sequência zero, sem necessidade de deslocamento do ponto neutro, como evidenciado no diagrama fasorial da Figura 130, onde o ponto N permanece próximo ao neutro original n durante todas as faltas.

No cenário de faltas concentradas, a Reserva Fria mantém a qualidade da tensão de saída inalterada (Figura 123), uma vez que cada submódulo defeituoso é substituído por um módulo redundante, preservando o número efetivo de níveis de tensão. A soma das frequências de comutação permanece estável e a THD não apresenta degradação. A Reserva Quente (Figura 125) exibe comportamento semelhante porém opera-se com tensões de capacitores superiores a

nominais para mitigar a degradação da qualidade da tensão. Todavia na prática o índice de modulação deveria ser reduzido para evitar sobrecarga dos módulos restantes, o que não foi implementado nesta simulação para manter a consistência entre os métodos.

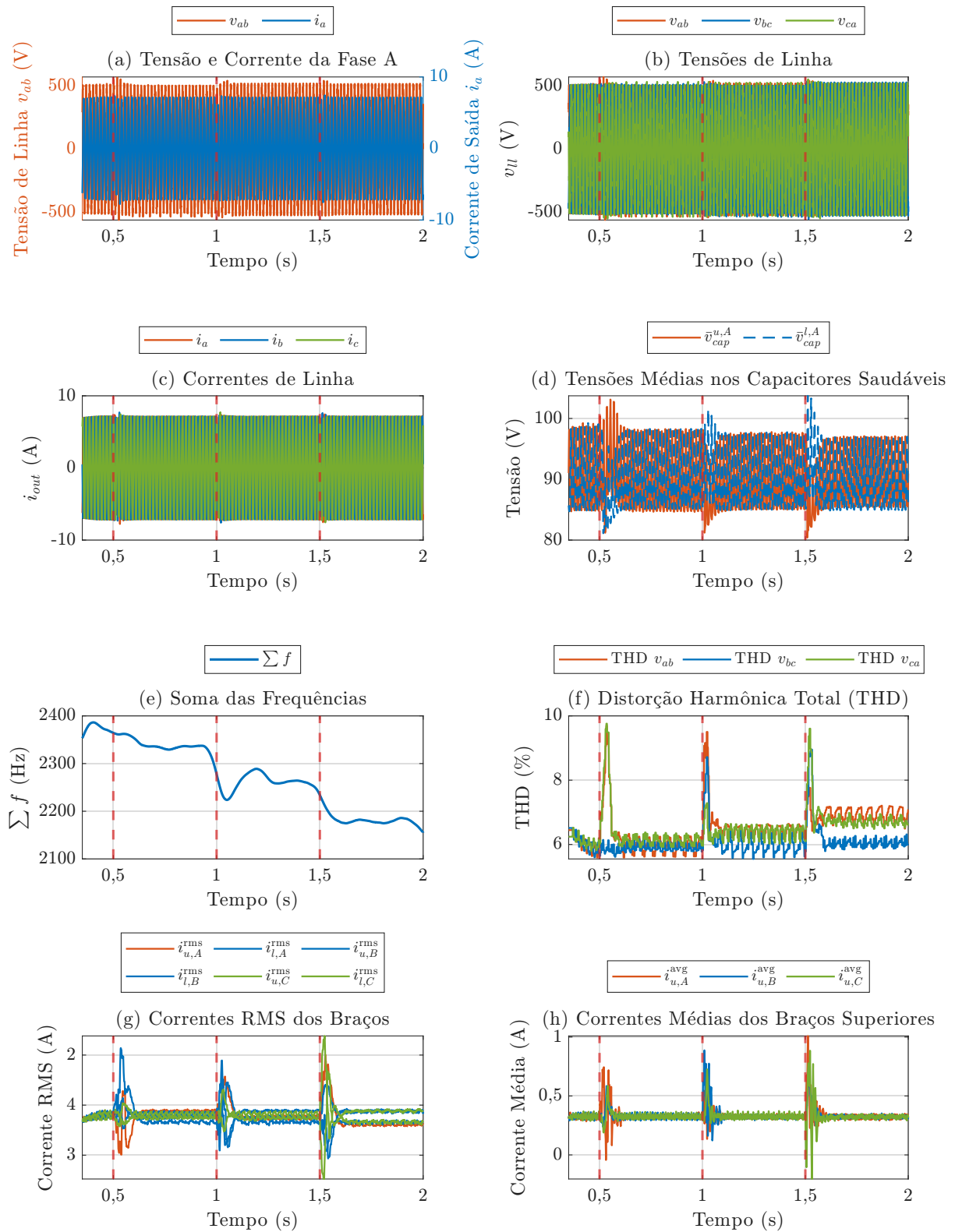
O método de Xiao (Figura 126) mantém a operação contínua com transitórios suaves a cada nova falta, apresentando perturbações moderadas na soma de frequências e na THD. Os transitórios de corrente RMS do braço superior (Figura 126) são contidos e convergem em poucos ciclos. O Deslocamento do Neutro de Yang (Figura 127) recupera a capacidade de síntese da tensão de linha por meio do deslocamento do ponto neutro, conforme evidenciado no diagrama fasorial da Figura 128: o ponto N afasta-se progressivamente de n a cada nova falta, mantendo as tensões de linha $\vec{V}_{ab}$, $\vec{V}_{bc}$ e $\vec{V}_{ca}$ equilibradas. O método CZVI de Li (Figura 129) mantém as mesmas características do método de Li, porém sem o deslocamento do ponto neutro. O diagrama fasorial (Figura 130) mostra a falta de deslocamento de Neutro visto que a condição de faltas concentradas em uma única fase pode ser compensada apenas por injeção de tensão de sequência zero.

Os métodos originais não aumentam a frequência de chaveamento dos módulos funcionais para compensar a falta de módulos, efetivamente diminuindo a frequência de comutação vista pela saída, por isto o gráfico da soma das frequências das três fases diminui após o transiente de cada falta, com exceção dos métodos de Li e Xiao, que elevam a frequência de comutação para mitigar a degradação da qualidade da tensão. A Reserva Fria é o único método que mantém a soma das frequências inalterada de forma nativa, pois cada módulo defeituoso é substituído por um módulo redundante, preservando o número efetivo de níveis de tensão e a frequência de comutação.

4.3.2 Faltas Distribuídas em Fases Distintas

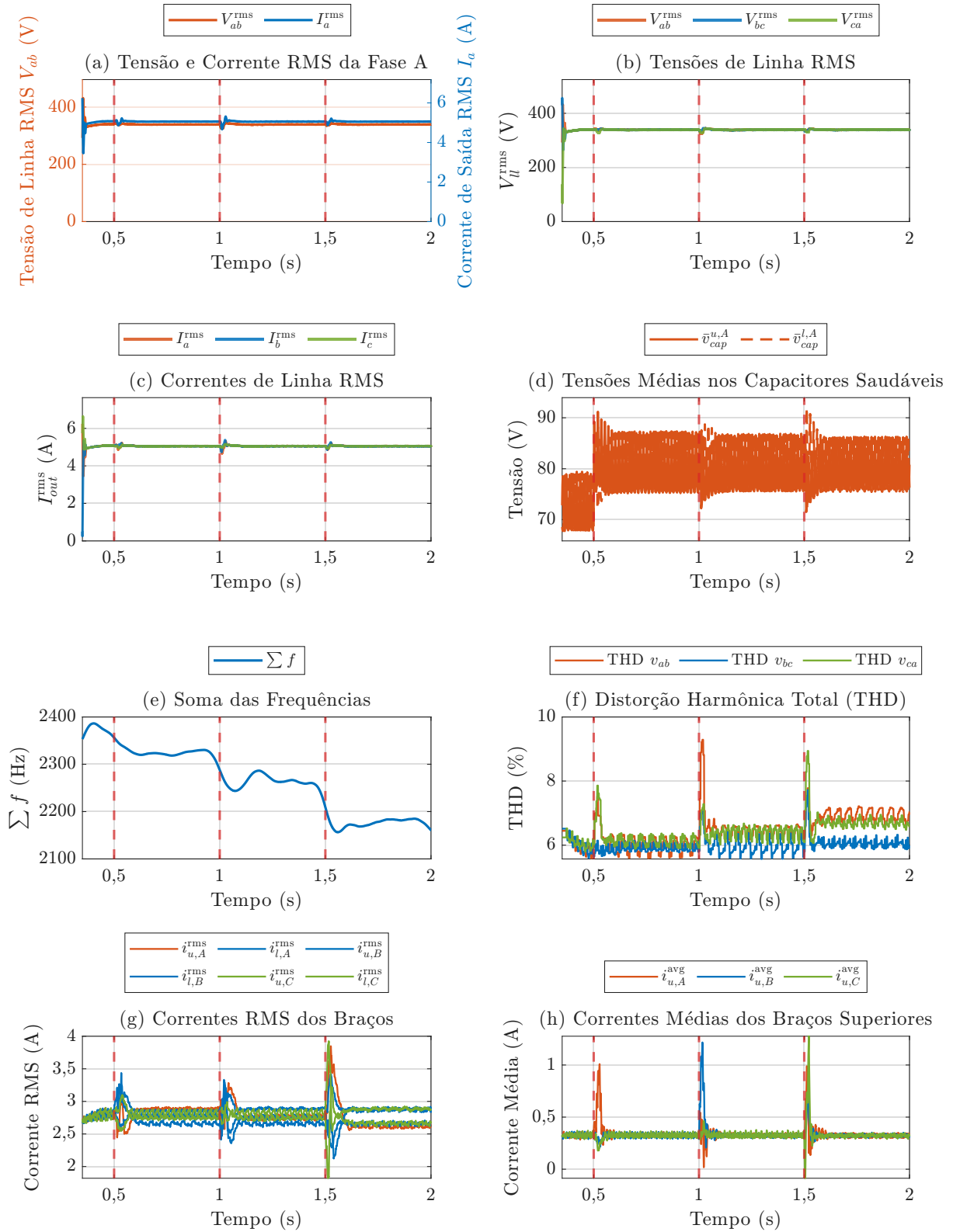
Neste cenário, as faltas são aplicadas de forma progressiva e distribuída entre fases e braços distintos: em $t = 0,5$ s uma falta no braço superior da fase A, em $t = 1,0$ s uma falta no braço inferior da fase A e no braço superior da fase B, e em $t = 1,5$ s uma falta no braço inferior da fase A e no braço inferior da fase C. As Figuras 131 a 136 apresentam os resultados.

Figura 131 – Reserva Fria, faltas distribuídas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) soma das frequências, (e) THD, (f)–(h) correntes RMS por fase, (i) correntes médias dos braços superiores.



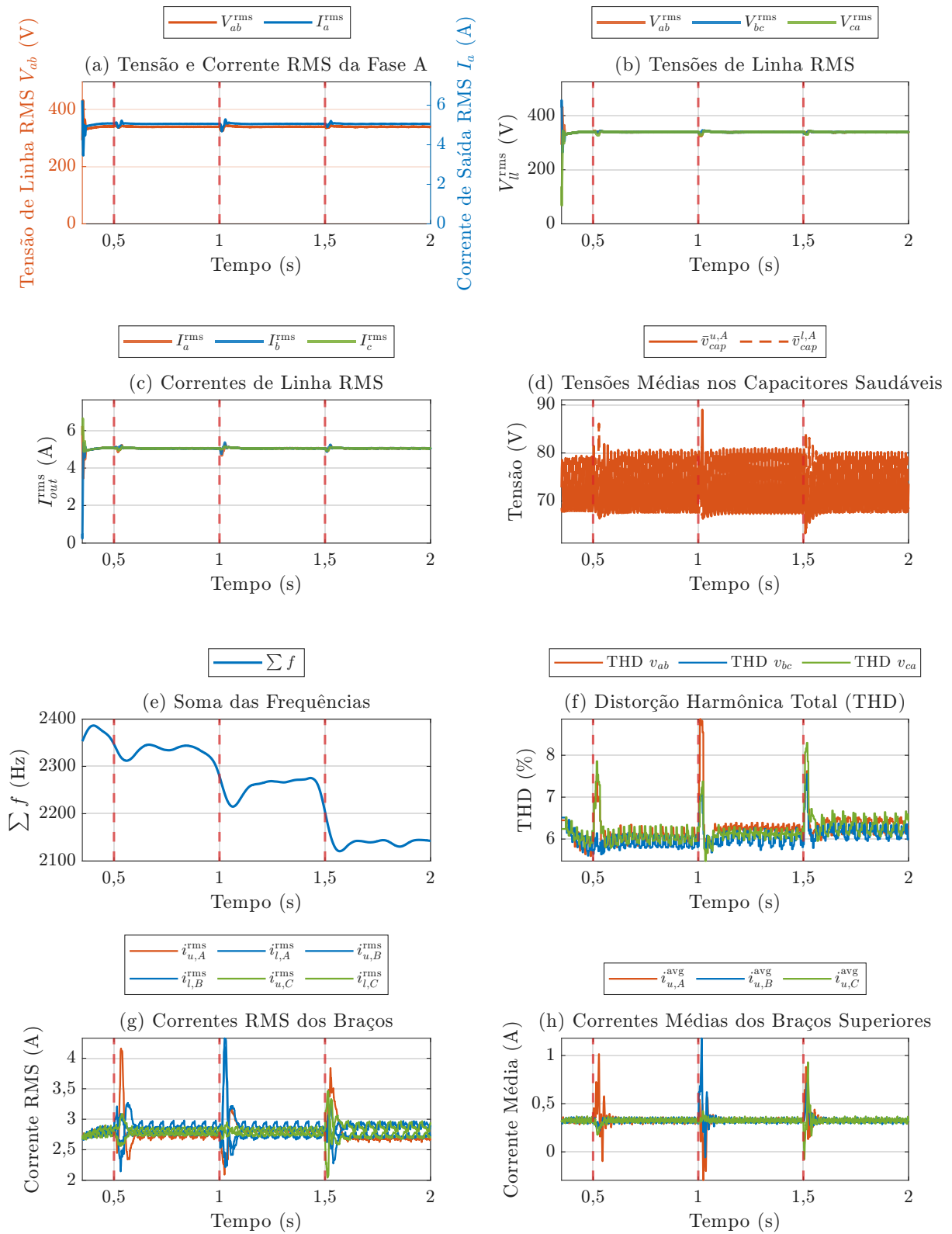
Fonte: Elaborado pelo autor (2026)

Figura 132 – Reserva Quente, faltas distribuídas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) soma das frequências, (e) THD, (f)–(h) correntes RMS por fase, (i) correntes médias dos braços superiores.



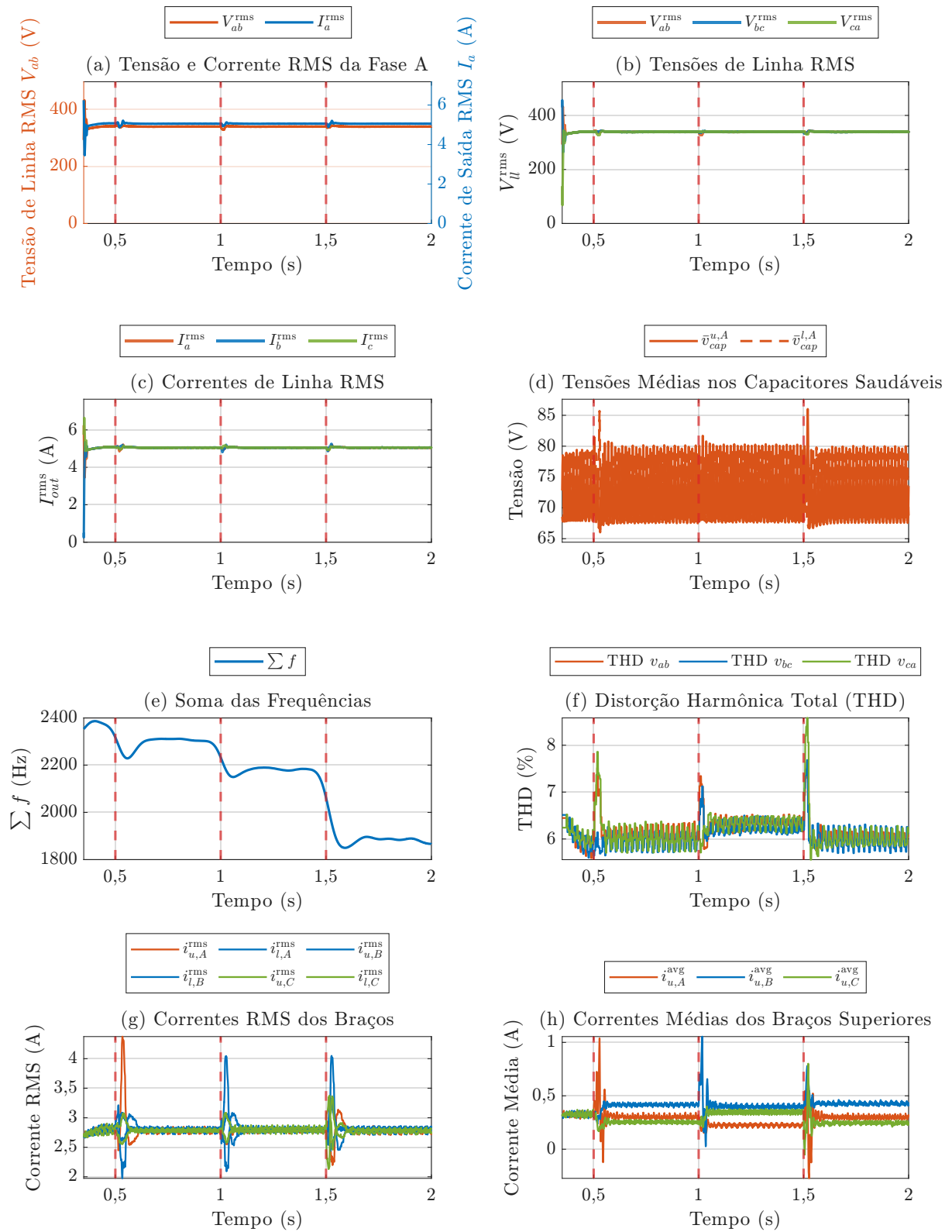
Fonte: Elaborado pelo autor (2026)

Figura 133 – Método Xiao, faltas distribuídas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) soma das frequências, (e) THD, (f)–(h) correntes RMS por fase, (i) correntes médias dos braços superiores.



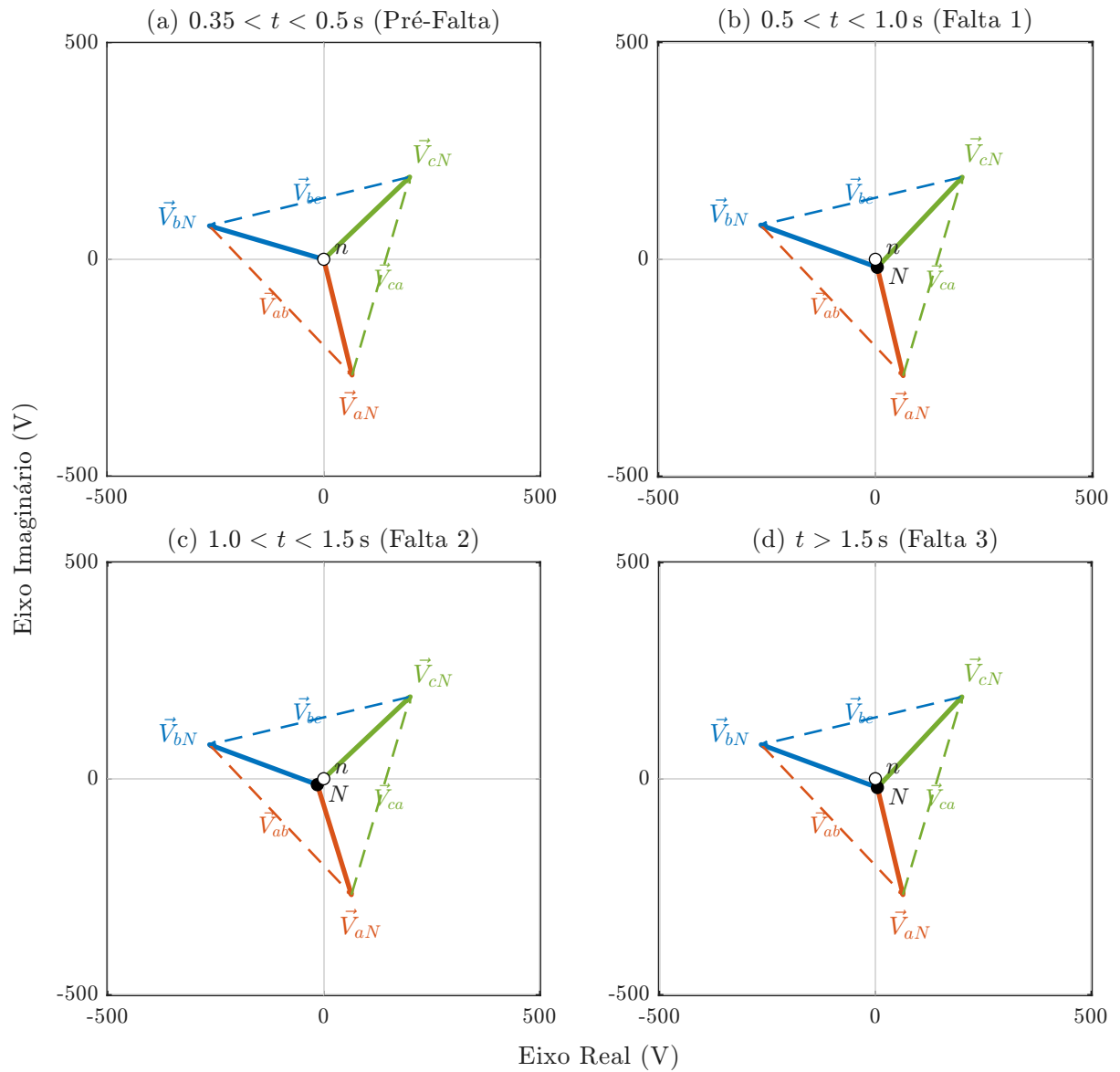
Fonte: Elaborado pelo autor (2026)

Figura 134 – Deslocamento do Neutro (Yang), faltas distribuídas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) soma das frequências, (e) THD, (f)–(h) correntes RMS por fase, (i) correntes médias dos braços superiores.



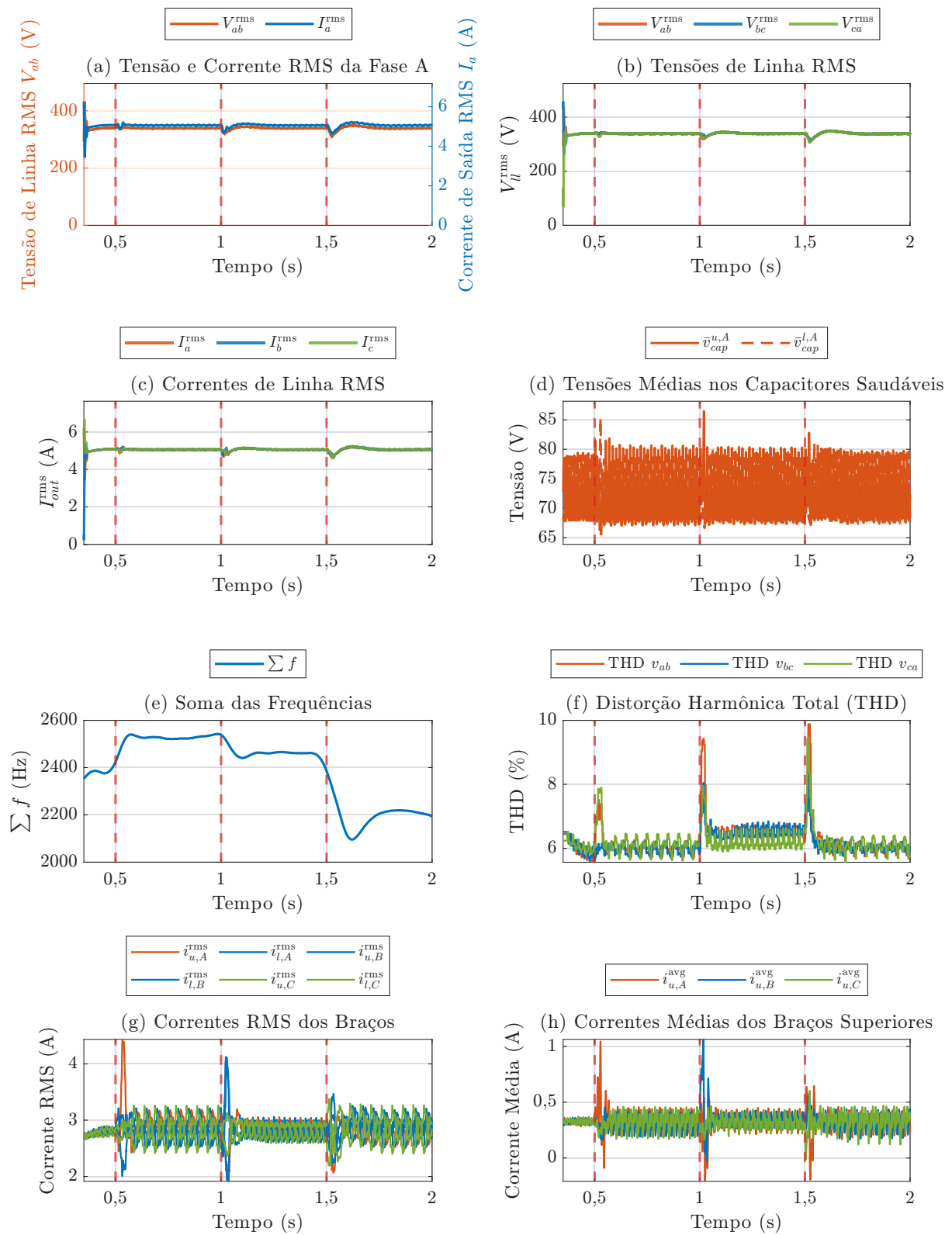
Fonte: Elaborado pelo autor (2026)

Figura 135 – Evolução fasorial do método de Deslocamento do Neutro (Yang), faltas distribuídas: (a) pré-falta, (b) falta 1 (fase A), (c) falta 2 (fase B), (d) falta 3 (fase C).



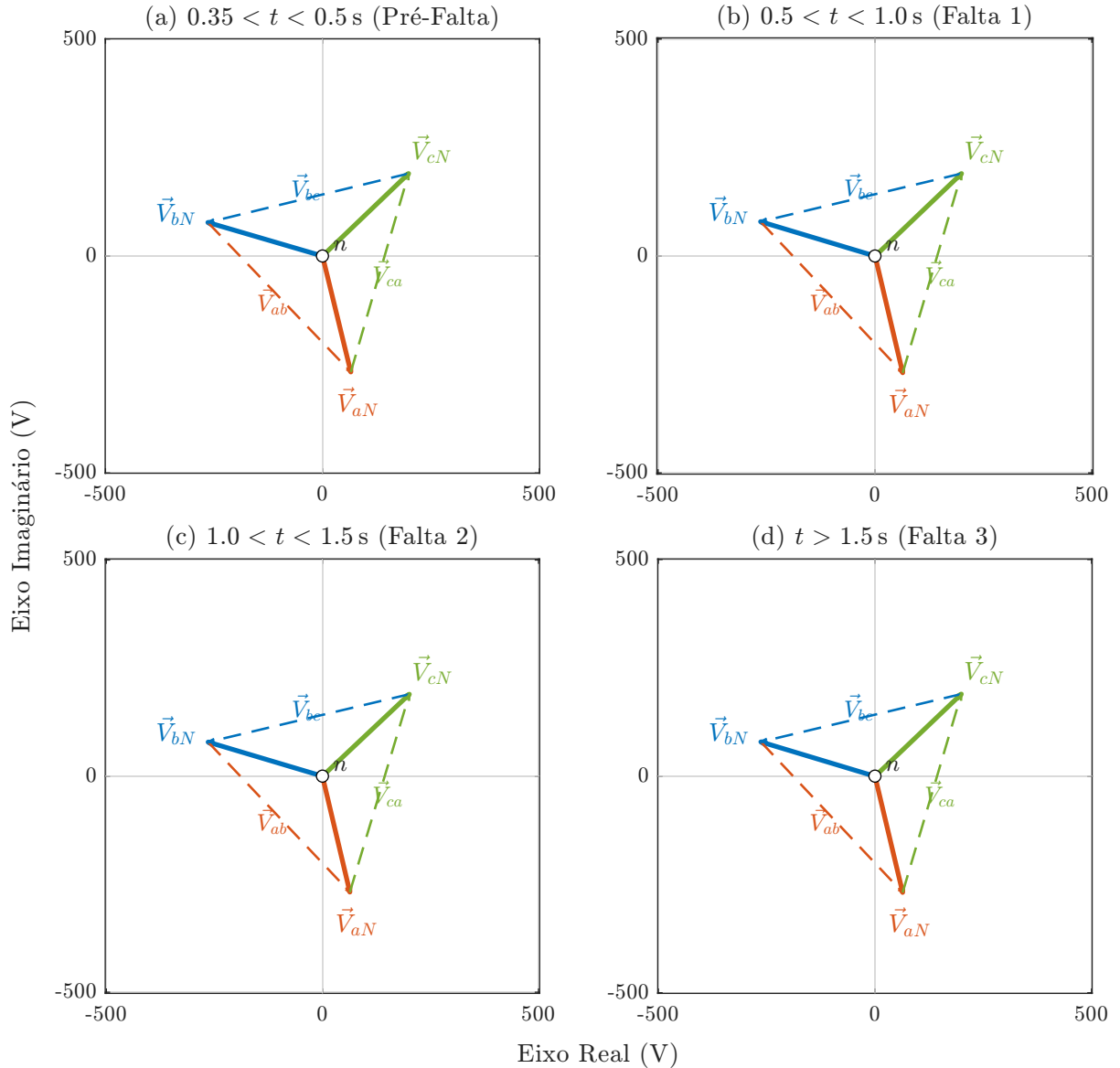
Fonte: Elaborado pelo autor (2026)

Figura 136 – CZVI (Li), faltas distribuídas: (a) tensão e corrente da fase A, (b) tensões de linha, (c) correntes de linha, (d) soma das frequências, (e) THD, (f)–(h) correntes RMS por fase, (i) correntes médias dos braços superiores.



Fonte: Elaborado pelo autor (2026)

Figura 137 – Evolução fasorial do método CZVI (Li), faltas distribuídas: (a) pré-falta, (b) falta 1 (fase A), (c) falta 2 (fase B), (d) falta 3 (fase C).



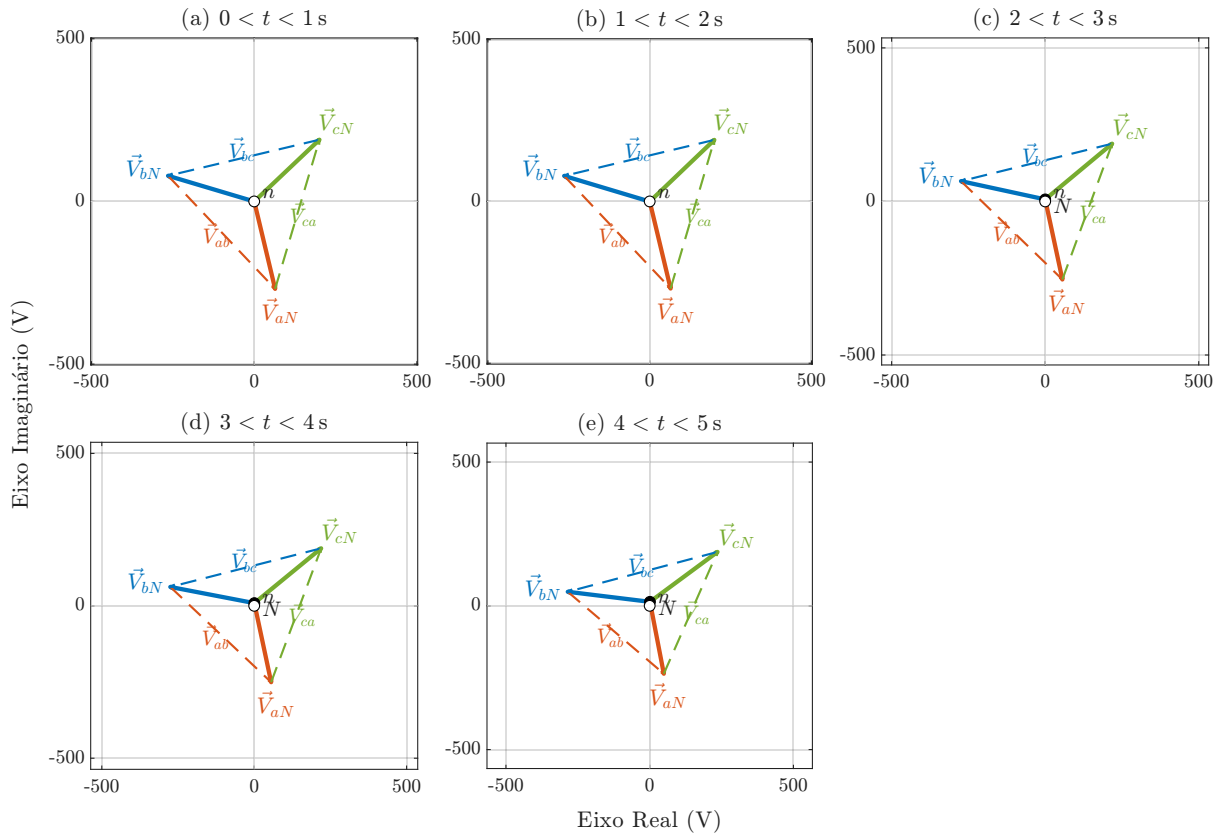
Fonte: Elaborado pelo autor (2026)

No cenário de faltas distribuídas, a simetria da distribuição das faltas entre as três fases atenua o desequilíbrio entre os braços, tornando o caso menos severo do que o cenário concentrado. A Reserva Fria, apresentada na Figura 131, preserva a qualidade da tensão de saída de forma semelhante ao cenário concentrado. A Reserva Quente, apresentada na Figura 132, mantém a operação contínua ao longo das três faltas, uma vez que cada fase dispõe de reservas independentes; os transitórios de corrente RMS permanecem contidos e a THD mantém-se estável em torno de 6,5%. O método de Xiao, apresentado na Figura 133, apresenta o comportamento mais uniforme entre as fases, com perturbações moderadas a cada reconfiguração e convergência rápida. O método de Deslocamento do Neutro, apresentado na Figura 134, exibe o mesmo comportamento observado no cenário concentrado, porém com menor impacto. O diagrama

fasorial da Figura 135 mostra que, com faltas distribuídas de forma simétrica, o deslocamento do neutro é menor, mantendo as tensões fase-neutro mais equilibradas. Já o método CZVI, apresentado na Figura 136, preserva as mesmas características do cenário de faltas concentradas, sem necessidade de deslocamento do ponto neutro, como evidencia o diagrama fasorial da Figura 137, no qual o ponto N permanece próximo ao neutro original n ao longo de todas as faltas.

Por fim, para demonstrar que o método de Li foi implementado corretamente, realizou-se uma simulação adicional do método de Li com faltas distribuídas no sub-braço superior e inferior da fase A.

Figura 138 – Evolução fasorial do método de Deslocamento do Neutro (Yang), faltas distribuídas: (a) pré-falta, (b) falta 1 (fase A, braço superior), (c) falta 2 (fase A, braço inferior), (d) falta 3 (fase A, braço superior) e (e) falta 4 (fase A, braço inferior).



Fonte: Elaborado pelo autor (2026)

Nota-se que apenas nesta condição extrema o método necessitou do deslocamento do ponto neutro para compensar a falta de síntese da fase A, evidenciado no diagrama fasorial da Figura 138 pelo afastamento do ponto N em relação ao neutro original n a cada nova falta, mantendo as tensões de linha equilibradas.

4.4 SÍNTESE COMPARATIVA DOS MÉTODOS DE TOLERÂNCIA A FALHAS

A Tabela 26 sintetiza os indicadores em regime permanente após a terceira falta: desvio máximo da corrente (I_{rms}), corrente média (I_{avg}), desvio de frequência (f_{dif}), componente contínua residual (cc_{inj}), tensão de sequência zero em 60 Hz (NS_{60Hz}) e eficaz (ZSV), além do tempo de reconfiguração (t_{trans}). Os dados estão em p.u. (bases: corrente média pré-falta e tensão de polo $U_{cc}/2$), exceto t_{trans} e THD. Complementarmente, a Tabela 27 detalha as assimetrias por fase.

Tabela 26 – Indicadores de qualidade pós-falta globais dos métodos de tolerância a falhas (3 faltas em concentrado e 5 faltas em distribuído, $N = 10$).

Cenário	Método	I_{rms}	I_{avg}	THD	f_{dif}	cc_{inj}	NS_{60Hz}	ZSV	t_{trans} (ms)
Referência	Reg. Permanente	1,00	1,00	5,91 %	1,00	0,00	0,00	0,00	—
Concentrada (fase A)	Reserva Fria	1,01	1,02	6,18 %	0,99	0,00	0,00	0,03	88
	Reserva Quente	1,09	1,00	7,02 %	0,94	0,00	0,00	0,03	51
	Xiao	1,05	1,00	6,60 %	0,95	0,04	0,00	0,03	49
	Desl. Neutro	1,02	1,00	6,04 %	0,81	0,00	0,12	0,02	52
	CZVI	1,11	1,00	6,05 %	0,95	0,28	0,00	0,12	76
Distribuída (A, B, C)	Reserva Fria	1,01	1,03	6,37 %	0,95	0,00	0,00	0,03	105
	Reserva Quente	1,03	0,99	6,56 %	0,92	0,00	0,00	0,03	70
	Xiao	1,04	1,00	6,27 %	0,90	0,00	0,00	0,02	49
	Desl. Neutro	1,00	1,00	5,99 %	0,80	0,00	0,04	0,02	52
	CZVI	1,05	1,00	6,02 %	0,93	0,09	0,00	0,12	76

Fonte: Elaborado pelo Autor (2026)

Tabela 27 – Indicadores detalhados por fase pós-terceira falta (valores em p.u. e %).

Método	I_{rms} [A, B, C]	I_{avg} [A, B, C]	THD [AB, BC, CA]	f_{dif} [A, B, C]
Cenário Concentrado (Falta na Fase A, THD em % e demais em p.u.)				
Reserva Fria	[1,01; 1,00; 1,00]	[1,04; 1,01; 1,00]	[6,18; 5,73; 6,24]	[1,00; 0,98; 0,99]
Reserva Quente	[1,09; 1,01; 1,01]	[0,99; 1,02; 0,98]	[7,02; 5,64; 6,91]	[0,85; 0,97; 0,99]
Xiao	[1,05; 1,01; 1,02]	[1,00; 1,00; 1,00]	[6,60; 6,17; 6,47]	[0,82; 1,00; 1,03]
Desl. Neutro	[0,99; 1,02; 0,99]	[0,78; 1,91; 0,31]	[6,04; 6,03; 6,19]	[0,66; 0,86; 0,91]
CZVI	[1,11; 1,11; 1,11]	[1,00; 1,00; 1,00]	[6,05; 6,03; 6,11]	[0,78; 1,05; 1,04]
Cenário Distribuído (Faltas nas Fases A, B, C, THD em % e demais em p.u.)				
Reserva Fria	[1,01; 1,01; 1,01]	[1,05; 1,04; 1,01]	[6,62; 6,10; 6,39]	[0,93; 0,93; 1,00]
Reserva Quente	[1,03; 1,03; 1,03]	[1,00; 0,99; 1,00]	[6,95; 6,04; 6,69]	[0,86; 0,93; 0,97]
Xiao	[1,04; 1,03; 1,03]	[0,99; 1,00; 1,00]	[6,33; 6,17; 6,31]	[0,81; 0,95; 0,95]
Desl. Neutro	[1,00; 1,01; 1,00]	[0,92; 1,31; 0,76]	[5,98; 5,98; 6,00]	[0,73; 0,78; 0,87]
CZVI	[1,04; 1,04; 1,05]	[1,00; 1,00; 1,00]	[5,99; 6,01; 6,07]	[0,84; 0,96; 0,98]

Fonte: Elaborado pelo Autor (2026)

A Reserva Fria apresenta os indicadores globais mais próximos da operação nominal ($I_{rms} = 1,01$, THD = 6,18 % no cenário concentrado), uma vez que cada módulo defeituoso é

substituído por um redundante, preservando o número efetivo de níveis e demonstrando um excelente equilíbrio entre as fases. O transitório de reconfiguração, entretanto, é o mais longo entre os métodos (88 ms a 105 ms), decorrente do tempo de carregamento do capacitor do módulo reserva recém-ativado. Esta estratégia é limitada pelo número de módulos redundantes disponíveis e, uma vez esgotada a reserva, não oferece recurso adicional de mitigação.

Os métodos baseados em modulação apresentam compromissos e comportamentos assimétricos distintos. O Deslocamento do Neutro de Yang obtém a menor THD em ambos os cenários (6,04 % e 5,99 %) com um transitório de reconfiguração de 52 ms, porém ao custo da maior degradação na soma de frequências de comutação ($f_{dif} = 0,81$ e $0,80$) e de um severo desequilíbrio na corrente média por fase (I_{avg}), que atinge 1,91 p.u. na fase B e cai a 0,31 p.u. na fase C durante uma falta concentrada. Além disso, introduz uma componente de 60 Hz na tensão de sequência zero ($NS_{60Hz} = 0,12$), o que pode ser problemático em aplicações com neutro conectado.

O CZVI de Li apresenta THD igualmente baixa (6,05 % e 6,02 %) e garante um perfeito equilíbrio das correntes médias per fase ($I_{avg} = 1,00$ em todas as fases), porém introduz a maior injeção de componente contínua global ($cc_{inj} = 0,28$ no cenário concentrado), a maior tensão de sequência zero residual ($ZSV = 0,12$) e um transitório relativamente longo (76 ms). O método de Xiao oferece o melhor equilíbrio geral entre THD (6,60 % e 6,27 %), frequência de comutação ($f_{dif} = 0,95$ e $0,90$), manutenção das correntes médias nominais em todas as fases e o transitório mais rápido (49 ms), consolidando-se como a opção de menor impacto lateral estrutural. A Reserva Quente apresenta a maior THD (7,02 % e 6,56 %), consistente com o aumento do estresse sobre os capacitores dos módulos remanescentes, elevando as correntes RMS assimetricamente na fase afetada.

A Tabela 28 complementa a análise com a complexidade computacional de cada método. Todos apresentam custo $\mathcal{O}(1)$ por chamada em regime permanente, diferindo apenas no custo absoluto: os métodos de Deslocamento do Neutro e CZVI requerem múltiplas avaliações de funções transcendentais ($\cos$, $\sin$, $\cos$), o que eleva o tempo de execução por amostra em relação as estratégias de reserva e ao método de Xiao, que utiliza apenas operações algébricas simples.

Tabela 28 – Complexidade computacional dos métodos de tolerância a falhas.

Método	Comp. por chamada	Reconfig. (evento)	Memória adicional	Observação
Reserva Fria	$\mathcal{O}(1)$	$\mathcal{O}(N)$	$\mathcal{O}(1)$	Compensação feedforward (Eq. 9, Li 2015), troca de portadora pontual
Reserva Quente	$\mathcal{O}(1)$	$\mathcal{O}(N)$	$\mathcal{O}(1)$	Bypass + reconfiguração assimétrica de portadoras
Xiao 2021	$\mathcal{O}(1)$	$\mathcal{O}(N)$	$\mathcal{O}(1)$	Classificação em 3 casos, tensão virtual com escalonamento, usa sqrt
Desl. Neutro	$\mathcal{O}(1)^*$	$\mathcal{O}(N)$	$\mathcal{O}(1)$	≈ 12 chamadas trigonométricas (acos , asin , sin , cos), decomposição em quadratura
CZVI	$\mathcal{O}(1)^*$	$\mathcal{O}(N)$	$\mathcal{O}(1)$	4 etapas (cc, POC, deslocamento, BZVI), ≈ 15 chamadas trigonométricas, sort de 3 elementos

*Constante em N , porém com custo absoluto elevado devido a funções transcendentais.

Fonte: Elaborado pelo autor (2026)

Em síntese, a escolha do método de tolerância a falhas depende das restrições específicas da aplicação. A Reserva Fria oferece a menor degradação da qualidade de saída e excelente balanceamento entre as fases, ao custo de um transitório mais longo e da dependência de módulos redundantes físicos, podendo a inserção dos módulos reserva ser suavizada com a estratégia de transição descrita em Li et al. (2015). Para operação além da capacidade de reserva, o método de Xiao oferece o melhor compromisso entre qualidade de saída, velocidade de reconfiguração, equilíbrio de correntes e simplicidade computacional. Por sua vez, os métodos de Yang e Li são preferíveis quando a minimização estrita da THD é prioritária, desde que o sistema seja tolerante aos expressivos desequilíbrios de corrente média (Yang) ou a alta injeção de componente contínua (Li).

5 VALIDAÇÃO EXPERIMENTAL VIA HARDWARE-IN-THE-LOOP

Este capítulo apresenta a implementação em tempo real da estratégia de (Xiao et al., 2021a), escolhida devido ao seu excelente desempenho global em todos os cenários de falta, conforme evidenciado na análise comparativa. A implementação é realizada em um ambiente de emulação de tempo real utilizando o Typhoon HIL402, com o controlador executando em um DSP TMS320F28335. O desenvolvimento do *firmware* é detalhado, incluindo a estrutura geral, as otimizações para execução em tempo real e a integração com o ambiente de emulação. Esta validação demonstra a possibilidade da implementação dos tipos de estratégias estudadas neste trabalho em condições de tempo real.

5.1 PLATAFORMA DE *HARDWARE*

A validação experimental emprega três elementos principais: o emulador de tempo real, a placa de interface que o conecta ao controlador, e o próprio processador de controle. Esta seção descreve brevemente cada um.

O emulador Typhoon HIL402 (Figura 139) é um simulador digital de tempo real baseado em FPGA, voltado à emulação de conversores de eletrônica de potência. Neste trabalho, a planta do conversor MMC é integrada com passo de simulação de $1\mu s$ e tempo de amostragem de $50\mu s$. O dispositivo oferece a interface de entrada/saída necessária ao fechamento de malha com controladores externos, saídas analógicas (utilizadas para as tensões dos capacitores e correntes de braço), entradas analógicas e dezenas de canais digitais (utilizados nos barramentos de *on-count* e de *bypass*), e é configurado e monitorado pelo *software* SCADA proprietário através de conexão USB com o computador.

Figura 139 – Emulador de tempo real Typhoon HIL402.

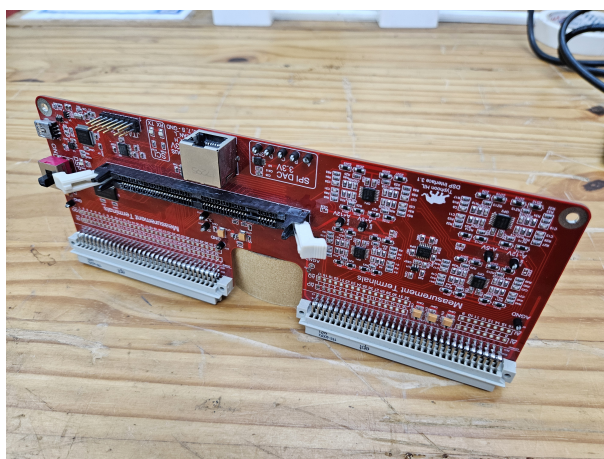


Fonte: Elaborado pelo autor (2026)

A conexão física entre o emulador e o controlador é realizada pela placa de interface Typhoon HIL DSP 100 (Figura 140), que aloja o *controlCARD* do DSP em um soquete DIMM100

e roteia seus pinos para os conectores analógicos e digitais do HIL. A placa também realiza o condicionamento dos sinais que chegam ao conversor analógico-digital do DSP. O ganho e o *offset* desse condicionamento foram caracterizados experimentalmente ($V_{ADC} = 0,3152 V_{pino} + 1,5891$) e incorporados à calibração do *firmware* através da regressão de três pontos de operação do ADC (máximo, mínimo e centro).

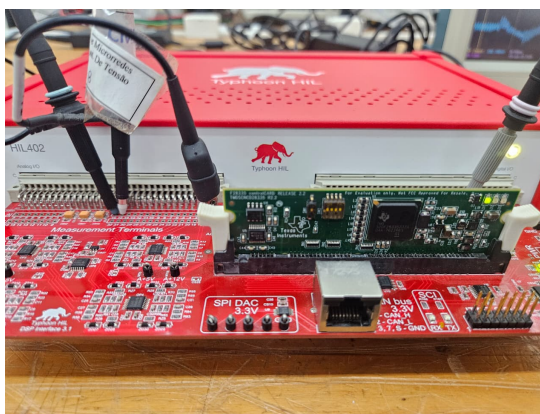
Figura 140 – Placa de interface Typhoon HIL DSP 100.



Fonte: Elaborado pelo autor (2026)

O controle é executado no controlCARD do DSP Texas Instruments TMS320F28335 (Figura 141), da família C2000. Trata-se de um processador de 32 bits operando a 150 MHz, dotado de unidade de ponto flutuante (FPU), conversor analógico-digital de 12 bits com 16 canais, módulos ePWM e periféricos de temporização e GPIO, recursos utilizados na geração da modulação, na aquisição das medições e na comunicação digital com o HIL. O código do caminho crítico é executado integralmente em RAM, sem necessidade de acesso à *flash* após a inicialização, conforme detalhado nas otimizações de implementação.

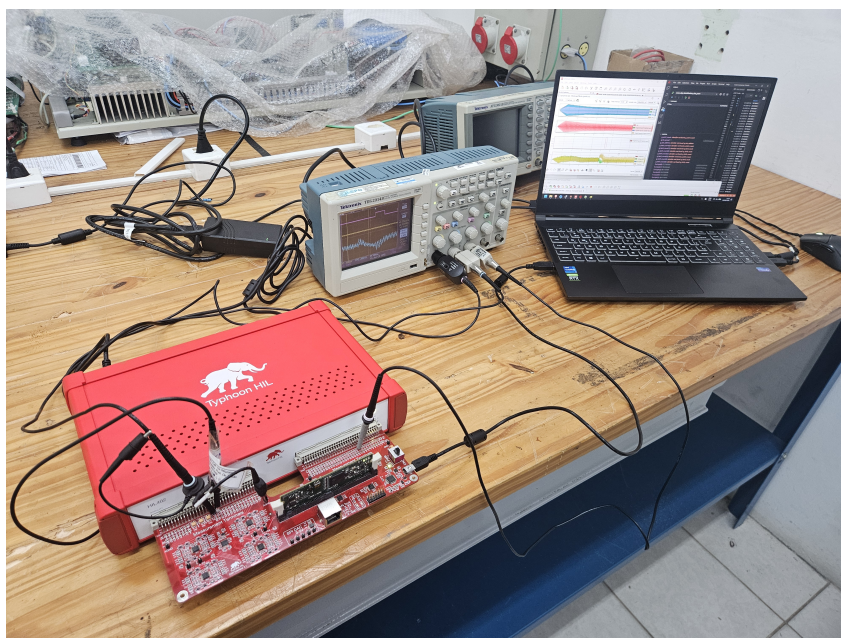
Figura 141 – *ControlCARD* do DSP Texas Instruments TMS320F28335, placa verde, alojada na placa de interface Typhoon HIL DSP 100.



Fonte: Elaborado pelo autor (2026)

A Figura 142 apresenta a bancada experimental completa, reunindo o emulador HIL402, a placa de interface DSP 100 com o *controlCARD* F28335 e o osciloscópio empregado na aquisição dos sinais, além dos cabos de conexão e do computador para configuração e monitoramento.

Figura 142 – Bancada experimental completa.



Fonte: Elaborado pelo autor (2026)

5.2 ARQUITETURA DE CO-SIMULAÇÃO EM TEMPO REAL: DSP E TYPHOON HIL

A validação experimental das estratégias de identificação e tolerância a falhas foi conduzida em uma plataforma de co-simulação do tipo *controller-in-the-loop*. Nesta abordagem, a planta do conversor MMC, incluindo os submódulos, os indutores de braço e a carga, é emulada em tempo real pelo *hardware* Typhoon HIL402, ao passo que os algoritmos de controle e de diagnóstico são executados em um processador digital de sinais (DSP) TMS320F28335 físico, idêntico ao que seria empregado em uma aplicação industrial. Desta forma, valida-se não apenas a lógica de controle, mas também as restrições reais de tempo de execução, de memória e de comunicação digital entre os dois dispositivos, que não são capturadas por uma simulação comum.

A partição das tarefas entre os dois dispositivos foi desenvolvida de forma incremental, resultando em duas versões distintas da arquitetura:

- **Versão 1, Identificação no DSP:** o DSP executa exclusivamente a identificação de falhas (*Fault Detection and Isolation*, FDI), permanecendo todo o controle e a modulação PD LS-PWM no interior do HIL. Esta versão valida isoladamente os algoritmos de diagnóstico.

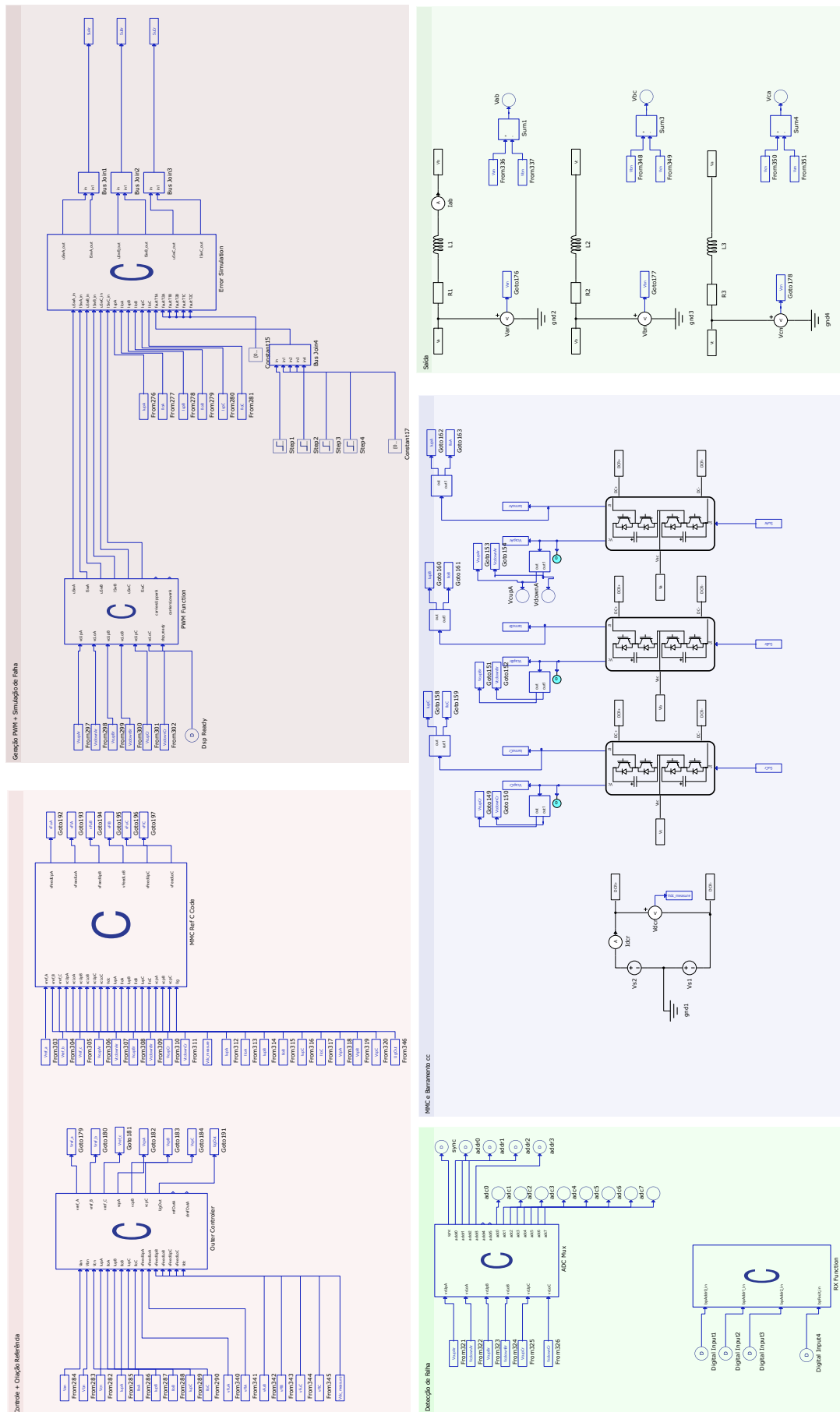
- **Versão 2, Controle e identificação no DSP:** o DSP executa o controle completo do conversor (correntes de saída em coordenadas dq , correntes circulantes, energia de braço e tensão virtual de Xiao), o gerador de modulação NLM e a identificação de falhas, restando ao HIL apenas a planta, a ordenação das tensões dos capacitores e a aplicação física dos pulsos de gatilho.

A impossibilidade de implementar a modulação PD LS-PWM no DSP na Versão 2 deve-se a limitações intrínsecas de *hardware* do Typhoon HIL402. A ausência de um protocolo de comunicação digital de alta velocidade exigiria a transferência via pinos físicos de 6 sinais analógicos de referência (3 de modo comum e 3 de modo diferencial) para o HIL, ou o envio simultâneo de todos os 60 sinais digitais de PWM do DSP para o emulador. Além do gargalo físico, o HIL402 impõe um limite mínimo no tempo de amostragem de $50\mu s$ para evitar a ocorrência de *overflow* (estouro do tempo limite de processamento por passo de simulação), inviabilizando a modulação por portadora externa e motivando a adoção da técnica NLM.

A migração progressiva de funcionalidades para o DSP, da Versão 1 para a Versão 2, transfere o ponto de validação para mais próximo de uma implementação embarcada real, ao custo de uma carga computacional substancialmente maior no processador e de uma interface de comunicação digital mais complexa.

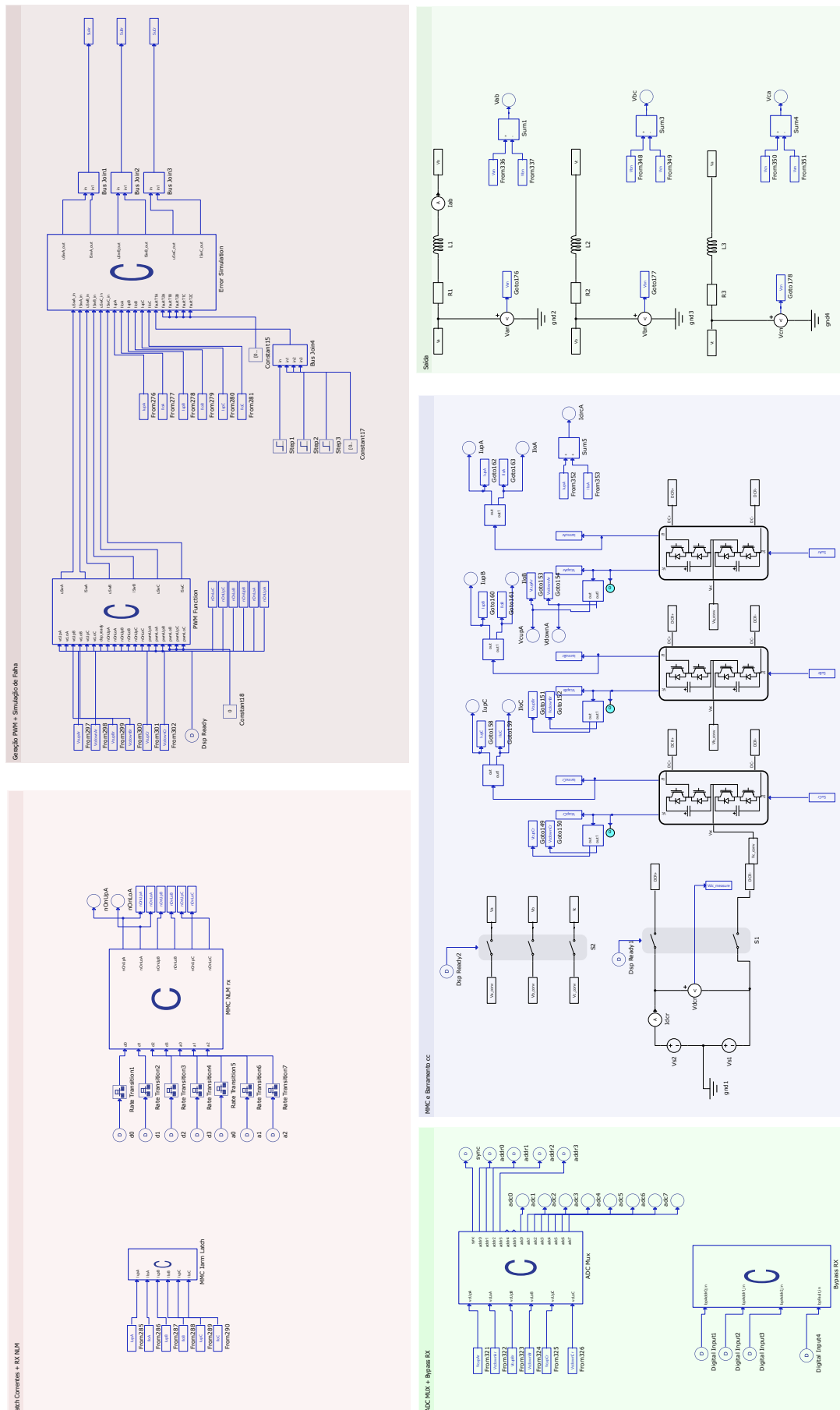
O modelo da planta e dos blocos de interface, tal como implementado no ambiente *Typhoon HIL Schematic Editor*, é apresentado nas Figuras 143 e 144.

Figura 143 – Esquemático do modelo no *software* Typhoon HIL: planta do MMC e blocos de interface Versão 1.



Fonte: Elaborado pelo autor (2026)

Figura 144 – Esquemático do modelo no *software* Typhoon HIL: planta do MMC e blocos de interface Versão 2.



Fonte: Elaborado pelo autor (2026)

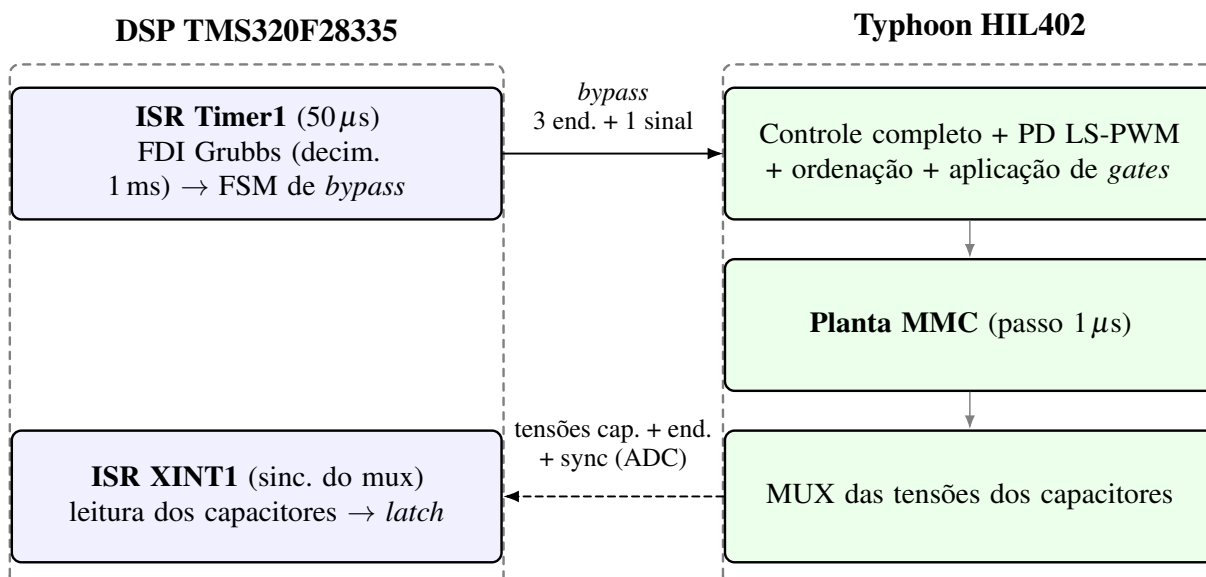
5.2.1 Restrição de tempo real de 50 microssegundos

O fator limitante central de toda a arquitetura é a restrição de tempo real imposta pelo HIL. Embora a planta seja integrada com um passo de simulação de $1\mu\text{s}$, os blocos de função em linguagem C que implementam a interface (modulação, ordenação, multiplexação e recepção de dados) são executados a cada $50\mu\text{s}$, equivalente a uma taxa de 20 kHz. Esta janela de $50\mu\text{s}$ constitui um orçamento temporal rígido: caso o conjunto de blocos não conclua sua execução dentro do período, o HIL sinaliza uma violação de tempo real (*overrun*) e a simulação perde a fidelidade, invalidando o ensaio.

5.2.2 Versão 1: identificação no DSP e modulação PD LS-PWM no HIL

Na primeira versão, o DSP atua unicamente como uma unidade de diagnóstico. O HIL executa internamente toda a cadeia de controle e a modulação PD LS-PWM (*Phase Disposition Level-Shifted PWM*) com ordenação ativa das tensões. A única informação transmitida ao DSP são as tensões dos capacitores, multiplexadas para reduzir o número de canais analógicos necessários, e a única saída do DSP é o comando de *bypass* do submódulo identificado como defeituoso. A estrutura desta versão está representada na Figura 145.

Figura 145 – Arquitetura da Versão 1: apenas identificação no DSP; controle e modulação PD LS-PWM no HIL.



Fonte: Elaborado pelo autor (2026)

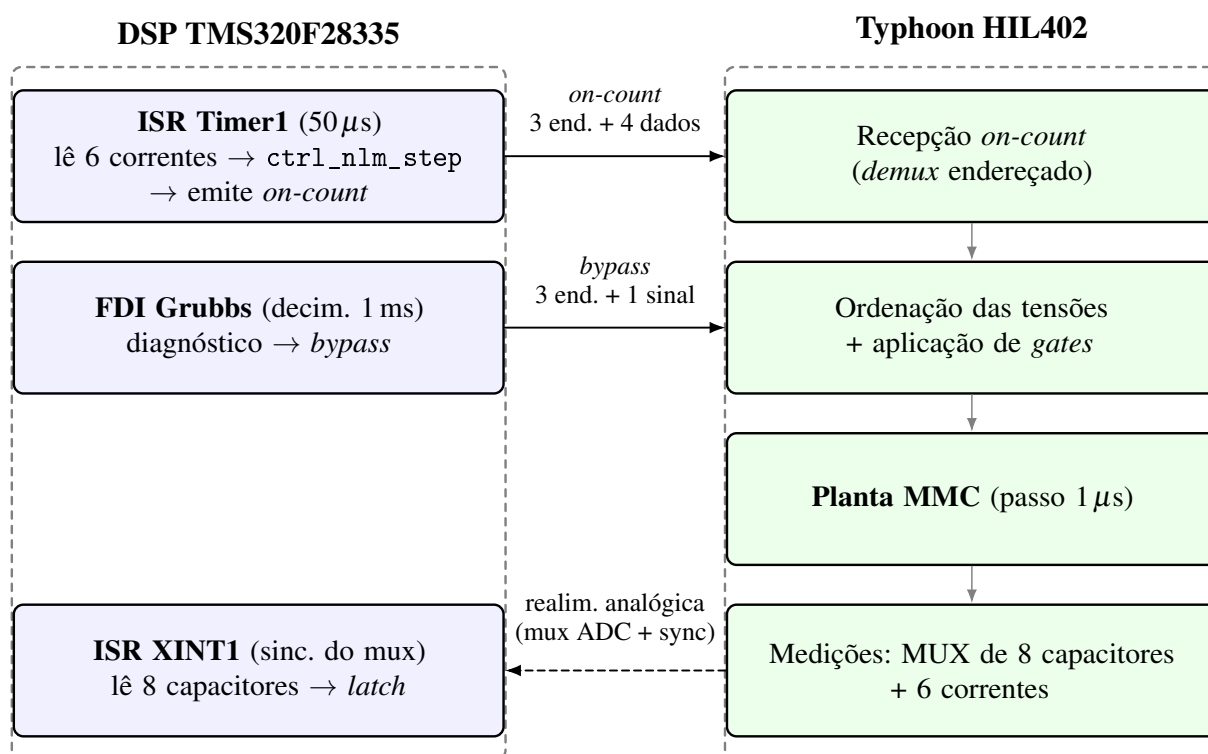
O DSP opera sob duas interrupções. A interrupção externa XINT1 é disparada pelo sinal de sincronismo do multiplexador do HIL; a cada borda, o DSP converte o conjunto de canais analógicos e armazena (*latch*) as tensões dos capacitores no endereço de braço correspondente. A interrupção periódica Timer1, a cada $50\mu\text{s}$, executa a máquina de estados que comanda o

bypass e, de forma decimada, o ciclo de diagnóstico de Grubbs. Como o controle e a modulação residem no HIL, a carga computacional do DSP nesta versão é reduzida.

5.2.3 Versão 2: controle, identificação e modulação NLM no DSP

Na segunda versão, a totalidade da inteligência de controle migra para o DSP. O HIL é reduzido a função de planta de potência: recebe a contagem de submódulos a inserir, ordena as tensões dos capacitores para equalizá-las e aplica os pulsos de gatilho. O DSP passa a executar a malha de controle completa e o gerador de modulação NLM (*Nearest Level Modulation*), além de manter o diagnóstico. A estrutura está representada na Figura 146.

Figura 146 – Arquitetura da Versão 2: controle, modulação NLM e identificação no DSP; planta, ordenação e gates no HIL.



Fonte: Elaborado pelo autor (2026)

A interrupção Timer1, a cada 50 μ s, constitui o núcleo do controle: lê as seis correntes de braço, executa a função `ctrl_nlm_step` (que contém as malhas de corrente de saída, de corrente circulante, de energia e a tensão virtual de Xiao) e emite a contagem de submódulos a inserir (*on-count*). A interrupção XINT1 permanece responsável pela leitura sincronizada das tensões dos capacitores multiplexadas. O diagnóstico de Grubbs é novamente decimado para 1 ms.

A principal complexidade desta versão reside na comunicação do *on-count* do DSP para o HIL. Como são seis braços e o número de pinos digitais é limitado, a contagem é transmitida por um barramento multiplexado endereçado: a cada 50 μ s o DSP envia a contagem de um único

braço, acompanhada do seu endereço de 3 bits e dos 4 bits de dados, em rodízio (*round-robin*). O HIL demultiplexa a informação pelo endereço, escrevendo a contagem na posição correta. Esta estratégia endereçada é imune a deriva de *clock* entre os dois dispositivos, pois cada palavra carrega seu próprio destino, dispensando qualquer sincronismo de quadro.

5.2.4 Otimizações de implementação no DSP

A execução da malha de controle completa, da modulação e do diagnóstico dentro da janela de $50\mu\text{s}$ exigiu um conjunto de otimizações, tanto na alocação de memória quanto na estrutura do código e da comunicação.

5.2.4.1 Alocação de memória: execução em RAM

A memória *flash* do DSP F28335 introduz estados de espera (*wait states*) no acesso a instruções, o que penaliza severamente o tempo de execução de código crítico. Para contornar esta limitação, todas as funções do caminho crítico, as rotinas de interrupção, a leitura dos conversores, o passo de controle, o gerador de modulação e o teste de Grubbs, são copiadas para a memória RAM durante a inicialização e executadas a partir dela, mediante a diretiva `#pragma CODE_SECTION(função, "ramfuncs")`. A RAM opera sem estados de espera, garantindo que o código crítico execute à máxima frequência do processador e caiba na janela de tempo disponível.

5.2.4.2 Otimizações de cálculo

Diversas operações foram reestruturadas para reduzir o custo computacional por ciclo:

- **Eliminação de divisões:** as divisões pelo número de submódulos ativos, frequentes na média das tensões e na ordenação, foram substituídas por uma tabela de consulta de inversos pré-calculados (*INV_N*), trocando uma operação de divisão custosa por um acesso a vetor pré-calculado e alocado à memória *Random Access Memory* (RAM).
- **Filtragem IIR no lugar de FIR:** a suavização exponencial das tensões dos capacitores, utilizada pelo critério de Grubbs, emprega uma média móvel exponencial recursiva, que mantém apenas um estado por submódulo, em vez de uma média móvel de janela finita (FIR) que exigiria armazenar e somar um histórico completo de amostras, reduzindo o número de operações e a memória necessária.
- **Redução de funções trigonométricas:** as transformadas de coordenadas exigem o seno e o cosseno do ângulo de cada fase. Em vez de três avaliações de sincos, calcula-se apenas o par da fase A e derivam-se as fases B e C por identidades de soma de ângulos, reduzindo a uma única chamada trigonométrica por ciclo.

5.2.4.3 Otimizações de comunicação e concorrência

- **Escrita simultânea do barramento multiplexado:** a contagem de submódulos e seu endereço são escritos em um único acesso ao registrador de *GPIO* (operação de leitura-modificação-escrita combinada em uma só instrução), evitando estados intermediários inválidos no barramento durante a transição dos bits.
- **Interrupções não aninhadas:** as rotinas de interrupção executam com novas interrupções desabilitadas ($INTM=1$), de modo que o conversor analógico-digital compartilhado e o registrador de *GPIO* não sejam acessados concorrentemente, eliminando condições de corrida sem a necessidade de mecanismos de bloqueio.
- **Barramento endereçado imune a deriva:** conforme descrito na Versão 2, o auto-endereçamento de cada palavra do *on-count* dispensa o sincronismo de quadro e elimina por completo o efeito de batimento (*beat*) decorrente da pequena diferença entre os *clocks* do DSP e do HIL.
- **Recepção com duplo *buffer*:** no HIL, as contagens recebidas são acumuladas em um *buffer* oculto e transferidas para o vetor ativo apenas quando o braço inferior de cada fase é recebido, garantindo que os braços superior e inferior de uma mesma fase sejam atualizados no mesmo instante. Isto evita um desequilíbrio transitório na restrição $n_u + n_l = N$ que, de outra forma, provocaria picos na corrente circulante.
- **Redução de canais analógicos:** a soma das tensões de braço, necessária ao denominador da modulação, deixou de ser transmitida por canais analógicos dedicados e passou a ser calculada no próprio DSP a partir das tensões já multiplexadas, liberando canais do conversor analógico-digital.

5.3 VALIDAÇÃO EXPERIMENTAL EM *HARDWARE*

Esta seção apresenta os resultados experimentais na plataforma de co-simulação, com a planta do conversor MMC emulada no Typhoon HIL402 e o processamento executado no DSP TMS320F28335 físico. Validam-se as duas arquiteturas desenvolvidas: a Versão 1 (identificação no DSP; controle e modulação PD LS-PWM no HIL) e a Versão 2 (controle, modulação NLM e identificação no DSP). As figuras foram recriadas a partir de arquivos *.csv* do osciloscópio (capturas originais no Apêndice D), e a Tabela 29 apresenta os parâmetros do HIL, com L_a e C_{sm} ajustados para a NLM devido a limitações de multiplexação.

Embora o sistema tenha sido validado com sucesso para faltas distribuídas e concentradas na fase A, são ilustradas graficamente apenas as figuras do cenário concentrado. Essa escolha deve-se ao fato de este ser o pior caso demonstrado anteriormente e o regime mais complexo para a operação do conversor. Sob faltas distribuídas, o funcionamento ocorreu perfeitamente conforme o esperado.

Tabela 29 – Parâmetros do sistema em *hardware-in-the-loop* para diferentes estratégias de modulação.

Parâmetro	Símbolo	Versão 1 (PD LS-PWM)	Versão 2 (NLM)
Tensão do barramento cc	U_{cc}	700 V	700 V
Número de submódulos por braço	N	10	10
Indutância do braço	L_a	5 mH	25 mH
Resistência do braço	R_a	0,1 Ω	0,1 Ω
Capacitância do submódulo	C_{sm}	940 μ F	3100 μ F
Frequência de chaveamento	f_s	2 kHz	2 kHz (Sorteamento)
Frequência de controle	f_{ctr}	20 kHz	20 kHz
Frequência de detecção de falta	f_{fdi}	1 kHz	1 kHz
Frequência fundamental	f_o	60 Hz	60 Hz
Número de níveis de saída	$N + 1$	11	11

Fonte: Elaborado pelo autor (2026)

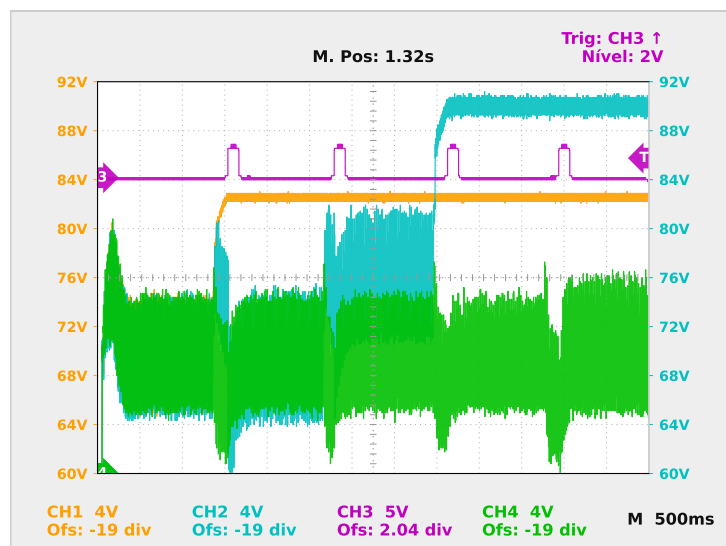
5.3.1 Versão 1: identificação no DSP com modulação PD LS-PWM

Nesta arquitetura, o controle completo e a modulação PD LS-PWM são executados no HIL, cabendo ao DSP apenas a identificação da falta e a emissão do comando de *bypass*.

5.3.1.1 Tensão dos capacitores

A Figura 147 apresenta a visão geral das tensões dos capacitores durante o ensaio, onde o Canal 1 demonstra a tensão de um capacitor que entrou em *bypass* logo após a primeira falta, indicada pelo reconhecimento da falta pelo pulso no Canal 4. O canal 2 demonstra a tensão de um capacitor que permaneceu ativo e manteve o nível de tensão, até que na segunda falta o mesmo entrou e falha e entrou em *bypass*. O Canal 3 indica a medição de tensão de um capacitor saudável do sub-braço inferior, o qual mantém a tensão nominal devido a característica assimétrica possibilitada pelo método implementado.

Figura 147 – PD LS-PWM - Visão geral das tensões dos capacitores. Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo superior 2 (Fase A), Canal 3 - Sinal confirmação *bypass* e Canal 4 - Tensão capacitor submódulo inferior 1 (Fase A).

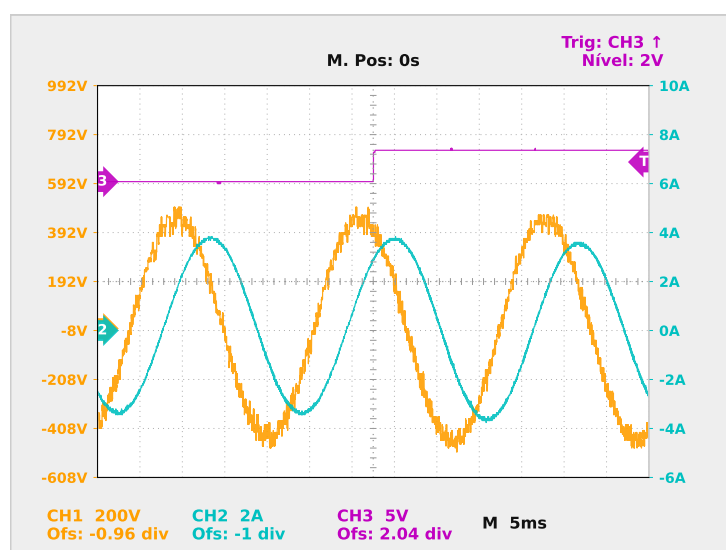


Fonte: Elaborado pelo autor (2026)

5.3.1.2 Impacto da falta na tensão e corrente de saída

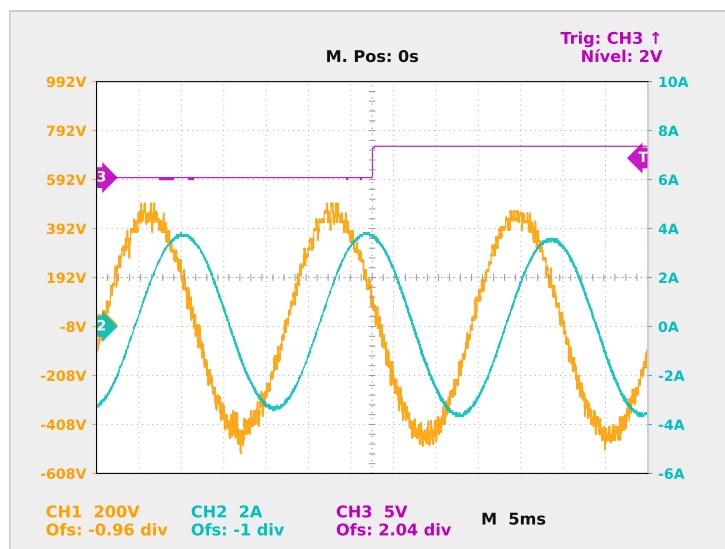
As Figuras 148 a 151 apresentam o impacto progressivo das faltas na tensão e na corrente de saída, demonstrando como não há impacto significativo devido a estratégia de mitigação. Indicação dos canais estão no título de cada figura.

Figura 148 – PD LS-PWM - Impacto na tensão e corrente de saída, falta 1. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação *bypass*.



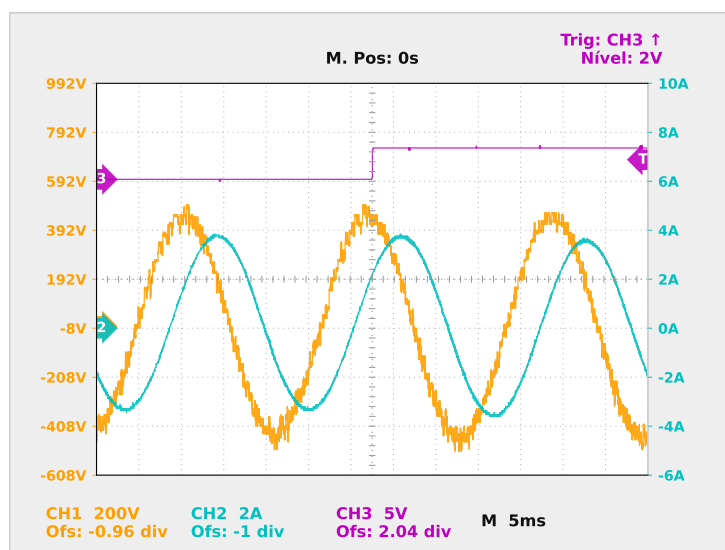
Fonte: Elaborado pelo autor (2026)

Figura 149 – PD LS-PWM - Impacto na tensão e corrente de saída, falta 2. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação *bypass*.



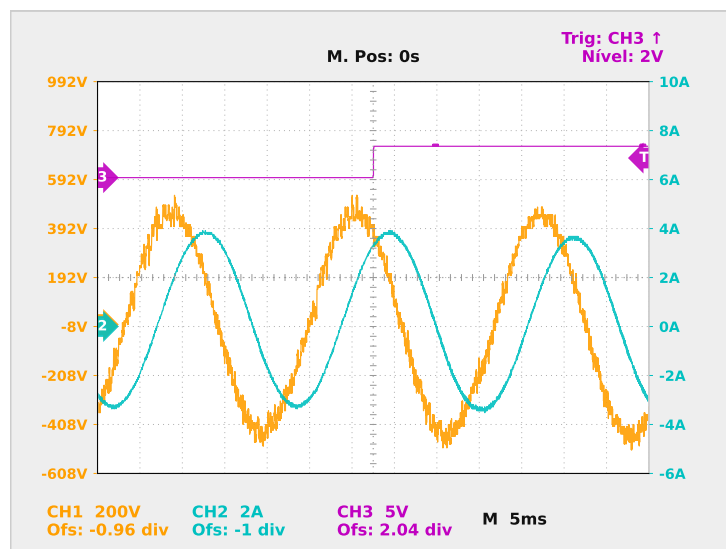
Fonte: Elaborado pelo autor (2026)

Figura 150 – PD LS-PWM - Impacto na tensão e corrente de saída, falta 3. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação *bypass*.



Fonte: Elaborado pelo autor (2026)

Figura 151 – PD LS-PWM - Impacto na tensão e corrente de saída, falta 4. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação *bypass*.

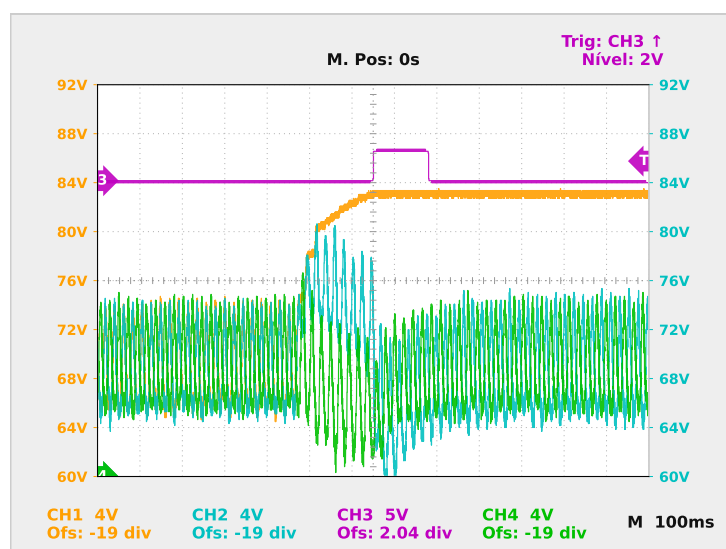


Fonte: Elaborado pelo autor (2026)

5.3.1.3 Reconfiguração e bypass

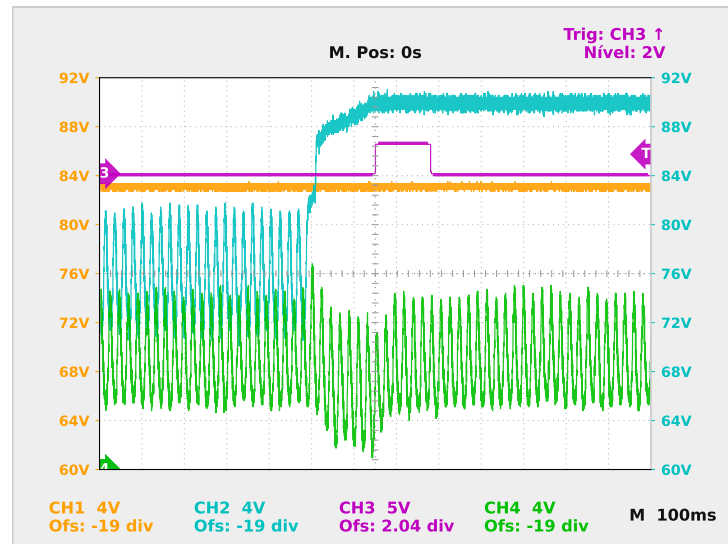
A reconfiguração do conversor e o comando de *bypass* na primeira falta são apresentados nas Figuras 152 a 153, demonstrando a operação do método de mitigação de falhas. Indicação dos canais estão no título de cada figura. Nota-se a evolução das tensões no tempo conforme o caso aplicado do método de Xiao. Fica evidente o reconhecimento da falta e *bypass* do submódulo defeituoso através do Canal 3.

Figura 152 – PD LS-PWM - Reconfiguração e bypass, falta 1. Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo superior 2 (Fase A), Canal 3 - Sinal confirmação *bypass* e Canal 4 - Tensão capacitor submódulo inferior 1 (Fase A).



Fonte: Elaborado pelo autor (2026)

Figura 153 – PD LS-PWM - Reconfiguração e bypass, falta 2. Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo superior 2 (Fase A), Canal 3 - Sinal confirmação *bypass* e Canal 4 - Tensão capacitor submódulo inferior 1 (Fase A).

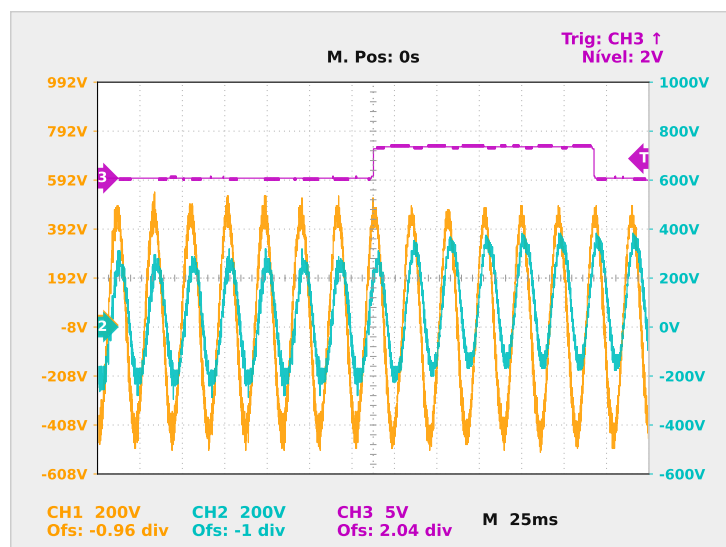


Fonte: Elaborado pelo autor (2026)

5.3.1.4 Injeção de sequência zero (ZSVI)

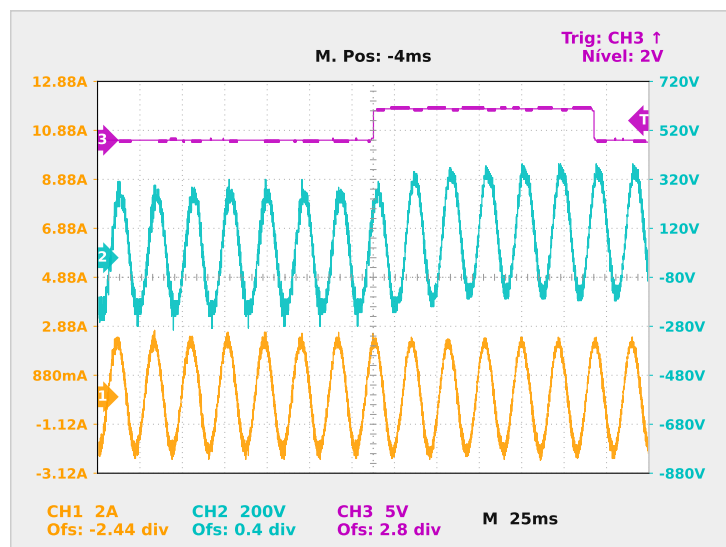
A prova experimental da injeção de tensão de sequência zero é apresentada nas Figuras 154 e 155. Nota-se o deslocamento da tensão de fase v_{an} (Canal 2) em relação à tensão de linha v_{ab} (Canal 1) e a confirmação do *bypass* (Canal 3). O deslocamento ocorre devido a injeção de sequência zero, que é uma característica do método de Xiao. Percebe-se que a tensão de linha não é afetada, visto que todas as tensões de fases são deslocadas igualmente, e, visto que a tensão de linha é a diferença entre duas tensões de fase, o deslocamento não é percebido.

Figura 154 – PD LS-PWM - Prova da injeção de sequência zero (ZSVI) pós falta 4. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Tensão de fase v_{an} e Canal 3 - Sinal confirmação *bypass*.



Fonte: Elaborado pelo autor (2026)

Figura 155 – PD LS-PWM - Prova da injeção de sequência zero (ZSVI) pós falta 4, captura 2. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Tensão de fase v_{an} e Canal 3 - Sinal confirmação *bypass*.

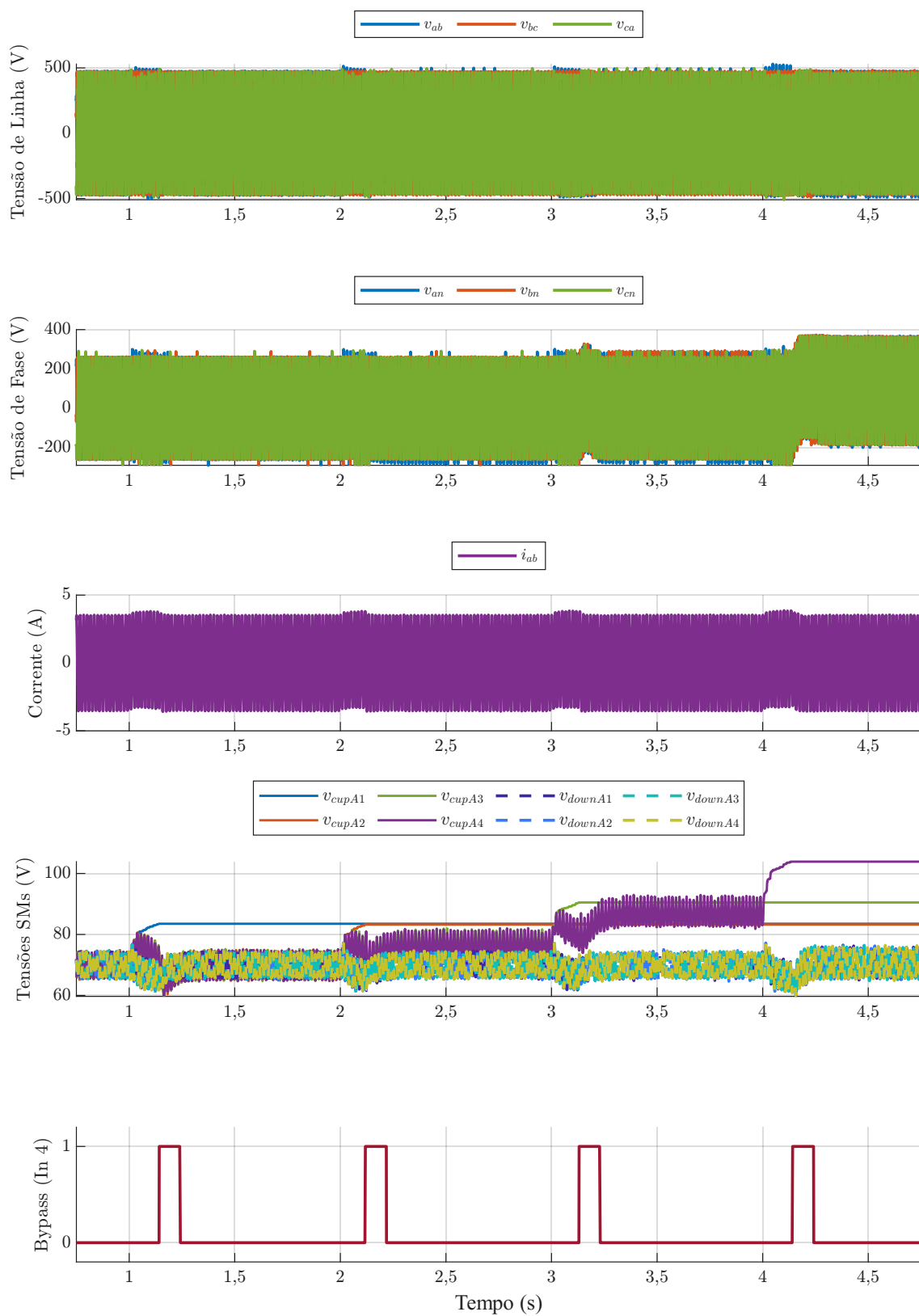


Fonte: Elaborado pelo autor (2026)

5.3.1.5 Figuras gerais obtidas com o HIL SCADA

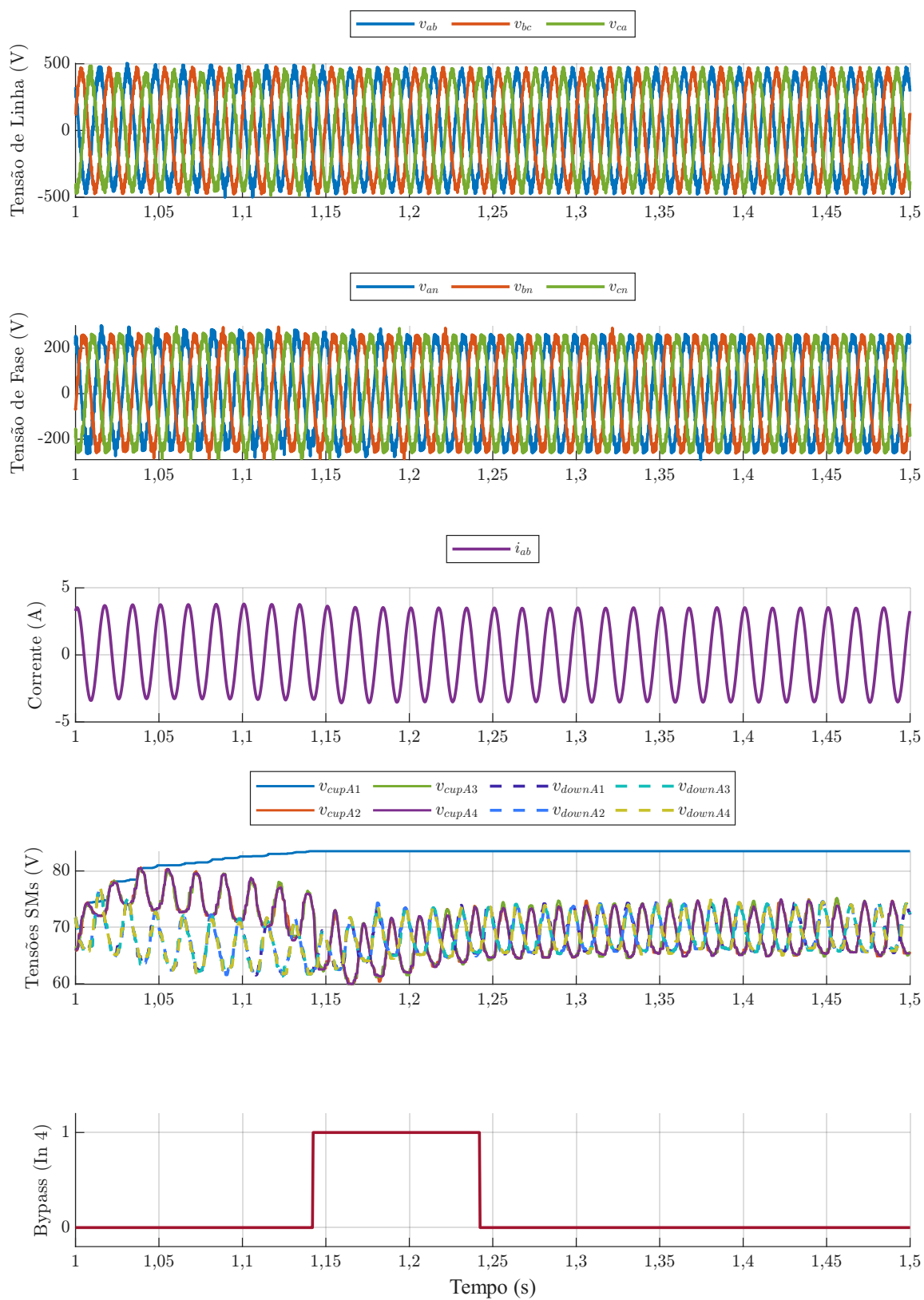
Devido à limitação do número de medições possíveis visto que as saídas analógicas estavam sendo utilizadas para controle, obtiveram-se os dados das Figuras 156 a 160 com o auxílio do software SCADA do Typhoon HIL e demonstra-se a operação ao longo do tempo.

Figura 156 – Visão geral da operação do método (Versão 1)



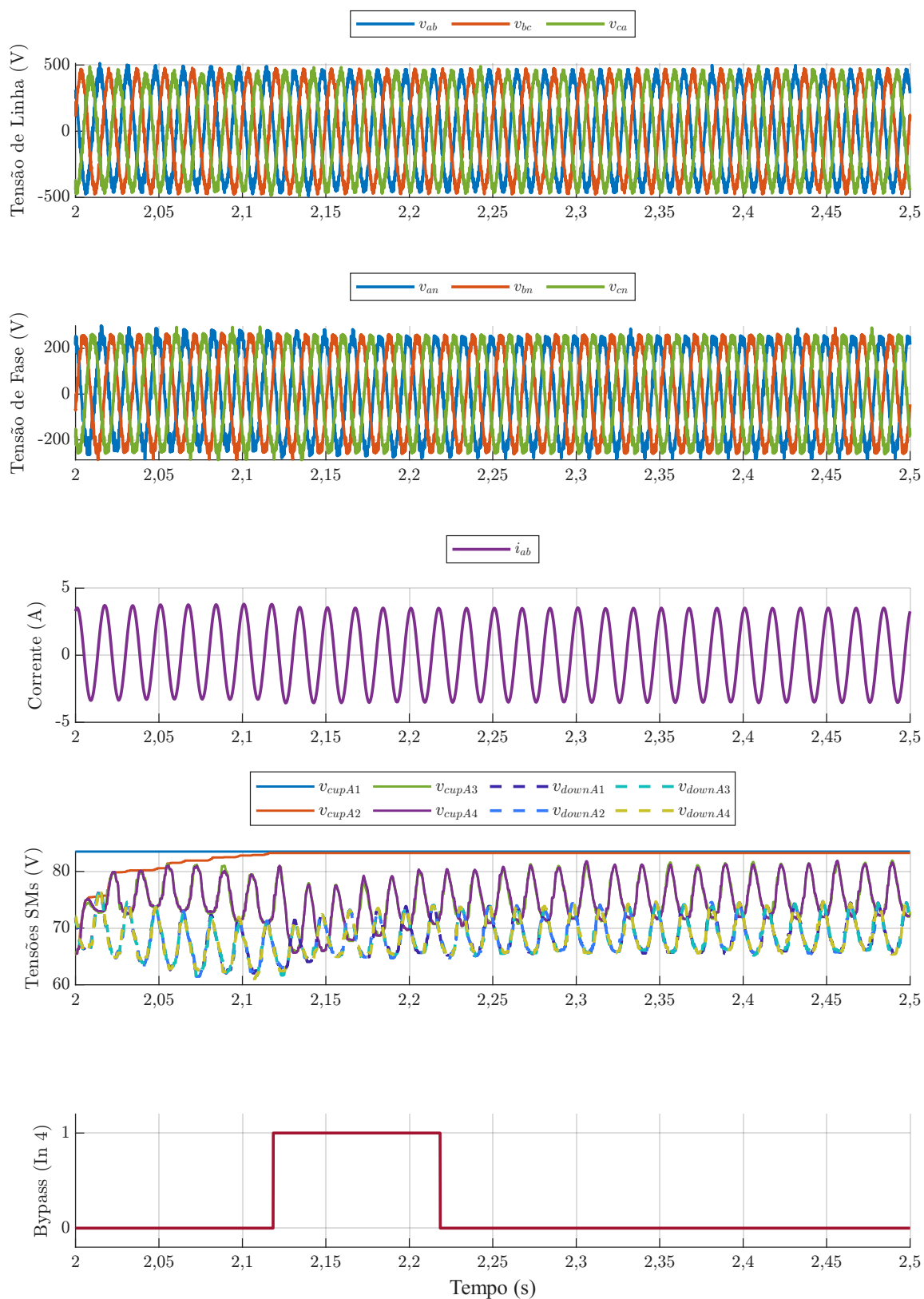
Fonte: Elaborado pelo autor (2026)

Figura 157 – Visão geral da operação do método - Ampliação próxima à falta 1 (Versão 1)



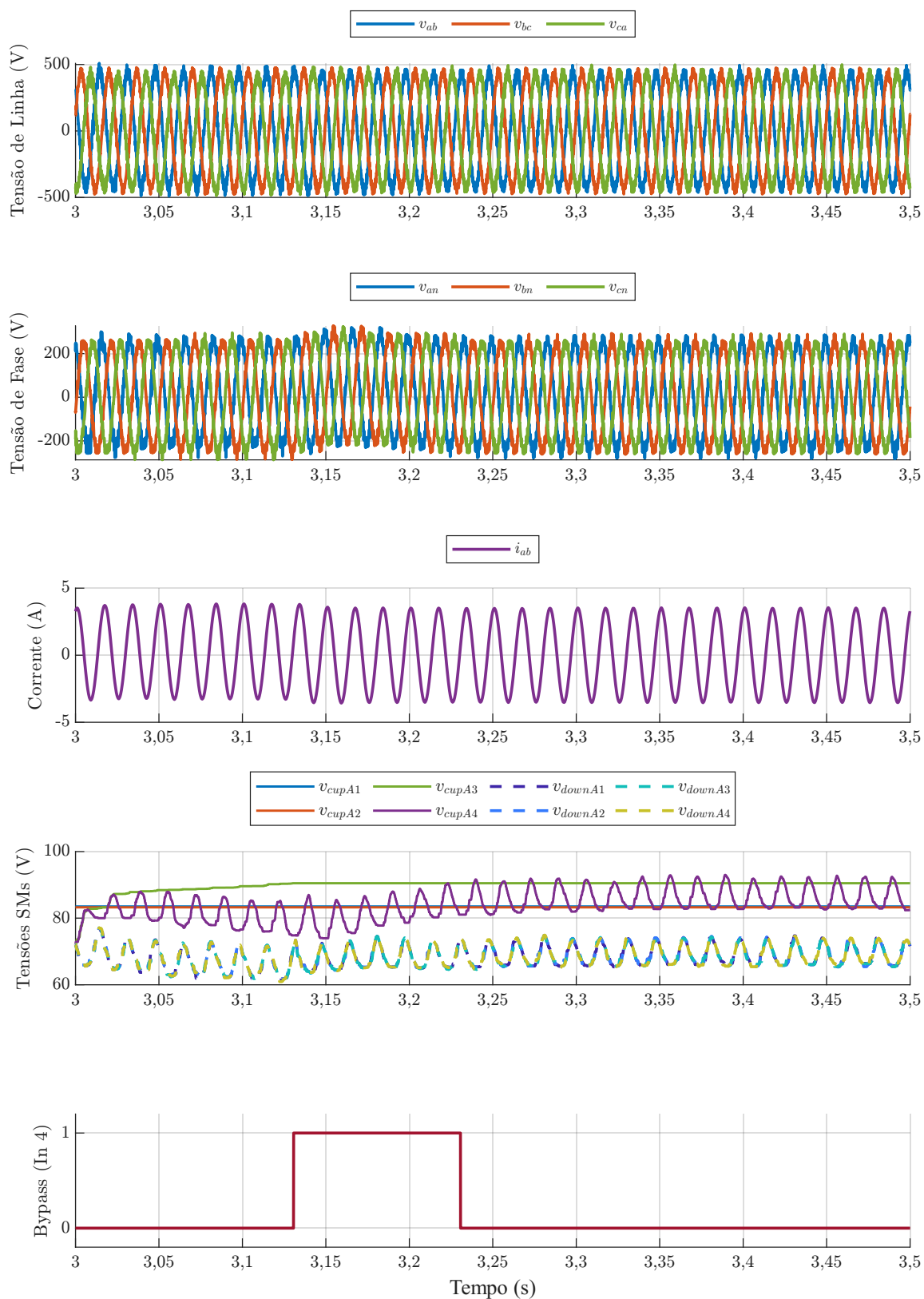
Fonte: Elaborado pelo autor (2026)

Figura 158 – Visão geral da operação do método - Ampliação próxima à falta 2 (Versão 1)



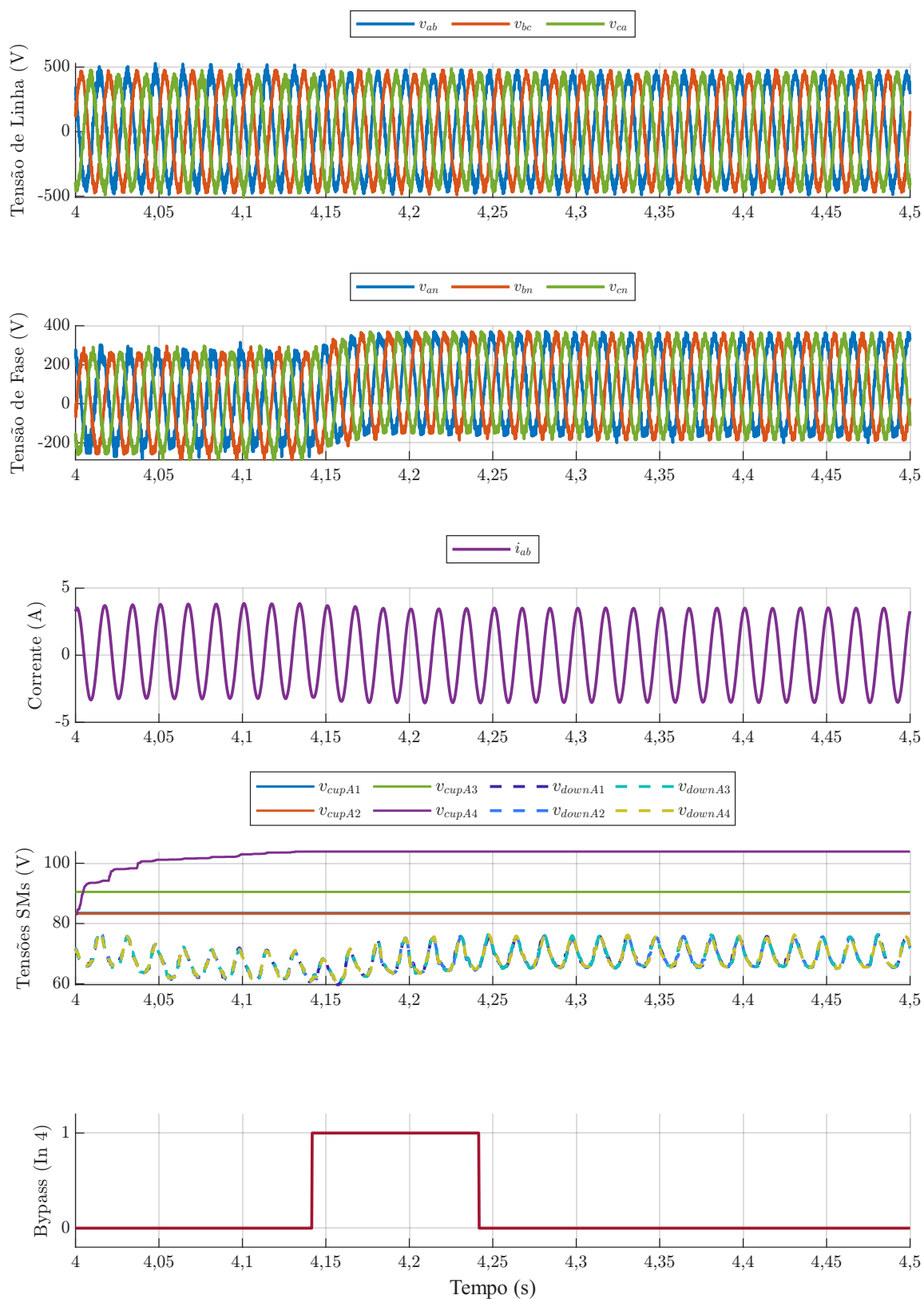
Fonte: Elaborado pelo autor (2026)

Figura 159 – Visão geral da operação do método - Ampliação próxima à falta 3 (Versão 1)



Fonte: Elaborado pelo autor (2026)

Figura 160 – Visão geral da operação do método - Ampliação próxima à falta 4 (Versão 1)



Fonte: Elaborado pelo autor (2026)

5.3.2 Versão 2: controle, modulação NLM e identificação no DSP

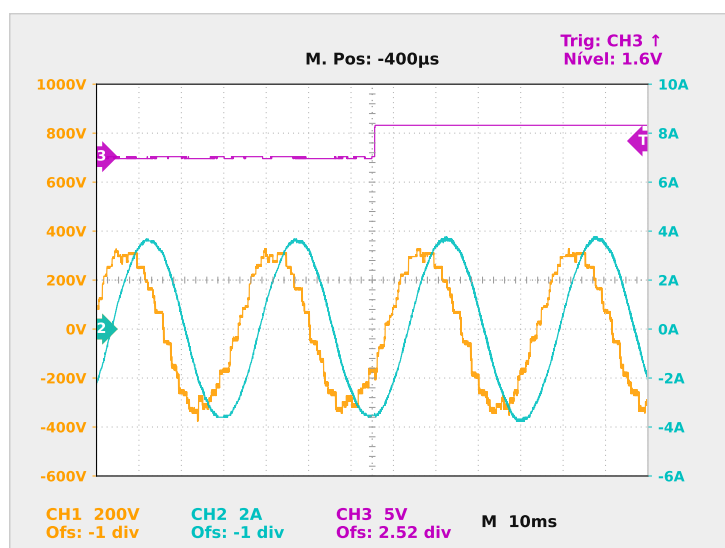
Nesta arquitetura, o controle, a modulação NLM e a identificação são executados integralmente no DSP, cabendo ao HIL apenas a planta, a ordenação das tensões e a aplicação dos pulsos de gatilho.

Em termos de implementação, a modulação NLM difere da LS-PWM tradicional porque, em vez de transmitir um conjunto completo de pulsos por nível de tensão para cada ciclo, ela comunica os números de níveis a serem sintetizados pelo sub-braço. Esse enfoque reduz a redundância de informação e torna a execução mais compacta, pois o HIL não precisa receber um conjunto independente de sinais PWM para cada fase ou submódulo. No experimento, essa informação foi enviada de forma multiplexada, permitindo que o HIL reproduzisse a planta com menor carga de comunicação e sem perder a sincronização entre controle, modulação e ação de potência.

5.3.2.1 Tensão e corrente sob falta

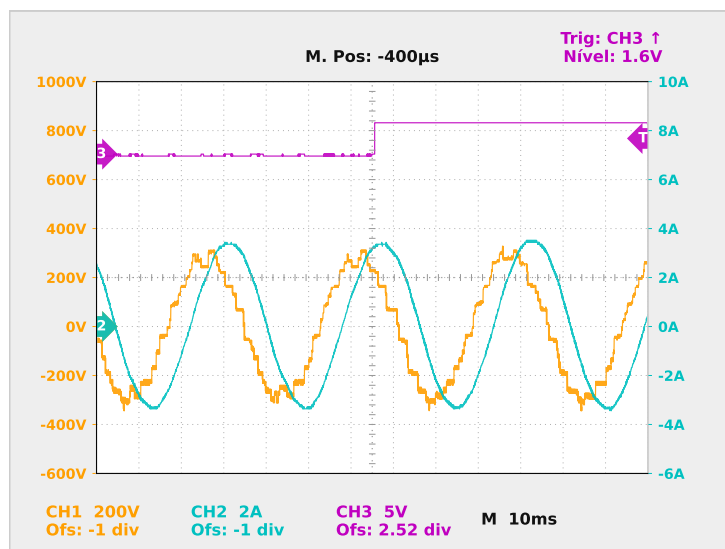
As Figuras 161 a 164 apresentam a tensão e a corrente de saída para faltas sucessivas. Nota-se que a forma de onda de saída não possui PWM devido a mudança do tipo de modulação quando comparada a Versão 1. Independente do tipo de modulação, a estratégia de mitigação de falhas é capaz de manter a tensão e corrente de saída praticamente inalteradas, mesmo com a ocorrência de faltas sucessivas. Indicação dos canais estão no título de cada figura.

Figura 161 – NLM - Impacto na tensão e corrente de saída, falta 1. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação *bypass*.



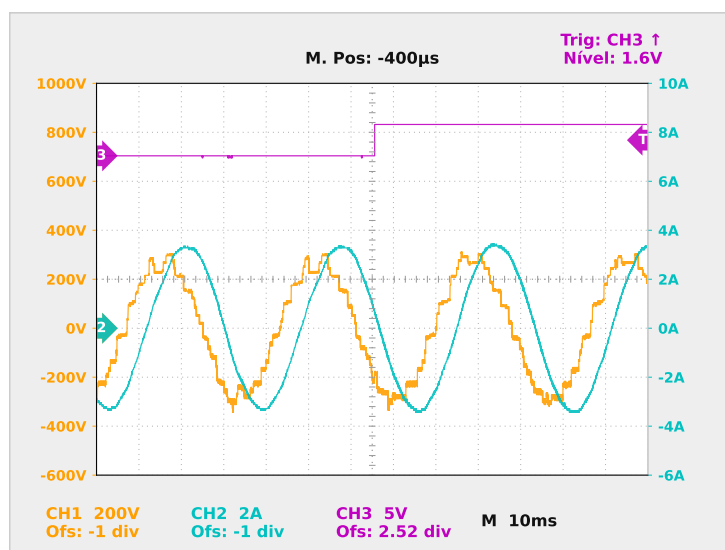
Fonte: Elaborado pelo autor (2026)

Figura 162 – NLM - Impacto na tensão e corrente de saída, falta 2. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação *bypass*.



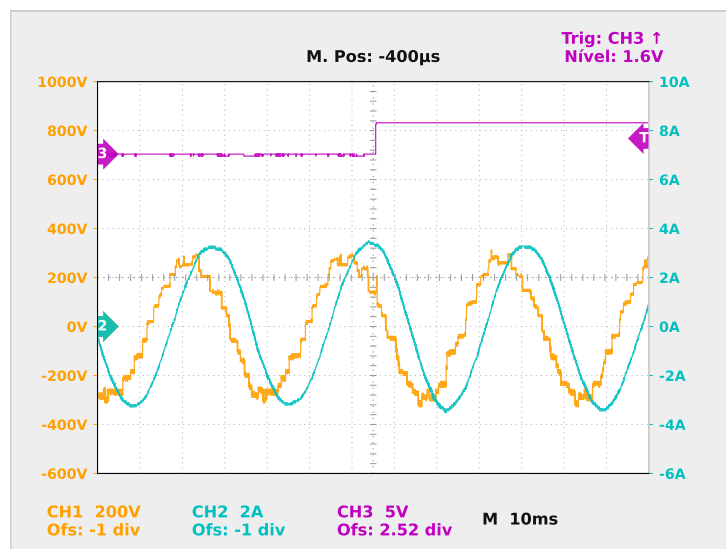
Fonte: Elaborado pelo autor (2026)

Figura 163 – NLM - Impacto na tensão e corrente de saída, falta 3. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação *bypass*.



Fonte: Elaborado pelo autor (2026)

Figura 164 – NLM - Impacto na tensão e corrente de saída, falta 4. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação *bypass*.

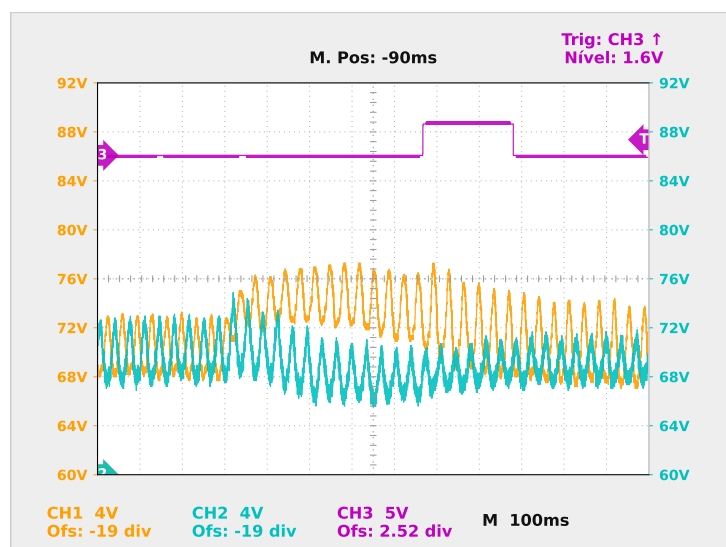


Fonte: Elaborado pelo autor (2026)

5.3.2.2 Bypass, elevação de tensão e retorno

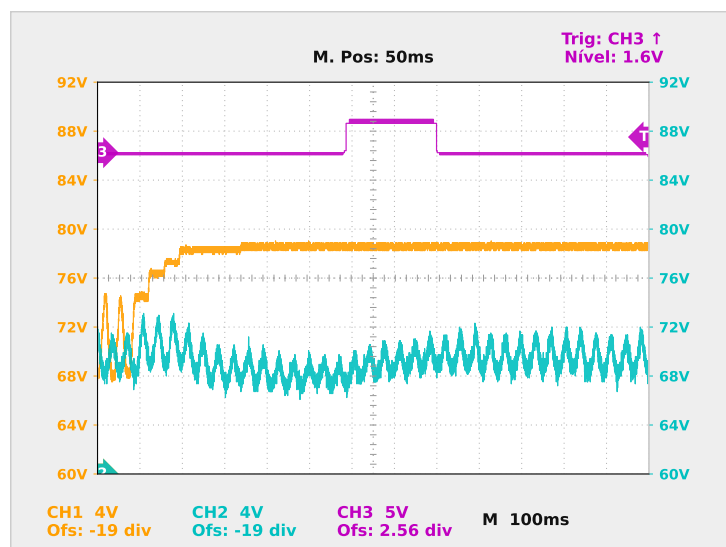
As Figuras 165 a 168 ilustram o comando de *bypass*, a elevação da tensão dos capacitores remanescentes, o retorno após a falta e a operação em escala de tempo longa. Nota-se que para a primeira falta não há necessidade de elevação da tensão, visto que a tensão dos capacitores remanescentes é suficiente para manter a tensão de saída. Já na segunda falta, a tensão dos capacitores remanescentes não é suficiente para manter a tensão de saída, sendo necessário elevar a tensão dos capacitores remanescentes. Indicação dos canais estão no título de cada figura.

Figura 165 – NLM - Reconfiguração e bypass, falta 1. Canal 1 - Tensão capacitor submódulo superior 2 (Fase A), Canal 2 - Tensão capacitor submódulo inferior 1 (Fase A) e Canal 3 - Sinal confirmação *bypass*.



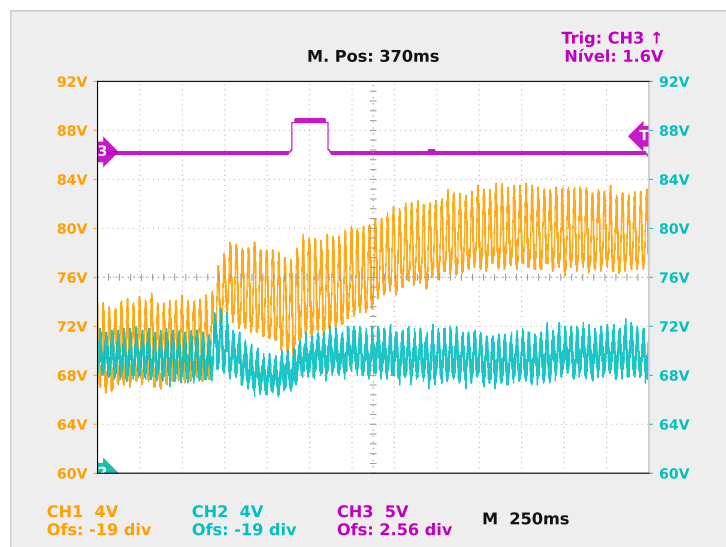
Fonte: Elaborado pelo autor (2026)

Figura 166 – NLM - Reconfiguração e bypass, falta 1. Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo inferior 1 (Fase A) e Canal 3 - Sinal confirmação *bypass*.



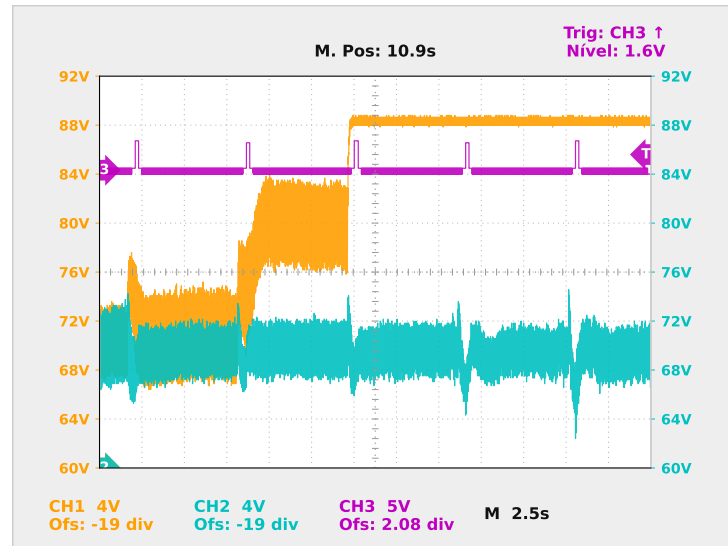
Fonte: Elaborado pelo autor (2026)

Figura 167 – NLM - Reconfiguração e bypass, falta 2. Canal 1 - Tensão capacitor submódulo superior 2 (Fase A), Canal 2 - Tensão capacitor submódulo inferior 1 (Fase A) e Canal 3 - Sinal confirmação *bypass*.



Fonte: Elaborado pelo autor (2026)

Figura 168 – NLM - Visão geral das tensões dos capacitores. Canal 1 - Tensão capacitor submódulo superior 3 (Fase A), Canal 2 - Tensão capacitor submódulo inferior 1 (Fase A) e Canal 3 - Sinal confirmação *bypass*.

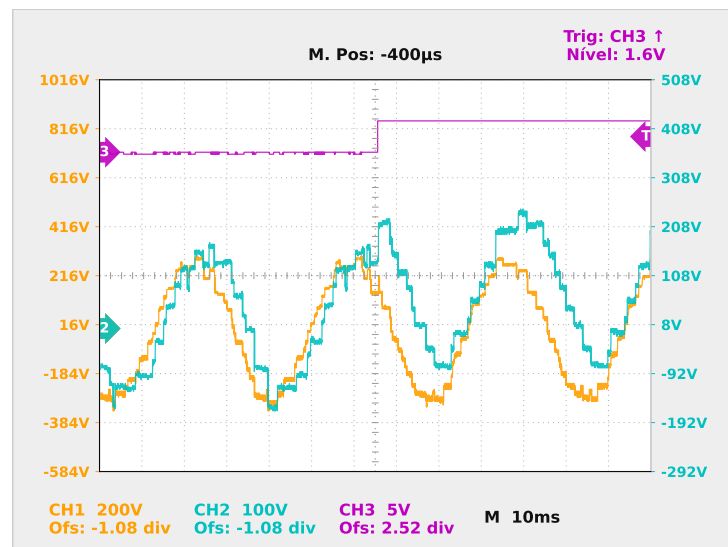


Fonte: Elaborado pelo autor (2026)

5.3.2.3 Injeção de sequência zero (ZSVI)

A Figura 169 mostra a prova experimental da injeção de tensão de sequência zero. Como na Versão 1, observa-se o deslocamento da tensão de fase v_{an} (Canal 2) em relação à tensão de linha v_{ab} (Canal 1) e a confirmação do *bypass* (Canal 3). Esse deslocamento decorre da injeção de sequência zero, característica do método de Xiao, sem afetar a tensão de linha porque todas as fases são deslocadas igualmente.

Figura 169 – NLM - Prova da injeção de sequência zero (ZSVI) pós falta 4. Canal 1 - Tensão de linha v_{ab} , Canal 2 - Tensão de fase v_{an} e Canal 3 - Sinal confirmação *bypass*.

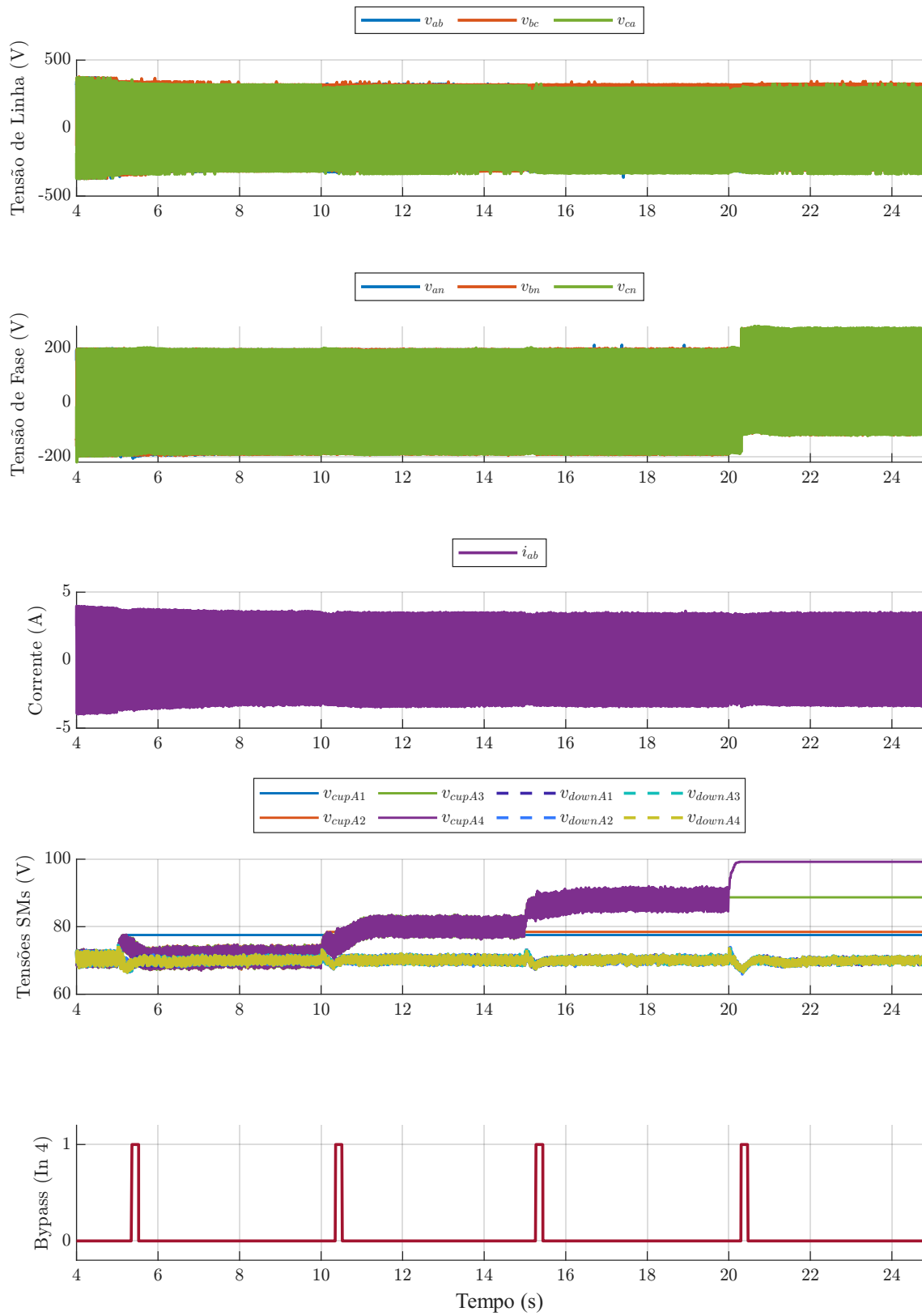


Fonte: Elaborado pelo autor (2026)

5.3.2.4 Figuras gerais obtidas com o HIL SCADA

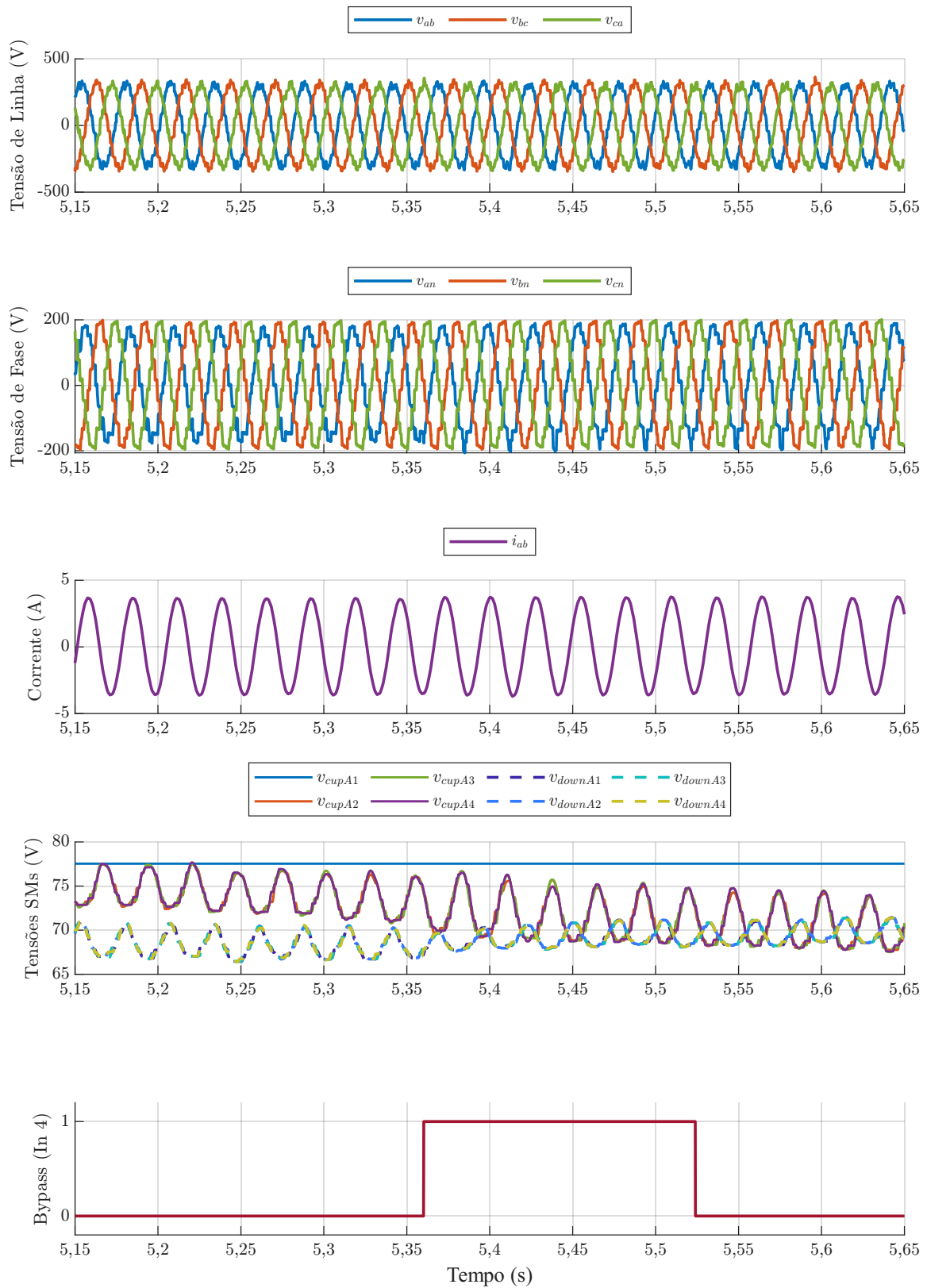
Novamente, devido à limitação do número de medições possíveis visto que as saídas analógicas estavam sendo utilizadas para controle, obtiveram-se os dados das Figuras 170 a 174 com o auxílio do software SCADA do Typhoon HIL. Nota-se que devido ao grande transitório de partida devido ao controle lento, o início da Figura 170 apresenta o final do *overshoot* do transitório.

Figura 170 – Visão geral da operação do método (Versão 2)



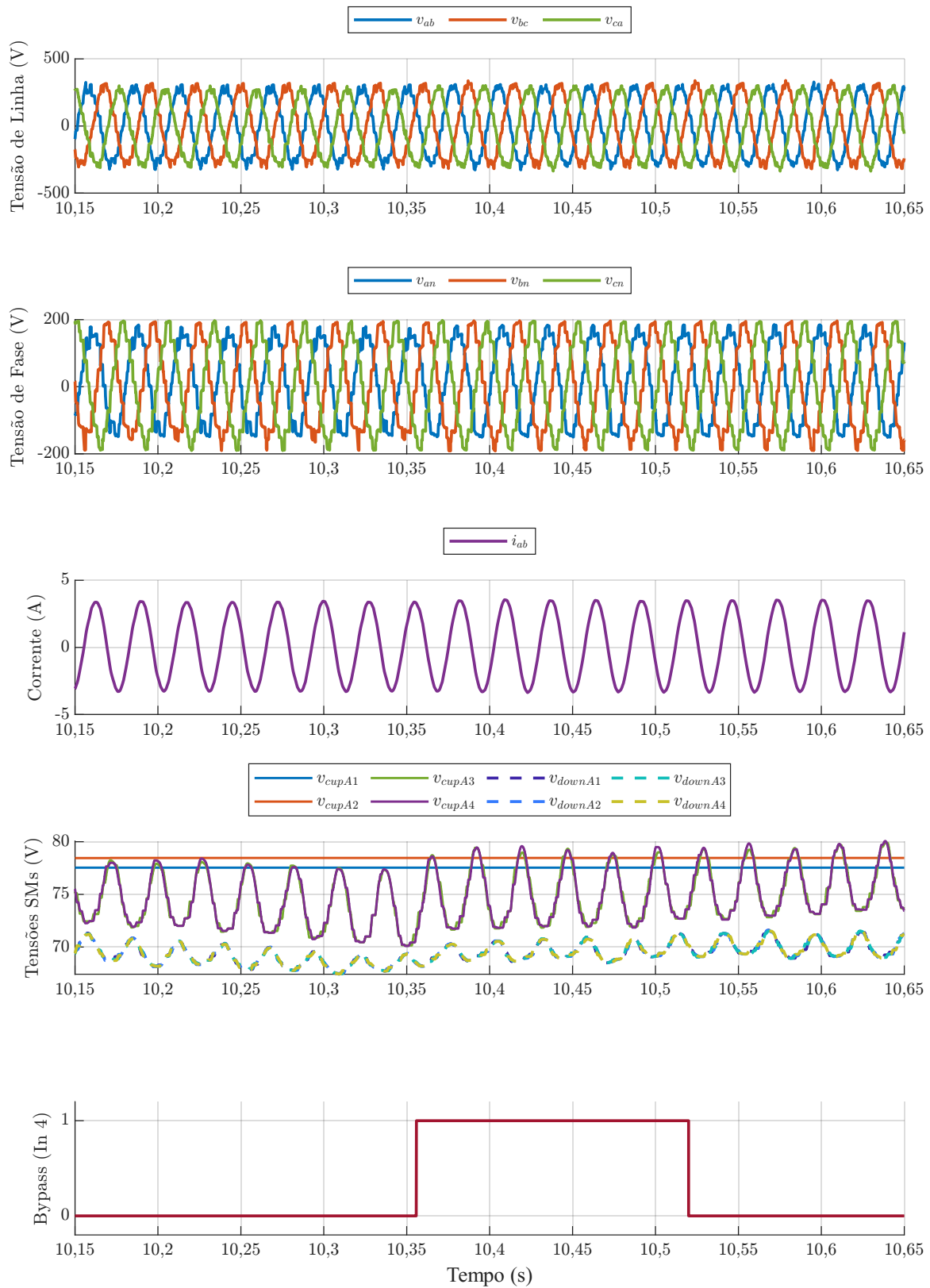
Fonte: Elaborado pelo autor (2026)

Figura 171 – Visão geral da operação do método - Ampliação próxima à falta 1 (Versão 2)



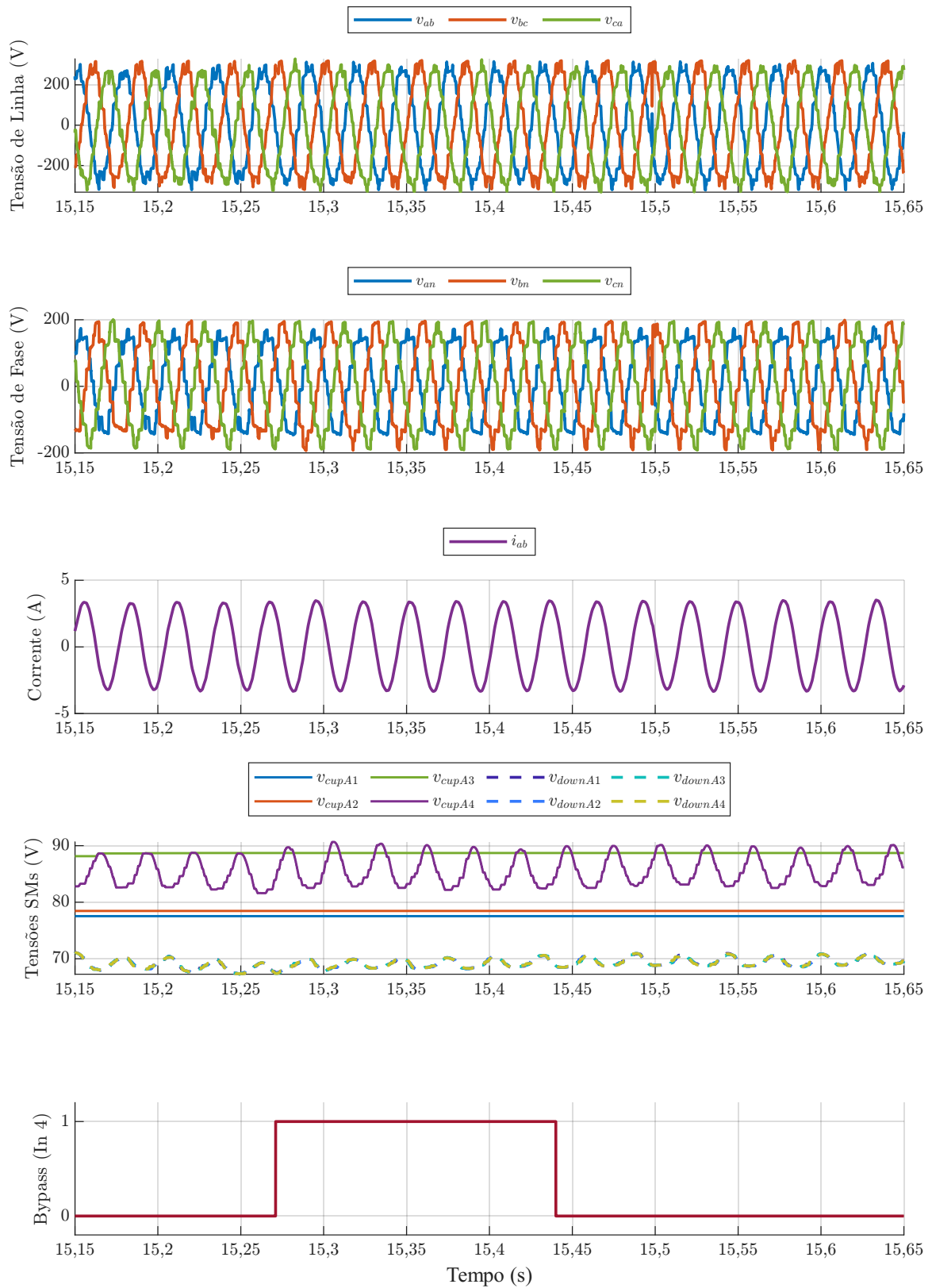
Fonte: Elaborado pelo autor (2026)

Figura 172 – Visão geral da operação do método - Ampliação próxima à falta 2 (Versão 2)



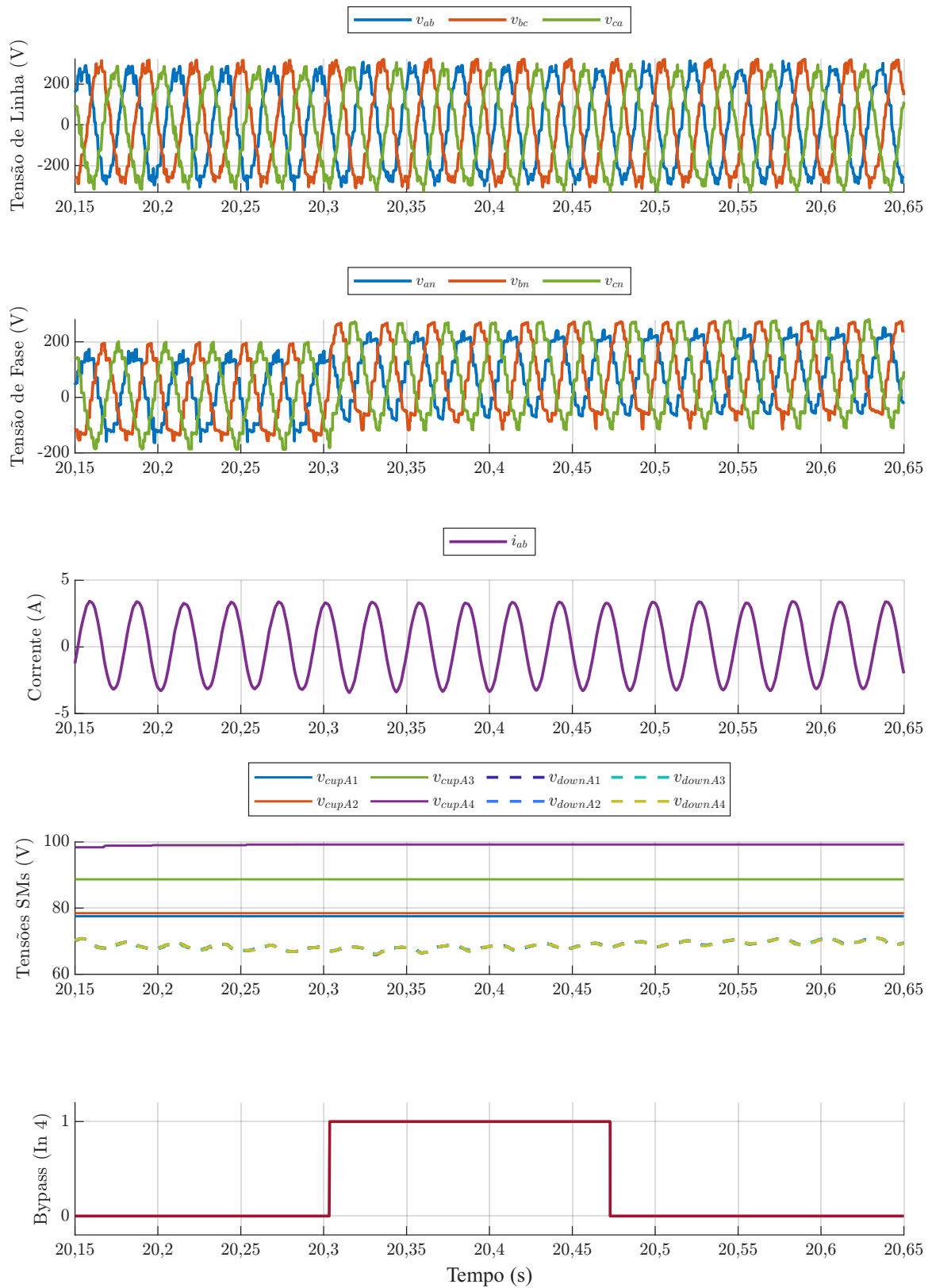
Fonte: Elaborado pelo autor (2026)

Figura 173 – Visão geral da operação do método - Ampliação próxima à falta 3 (Versão 2)



Fonte: Elaborado pelo autor (2026)

Figura 174 – Visão geral da operação do método - Ampliação próxima à falta 4 (Versão 2)



Fonte: Elaborado pelo autor (2026)

5.4 CONSIDERAÇÕES SOBRE A VALIDAÇÃO EXPERIMENTAL

A validação em *hardware* na plataforma de co-simulação confirmou, sob as restrições reais de tempo de execução do DSP TMS320F28335 e de comunicação digital com o Typhoon HIL402, o comportamento previsto nas simulações. A arquitetura incremental em duas versões permitiu separar o que é validação de algoritmo do que é validação de implementação embarcada.

Na Versão 1, com o controle e a modulação PD LS-PWM mantidos no HIL e apenas a identificação no DSP, isola-se a verificação dos algoritmos de diagnóstico, confirmando a detecção e o comando de *bypass* do submódulo defeituoso sem o ônus da carga computacional do controle completo.

Na Versão 2, a totalidade do controle, da modulação NLM e do diagnóstico é migrada para o DSP, validando a cadeia embarcada completa dentro do orçamento rígido de $50\mu\text{s}$. As capturas experimentais reproduzem as etapas centrais da operação tolerante a falhas, isto é, o *bypass* do módulo defeituoso, a elevação das tensões dos capacitores remanescentes e a injeção de tensão de sequência zero, em concordância com os resultados de simulação. As otimizações de memória, de cálculo e de comunicação são determinantes para que o conjunto caiba na janela de tempo real, evidenciando que a transição de uma validação numérica para uma implementação prática impõe restrições que não se manifestam em simulação comum.

6 CONCLUSÃO

Este trabalho aborda a operação tolerante a falhas de circuito aberto em semicondutores de conversores multiníveis modulares, percorrendo desde a escolha da topologia e a caracterização das assinaturas de falta até a identificação do submódulo defeituoso, as estratégias de mitigação e a validação em tempo real.

A análise comparativa entre as principais topologias indica o Conversor Modular Multinível (MMC) como a plataforma mais adequada para o estudo, em razão de sua redundância estrutural orgânica, do barramento cc único e do mecanismo de *bypass* ultrarrápido. Ressalta-se, contudo, que o Conversor em Ponte H em Cascata (CHB) não é descartado como uma boa alternativa para operação tolerante a falhas; a vantagem do MMC decorre principalmente do fato de que suas aplicações típicas empregam um número de submódulos significativamente superior, o que, conforme demonstrado, é determinante para a robustez intrínseca frente a falhas.

Um dos resultados centrais é a formalização analítica do impacto das faltas sobre as tensões dos capacitores. A partir de um modelo de balanço de carga, demonstra-se que o caráter da assinatura é fixado exclusivamente pela natureza da falta, por meio da análise da perda do caminho de corrente: a falta no interruptor superior apenas suprime o caminho de descarga, preservando a controlabilidade e conduzindo a um platô limitado; a falta no interruptor inferior bloqueia o caminho de *bypass* no modo de carregamento, adicionando uma carga de erro incontrolável que produz divergência ilimitada. Formaliza-se igualmente a dependência com o número de submódulos: a normalização das grandezas amplifica as assinaturas de forma proporcional a N , ao passo que a estratégia de modulação atua apenas redistribuindo a carga de erro entre os módulos, modulando a altura do platô. A mesma análise quantifica a degradação da tensão de linha como uma lei em k/N , permitindo estimar previamente a severidade da falta a partir do número de módulos e da modulação empregada.

Quanto à identificação, implementam-se e comparam-se quatro estratégias de diagnóstico de complexidade crescente: a média móvel, o coeficiente de correlação, o critério de Grubbs e o observador de modos deslizantes, evidenciando o compromisso entre velocidade, robustez e esforço computacional, sem que se possa eleger uma única técnica universalmente superior.

Em relação à mitigação, o resultado mais relevante é que existem diversas técnicas viáveis, cada uma adequada por motivos distintos, não havendo uma solução única. Identificam-se quatro famílias: as de *hardware* direto, que repõem fisicamente o módulo perdido por submódulos de reserva (*Cold Reserve*); as baseadas no aumento da tensão dos capacitores saudáveis, que recompõem a capacidade de síntese do braço degradado; as de injeção de tensão de sequência zero e nível cc, que redistribuem o ponto de operação de modo comum sem afetar a tensão de linha; e as combinadas, que unem injeção cc, deslocamento de neutro e injeção de sequência zero para estender o limite de redundância sob faltas assimétricas. A comparação dessas estratégias evidencia um compromisso inerente: a recuperação da tensão de linha implica, em geral, maior estresse sobre os componentes remanescentes, de modo que a escolha depende do cenário de

falta, concentrada ou distribuída, das restrições de estresse e dos requisitos de implementação.

Por fim, as estratégias são validadas em tempo real em uma plataforma de co-simulação que integra o emulador Typhoon HIL402 a um DSP TMS320F28335 físico, em duas arquiteturas incrementais. Na primeira versão, valida-se isoladamente a identificação de falhas no DSP, mantendo o controle e a modulação no emulador. Na segunda, migra-se a totalidade do controle, da modulação NLM e do diagnóstico para o DSP, validando a cadeia embarcada completa dentro da restrição rígida de $50\mu\text{s}$. Os resultados experimentais reproduzem as etapas centrais da operação tolerante a falhas observadas em simulação, confirmando a viabilidade prática das metodologias e evidenciando as restrições de tempo real, de memória e de comunicação que somente uma implementação física revela.

6.1 SUGESTÕES PARA TRABALHOS FUTUROS

Ao longo do desenvolvimento, identificaram-se diversas frentes que extrapolam o escopo deste trabalho e que se mostram promissoras para investigações futuras:

- A implementação física do conversor multinível em bancada de potência, validando em *hardware* real as estratégias até aqui verificadas em co-simulação.
- A extensão das análises de assinatura, identificação e mitigação ao Conversor em Ponte H em Cascata (CHB), avaliando como a ausência de um barramento cc comum altera as conclusões obtidas.
- O aprimoramento das malhas de controle das estratégias de mitigação, com a inclusão de termos *feedforward* que acelerem a adaptação ao novo ponto de operação após a falta.
- Modelagem térmica do incremento de perdas introduzido por cada estratégia de mitigação, de modo a quantificar objetivamente o estresse imposto aos semicondutores.
- Avaliação da possibilidade da alteração da frequência das portadoras para obter a mesma frequência de chaveamento na saída. Avaliar se há solução para o mesmo efeito para a modulação *Nearest Level Modulation* (NLM).
- Modelagem do aumento do estresse estático, em particular da elevação da tensão de bloqueio exigida dos dispositivos durante a operação em falta.
- O estudo dos transitórios de comutação dos submódulos, incluindo as bordas de subida e descida, e de suas implicações sobre a confiabilidade dos algoritmos de detecção de falhas.
- A estimação *online* da impedância de carga, requisito de vários dos métodos baseados em modelo, que neste trabalho a assumiram previamente conhecida.

- O dimensionamento analítico da indutância de braço e da capacitância dos submódulos já incorporando o número de faltas previsto em projeto.
- A geração dos sinais de gatilho e o algoritmo de ordenação em FPGA dedicado, em substituição à lógica interna do emulador HIL, etapa indispensável para uma implementação prática real.
- A definição de um protocolo de comunicação adequado a aplicações de grande escala, possivelmente com controle setorial ou hierárquico, concebido considerando conjuntamente a operação e a detecção de faltas.
- O emprego de FPGA para a detecção de faltas de curto-circuito, reduzindo a dependência de *gate drivers* com funções de proteção dedicadas.

REFERÊNCIAS

- AKAGI, H. Classification, terminology, and application of the Modular Multilevel Cascade Converter (MMCC). **IEEE Transactions on Power Electronics**, v. 26, n. 11, p. 3119–3130, 2011. Citado 2 vezes nas páginas 33 e 96.
- AMINI, Jalal; MOALLEM, Mehrdad. A fault-diagnosis and fault-tolerant control scheme for flying capacitor multilevel inverters. **IEEE Transactions on Industrial Electronics**, v. 64, n. 3, p. 1818–1826, 2017. Citado 3 vezes nas páginas 37, 91 e 92.
- ASLANIAN, Mahdi et al. A fault-tolerant method based on a modified selective harmonic mitigation technique for Modular Multilevel Converter. **IEEE Transactions on Industrial Electronics**, v. 71, n. 10, p. 12890–12899, 2024. Citado 4 vezes nas páginas 37, 39, 90 e 92.
- BI, Kaitao et al. Fast diagnostic method of open circuit fault for Modular Multilevel DC/DC converter applied in energy storage system. **IEEE Transactions on Power Electronics**, v. 32, p. 3292–3296, 2017. Citado na página 110.
- CHEN, Mingyun; HE, Yigang. Open-circuit fault diagnosis in NPC rectifiers using reference voltage deviation and incorporating fault-tolerant control. **IEEE Transactions on Power Electronics**, v. 39, n. 1, p. 1514–1526, 2024. Citado 3 vezes nas páginas 37, 91 e 92.
- CHOI, Ui-Min; BLAABJERG, Frede; LEE, Kyo-Beum. Study and handling methods of power IGBT module failures in power electronic converter systems. **IEEE Transactions on Power Electronics**, v. 30, n. 5, p. 2517–2533, 2015. Citado 2 vezes nas páginas 33 e 94.
- CHOKHAWALA, R. S.; CATT, J.; KIRALY, L. A discussion on IGBT short-circuit behavior and fault protection schemes. **IEEE Transactions on Industry Applications**, v. 31, n. 2, p. 256–263, 1995. Citado na página 38.
- CÚNICO, Lucas M. et al. Parameters design for modular multilevel converter (MMC). In: **2013 Brazilian Power Electronics Conference**. [S.l.: s.n.], 2013. p. 264–270. Citado 3 vezes nas páginas 219, 220 e 221.
- DEBNATH, S. et al. Operation, control, and applications of the Modular Multilevel Converter: A review. **IEEE Transactions on Power Electronics**, v. 30, n. 1, p. 37–53, 2015. Citado 4 vezes nas páginas 33, 66, 91 e 92.
- DENNETIÈRE, S. et al. Modeling of Modular Multilevel converters for the France-Spain link. Vancouver, Canada, July 2013. Paper 13IPST032. Citado na página 93.
- FARD, Majid T. et al. Fast online diagnosis of open-circuit switching faults in flying capacitor multilevel inverters. **Chinese Journal of Electrical Engineering**, v. 6, n. 4, p. 53–62, 2020. Citado 3 vezes nas páginas 37, 38 e 92.
- HAGIWARA, Makoto; HASEGAWA, Isamu; AKAGI, Hirofumi. Start-up and low-speed operation of an electric motor driven by a modular multilevel cascade inverter. **IEEE Transactions on Industry Applications**, v. 49, n. 4, p. 1556–1565, 2013. Citado na página 149.
- HE, Xiaoqiong et al. A novel advanced traction power supply system based on Modular Multilevel Converter. **IEEE Access**, v. 7, p. 165018–165028, 2019. Citado na página 77.

HÄRING, Johannes et al. A neutral point balancing and voltage error compensation approach for fault-tolerant 3-level inverters. **IEEE Open Journal of Power Electronics**, v. 5, p. 106–122, 2024. Citado 3 vezes nas páginas 37, 91 e 92.

ISIK, Semih; PARASHAR, Sanket; BHATTACHARYA, Subhashish. Fault-tolerant control and isolation method for npc-based afec using series-connected 10kv sic mosfets. **IEEE Access**, v. 10, p. 73893–73906, 2022. Citado 3 vezes nas páginas 37, 91 e 92.

JIN, Ming et al. Statistical multi-faults localization strategy of switch open-circuit fault for Modular Multilevel converters using Grubbs criterion. p. 5302–5307, 2020. Citado 2 vezes nas páginas 112 e 135.

KONSTANTINOU, Georgios et al. Active redundant submodule configuration in Modular Multilevel converters. **IEEE Transactions on Power Delivery**, v. 28, p. 2333–2340, 2013. Citado na página 118.

LEON, Andres E.; AMODEO, Santiago J. Energy balancing improvement of Modular Multilevel converters under unbalanced grid conditions. **IEEE Transactions on Power Electronics**, v. 32, n. 8, p. 6628–6637, 2017. Citado 2 vezes nas páginas 91 e 93.

LESNICAR, Anton; MARQUARDT, Rainer. An innovative modular multilevel converter topology suitable for a wide power range. In: **2003 IEEE Bologna Power Tech Conference Proceedings**. [S.l.: s.n.], 2003. v. 3, p. 1–6. Citado na página 66.

LI, Binbin et al. Seamless transition control for Modular Multilevel converters when inserting a cold-reserve redundant submodule. **IEEE Transactions on Power Electronics**, v. 30, p. 4052–4056, 2015. Citado 2 vezes nas páginas 116 e 175.

LI, Cui; LIU, Zhenxing; ZHANG, Yong. Diagnose of sub-module fault in Modular Multilevel converters based on moving average method. p. 220–225, 2019. Citado 2 vezes nas páginas 111 e 137.

LI, Mengwei et al. Fault-tolerant strategy for Modular Multilevel converters with combined zero-sequence voltage injection. **IEEE Transactions on Power Electronics**, v. 39, n. 7, p. 8101–8113, 2024. Citado 10 vezes nas páginas 10, 35, 37, 39, 90, 92, 124, 126, 130 e 155.

LI, Zixin et al. An improved pulse width modulation method for chopper-cell-based Modular Multilevel converters. **IEEE Transactions on Power Electronics**, v. 27, n. 8, p. 3472–3481, August 2012. Citado 4 vezes nas páginas 77, 78, 79 e 98.

LIN, Hongjian et al. A simplified SVM-based fault-tolerant strategy for Cascaded H-Bridge multilevel converters. **IEEE Transactions on Power Electronics**, v. 35, n. 11, p. 11310–11315, 2020. Citado 10 vezes nas páginas 16, 19, 35, 37, 39, 57, 62, 79, 92 e 224.

MORANCHEL, Miguel et al. A comparison of modulation techniques for Modular Multilevel converters. **Energies**, v. 9, n. 12, p. 1091, 2016. Citado 2 vezes nas páginas 76 e 101.

OH, Hyung-Sub et al. Physics-of-failure, condition monitoring, and prognostics of insulated gate bipolar transistor modules: A review. **IEEE Transactions on Power Electronics**, v. 30, n. 5, p. 2413–2426, 2015. Citado na página 33.

PENG, Fang Zheng et al. A multilevel voltage-source inverter with separate DC sources for static var generation. **IEEE Transactions on Industry Applications**, v. 32, n. 5, p. 1130–1138, 1996. Citado na página 40.

PINTO, Jonathan Hunder Dutra Gherard. **Modeling, design and performance evaluation of battery energy storage systems based on modular multilevel converter**. Tese (Doutorado) — Universidade Federal de Minas Gerais, Escola de Engenharia, Belo Horizonte, MG, 2022. Citado na página 70.

SHAO, Shuai et al. Robustness analysis and experimental validation of a fault detection and isolation method for the Modular Multilevel Converter. **IEEE Transactions on Power Electronics**, v. 31, n. 5, p. 3794–3805, 2016. Citado 3 vezes nas páginas 113, 114 e 137.

SHARIFABADI, Kamran et al. **Design, Control, and Application of Modular Multilevel Converters for HVDC Transmission Systems**. Chichester, West Sussex, United Kingdom: Wiley-IEEE Press, 2016. ISBN 978-1-118-89311-8. Citado 10 vezes nas páginas 36, 66, 69, 71, 78, 80, 91, 92, 97 e 99.

SOUZA, Henrique Fernandes de. **Metodologia de Identificação de Falhas de Circuito Aberto para o Conversor CHB que Independe da Estratégia de Modulação**. Dissertação (Dissertação de Mestrado) — Universidade do Estado de Santa Catarina, Joinville, 2023. Citado 2 vezes nas páginas 33 e 34.

SOUZA, Henrique F. de; ZIMANN, Felipe J.; BATSCHAUER, Alessandro L. Metodologia de identificação de falhas de circuito aberto para o conversor CHB. **Eletrônica de Potência**, v. 30, p. e202513, 2025. Disponível em: <https://journal.sobraep.org.br/index.php/rep/article/view/998>. Acesso em: 9 ago. 2025. Citado 12 vezes nas páginas 16, 19, 37, 38, 43, 44, 45, 79, 80, 84, 222 e 225.

TANG, Sai et al. Detection and identification of power switch failures using discrete fourier transform for fault-tolerant operation of flying capacitor multilevel converters. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, v. 9, n. 4, p. 4062–4071, 2021. Citado 4 vezes nas páginas 37, 38, 91 e 92.

VALIYIL, Rinsha; GANGADHARAN, Jagadanand. Rolling average-decision tree-based fault detection of neutral point clamped inverters. **IEEE Journal of Emerging and Selected Topics in Industrial Electronics**, v. 4, n. 3, p. 744–755, 2023. Citado 3 vezes nas páginas 37, 38 e 92.

WANG, Huai; LISERRE, Marco; BLAABJERG, Frede. Toward reliable power electronics: Challenges, design tools, and opportunities. **IEEE Industrial Electronics Magazine**, v. 7, n. 2, p. 17–26, 2013. Citado na página 33.

WEI, Xinwei et al. Parallel open-circuit fault diagnosis method of a cascaded full-bridge NPC inverter with model predictive control. **IEEE Transactions on Industrial Electronics**, v. 68, n. 10, p. 10180–10192, 2021. Citado 3 vezes nas páginas 37, 38 e 92.

WU, Bin. **High-Power Converters and AC Drives**. Piscataway, NJ: IEEE Press, 2006. ISBN 978-0-471-73171-9. Citado 7 vezes nas páginas 40, 41, 42, 43, 75, 91 e 92.

XIAO, Qian et al. An improved fault-tolerant control scheme for Cascaded H-Bridge STATCOM with higher attainable balanced line-to-line voltages. **IEEE Transactions on Industrial Electronics**, v. 68, n. 4, p. 2784–2797, 2021b. Citado 3 vezes nas páginas 37, 92 e 130.

XIAO, Qian et al. Review of fault diagnosis and fault-tolerant control methods of the Modular Multilevel Converter under submodule failure. **IEEE Transactions on Power Electronics**, v. 38, p. 12059–12077, 2023. Citado 4 vezes nas páginas 91, 92, 110 e 115.

XIAO, Qian et al. A novel operation scheme for Modular Multilevel Converter with enhanced ride-through capability of submodule faults. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, v. 9, n. 2, p. 1258–1268, 2021a. Citado 14 vezes nas páginas 37, 39, 71, 72, 73, 74, 90, 92, 127, 129, 130, 132, 155 e 176.

XIE, Dong et al. A voltage-based multiple fault diagnosis approach for Cascaded H-Bridge multilevel converters. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, v. 10, n. 5, p. 5092–5106, 2022. Citado 10 vezes nas páginas 16, 19, 33, 37, 38, 46, 49, 50, 51 e 222.

XUE, Hao et al. Seamless fault-tolerant control for cascaded h-bridge converters based battery energy storage system. **IEEE Transactions on Industrial Electronics**, v. 70, n. 4, p. 3803–3813, 2023. Citado 13 vezes nas páginas 16, 19, 37, 39, 52, 53, 54, 55, 57, 65, 91, 92 e 223.

YANG, Qichen; QIN, Jiangchao; SAEEDIFARD, Maryam. A postfault strategy to control the Modular Multilevel Converter under submodule failure. **IEEE Transactions on Power Delivery**, v. 31, p. 2453–2460, 2016. Citado 3 vezes nas páginas 122, 130 e 155.

ZHANG, Jianzhong et al. Fault diagnosis and monitoring of Modular Multilevel Converter with fast response of voltage sensors. **IEEE Transactions on Industrial Electronics**, v. 67, n. 6, p. 5071–5080, 2020. Citado 3 vezes nas páginas 33, 37 e 38.

ZHOU, Dehong et al. Submodule voltage similarity-based open-circuit fault diagnosis for Modular Multilevel converters. **IEEE Transactions on Power Electronics**, v. 34, n. 8, p. 8008–8016, 2019. Citado 9 vezes nas páginas 16, 19, 37, 38, 83, 84, 108, 112 e 226.

APÊNDICE A – CÁLCULO NUMÉRICO DOS GANHOS DOS CONTROLADORES

Nesta seção, apresentam-se os cálculos numéricos para a obtenção dos ganhos dos controladores do MMC, utilizando as equações derivadas na Seção 2.4.2 e os parâmetros do conversor definidos no Apêndice B. Os parâmetros de entrada utilizados estão reunidos na Tabela 30, e as constantes de tempo adotadas para cada malha estão dispostas na Tabela 31.

Tabela 30 – Parâmetros de entrada para cálculo dos ganhos.

Parâmetro	Símbolo	Valor
Indutância de braço	L_a	5 mH
Resistência de braço	R_a	0,1 Ω
Capacitância do submódulo	C_{sm}	0,47 mF
Frequência fundamental	f	60 Hz

Fonte: Elaborado pelo autor (2026)

Tabela 31 – Constantes de tempo das malhas de controle.

Malha	Símbolo	Valor
Corrente de saída	τ_{out}	0,3 ms
Corrente de circulação	τ_{circ}	0,5 ms
Tensão de saída	τ_{vout}	5,0 ms
Energia dos braços	τ_{arm}	25,0 ms

Fonte: Elaborado pelo autor (2026)

A.1 GANHOS DA MALHA DE CORRENTE DE SAÍDA

A impedância equivalente vista pelo controlador de corrente de saída é metade da impedância de braço:

$$L_{eq,ac} = \frac{L_a}{2} = \frac{5 \times 10^{-3}}{2} = 2,5 \text{ mH} \quad (102)$$

$$R_{eq,ac} = \frac{R_a}{2} = \frac{0,1}{2} = 0,05 \Omega \quad (103)$$

Substituindo em (38) com $\tau_{out} = 0,3 \text{ ms}$:

$$K_{p,out} = \frac{L_{eq,ac}}{\tau_{out}} = \frac{2,5 \times 10^{-3}}{0,3 \times 10^{-3}} \approx 8,33 \quad (104)$$

$$K_{i,out} = \frac{R_{eq,ac}}{\tau_{out}} = \frac{0,05}{0,3 \times 10^{-3}} \approx 166,67 \quad (105)$$

A.2 GANHOS DA MALHA DE CORRENTE DE CIRCULAÇÃO

A planta da corrente de circulação utiliza a impedância completa do braço. Substituindo em (39) com $\tau_{circ} = 0,5$ ms:

$$K_{p,circ} = \frac{L_a}{\tau_{circ}} = \frac{5 \times 10^{-3}}{0,5 \times 10^{-3}} = 10,0 \quad (106)$$

$$K_{i,circ} = \frac{R_a}{\tau_{circ}} = \frac{0,1}{0,5 \times 10^{-3}} = 200,0 \quad (107)$$

As frequências de sintonização dos controladores ressonantes (40) são:

$$\omega = 2\pi \cdot 60 \approx 377 \text{ rad/s} \quad (108)$$

$$2\omega = 2 \cdot 2\pi \cdot 60 \approx 754 \text{ rad/s} \quad (109)$$

Os parâmetros adotados são $K_r = 500$ e $\omega_c = 10$ rad/s, este último ajustado para conferir imunidade a pequenas variações de frequência da rede.

A.3 GANHOS DA MALHA DE ENERGIA DOS BRAÇOS

Substituindo em (41) com $\tau_{arm} = 25$ ms, valor deliberadamente escolhido acima do período da ondulação de segunda ordem (8,33 ms para $f = 60$ Hz):

$$K_{p,sum} = K_{p,delta} = \frac{C_{sm}}{\tau_{arm}} = \frac{0,47 \times 10^{-3}}{25 \times 10^{-3}} \approx 0,0188 \quad (110)$$

A.4 RESUMO DOS GANHOS CALCULADOS

A Tabela 32 reúne todos os ganhos obtidos.

Tabela 32 – Resumo dos ganhos dos controladores do MMC.

Controlador	Parâmetro	Valor
PI corrente de saída	$K_{p,out}$	8,33
	$K_{i,out}$	166,67
PI corrente de circulação	$K_{p,circ}$	10,0
	$K_{i,circ}$	200,0
Ressonante $R(\omega)$	K_r	500
	ω_n	377 rad/s
Ressonante $R(2\omega)$	K_r	500
	ω_n	754 rad/s
Largura de banda ressonante	ω_c	10 rad/s
Energia dos braços	$K_{p,sum}$	0,0188
	$K_{p,delta}$	0,0188

Fonte: Elaborado pelo autor (2026)

A.5 GANHOS PARA A VERSÃO 2 (MODULAÇÃO NLM)

A configuração da Versão 2, com modulação NLM, emprega indutância de braço $L_a = 25$ mH e capacitância de submódulo $C_{sm} = 3100 \mu\text{F}$, mantendo as mesmas constantes de tempo de projeto. Aplicando o mesmo procedimento dos itens anteriores, obtêm-se os ganhos reunidos na Tabela 33.

Tabela 33 – Resumo dos ganhos dos controladores do MMC para a Versão 2 (modulação NLM).

Controlador	Parâmetro	Valor
PI corrente de saída	$K_{p,out}$	41,67
	$K_{i,out}$	166,67
PI corrente de circulação	$K_{p,circ}$	50,0
	$K_{i,circ}$	200,0
Ressonante $R(\omega)$	K_r	500
	ω_n	377 rad/s
Ressonante $R(2\omega)$	K_r	500
	ω_n	754 rad/s
Largura de banda ressonante	ω_c	10 rad/s
Energia dos braços	$K_{p,sum}$	0,124
	$K_{p,delta}$	0,124

Fonte: Elaborado pelo autor (2026)

APÊNDICE B – DIMENSIONAMENTO ANALÍTICO DOS PARÂMETROS DO CONVERSOR MMC

Neste apêndice, demonstra-se o dimensionamento analítico dos componentes passivos do Conversor Modular Multinível (MMC), especificamente a capacitância dos submódulos e a indutância dos braços. A metodologia de cálculo baseia-se no trabalho desenvolvido por (Cúnico et al., 2013), que propõe uma abordagem determinística direta para a seleção de componentes.

B.1 DEFINIÇÃO DO PONTO DE OPERAÇÃO

Os parâmetros de entrada do conversor e da carga utilizados para a validação do dimensionamento estão definidos a seguir:

- Tensão do barramento cc (V_{dc}): 700 V
- Número de submódulos por sub-braço (N): 10
- Frequência fundamental (f): 50 Hz
- Indutância da carga (L_{load}): 300 mH
- Resistência da carga (R_{load}): 50 Ω

A tensão média em cada capacitor de submódulo (V_c) é dada por (111):

$$V_c = \frac{V_{dc}}{N} = \frac{700}{10} = 70 \text{ V} \quad (111)$$

A frequência angular fundamental da rede (ω) é definida em (112):

$$\omega = 2\pi f = 2\pi(50) \approx 314,16 \text{ rad/s} \quad (112)$$

A impedância total da carga (Z_{load}) e o ângulo de deslocamento da carga (ϕ) são calculados através de (113) e (114):

$$Z_{load} = \sqrt{R_{load}^2 + (\omega L_{load})^2} = \sqrt{50^2 + (314,16 \cdot 0,3)^2} \approx 106,69 \text{ } \Omega \quad (113)$$

$$\phi = \arctan\left(\frac{\omega L_{load}}{R_{load}}\right) = \arctan\left(\frac{94,25}{50}\right) \approx 62,05^\circ \quad (114)$$

Assumindo uma operação teórica com índice de modulação máximo ($g_v = 1,0$), a tensão de pico de saída (V_o) é a metade da tensão do barramento cc (350 V). A corrente de pico na saída (I_m) e a potência aparente monofásica (P_1) resultam em (115) e (116):

$$I_m = \frac{V_o}{Z_{load}} = \frac{350}{106,69} \approx 3,28 \text{ A} \quad (115)$$

$$P_1 = \frac{V_o I_m}{2} = \frac{350 \cdot 3,28}{2} = 574 \text{ VA} \quad (116)$$

B.2 DIMENSIONAMENTO DO CAPACITOR DO SUBMÓDULO

Segundo Cúnico et al. (2013), a capacitância mínima (C_{min}) necessária em cada submódulo para limitar a ondulação de tensão a um valor estipulado δ (expresso de forma unitária ou em porcentagem) é obtida pela equação analítica (117):

$$C_{min} = \frac{2P_1}{V_c^2 \delta g_v \omega N} \sqrt{\left[1 - \left(\frac{g_v \cos(\phi)}{2}\right)^2\right]^3} \quad (117)$$

Definindo um limite de ondulação de tensão de 10% ($\delta = 0,10$) para operação segura dos semicondutores e utilizando o fator de potência calculado da carga altamente indutiva ($\cos(62,05^\circ) = 0,4686$), substitui-se os valores em (117):

$$C_{min} = \frac{2 \cdot 574}{70^2 \cdot 0,10 \cdot 1,0 \cdot 314 \cdot 16 \cdot 10} \sqrt{\left[1 - \left(\frac{1,0 \cdot 0,4686}{2}\right)^2\right]^3} \quad (118)$$

$$C_{min} = \frac{1148}{1539384} \cdot 0,9188 \approx 685 \mu F \quad (119)$$

O valor de capacitância estipulado para os testes computacionais e práticos do conversor é de $940 \mu F$. Visto que $940 \mu F > 685 \mu F$, conclui-se que o componente atende satisfatoriamente o requisito mínimo de projeto (Cúnico et al., 2013). Há uma margem de segurança de aproximadamente 37,2%, a qual compensa variações na tolerância de fabricação de capacitores comerciais e permite que a ondulação real de tensão na operação permaneça em torno de 7,29%.

B.3 DIMENSIONAMENTO DO INDUTOR DE BRAÇO

O indutor de braço atua na supressão de componentes harmônicos internos, mitigação de correntes de circulação e limitação da derivada da corrente durante faltas no barramento cc (Cúnico et al., 2013). Durante um curto-circuito pleno (polo a polo) no link cc, a taxa máxima de variação da corrente de falta ($\kappa = di/dt$) é restrita unicamente pela indutância do braço (L_a), conforme (120):

$$\kappa = \frac{NV_c}{2L_a} \quad (120)$$

Substituindo os valores do sistema e utilizando a indutância selecionada de 5 mH, a taxa de subida da corrente de falta resulta em (121):

$$\kappa = \frac{10 \cdot 70}{2 \cdot 0,005} = 70000 \text{ A/s} = 0,07 \text{ A}/\mu s \quad (121)$$

Este valor demonstra uma taxa de crescimento excepcionalmente branda, concedendo múltiplos milissegundos para os circuitos de proteção desabilitarem o chaveamento, atestando a robustez da indutância de 5 mH contra faltas severas.

Por fim, a associação série da indutância de braço com os capacitores dos submódulos cria um circuito elétrico ressonante indutor-capacitor (LC). A frequência de ressonância natural do braço (f_{res}) para a corrente de modo comum é dada por (122):

$$f_{res} = \frac{1}{2\pi\sqrt{L_{eq}C_{eq}}} \quad (122)$$

onde $L_{eq} = 2L_a$ (dois braços em série para a corrente de circulação) e $C_{eq} = C_{sm}/N$. Substituindo os valores, obtém-se (123):

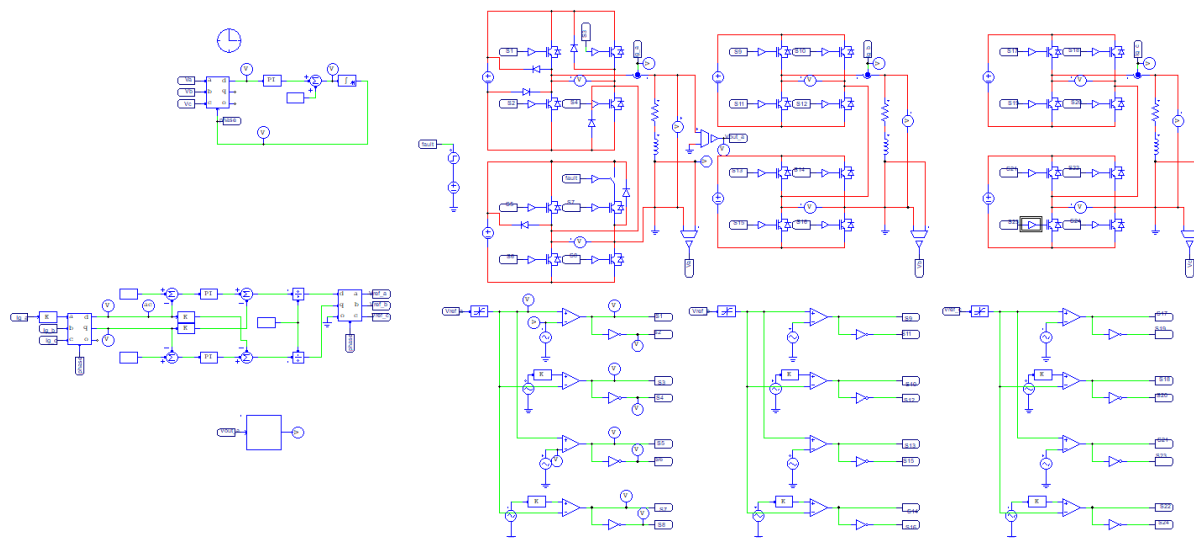
$$f_{res} = \frac{1}{2\pi\sqrt{0,01 \cdot 0,000094}} \approx 164,15 \text{ Hz} \quad (123)$$

A sintonia da ressonância em 164,15 Hz é um aspecto crítico do projeto, pois afasta a ressonância natural do braço da frequência de 100 Hz (segunda ordem harmônica). Uma vez que a ondulação de tensão nos capacitores impulsiona correntes de circulação intrínsecas a 2ω (Cúnico et al., 2013), a seleção de $L_a = 5 \text{ mH}$ e $C_{sm} = 940 \mu\text{F}$ desintoniza o circuito passivamente para essa frequência limitando, de forma inerente, as amplitudes da corrente indesejada. A adição da resistência do braço ($R_{arm} = 0,1 \Omega$) age como amortecimento extra para mitigar eventuais transitórios que excitam essa frequência natural.

APÊNDICE C – FIGURAS DAS SIMULAÇÕES FEITAS PARA A REVISÃO BIBLIOGRÁFICA

Neste apêndice, apresentam-se as figuras das simulações realizadas no software PSIM para a validação das referências bibliográficas. A seguir, na Figura 175, apresenta-se a simulação realizada para o método de Souza, Zimann e Batschauer (2025).

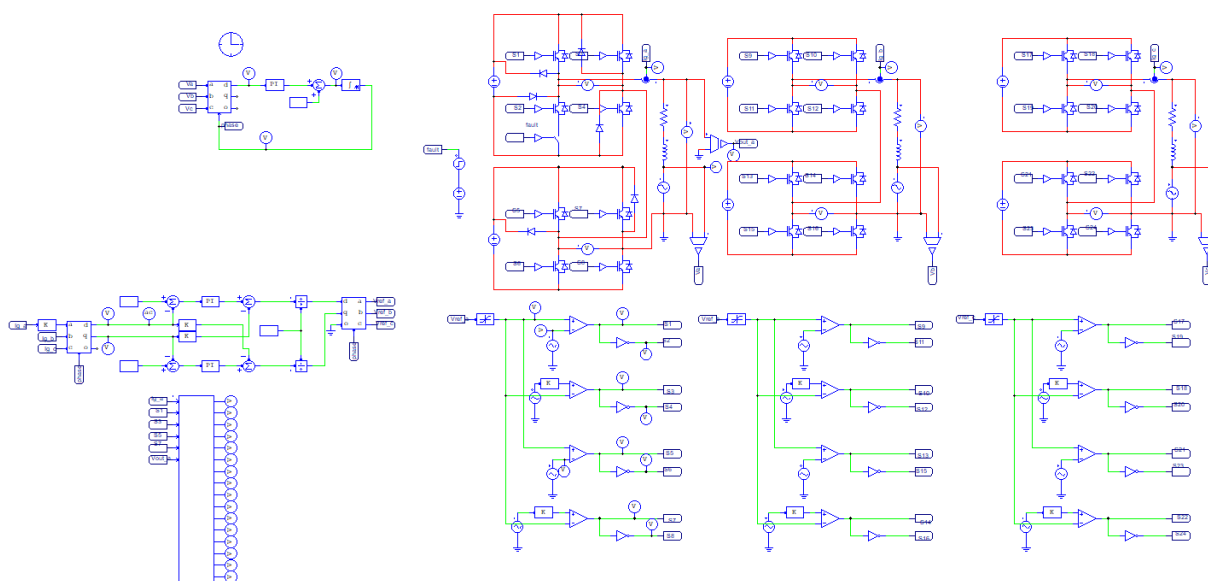
Figura 175 – Simulação do artigo de Souza, Zimann e Batschauer (2025).



Fonte: Elaborado pelo autor (2026)

Abaixo, na Figura 176, apresenta-se a simulação feita para o método de Xie et al. (2022).

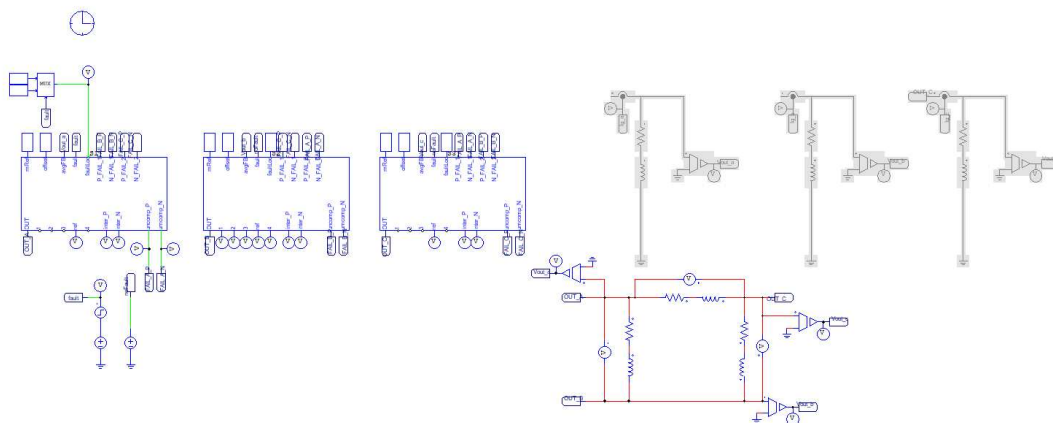
Figura 176 – Simulação do artigo de Xie et al. (2022).



Fonte: Elaborado pelo autor (2026)

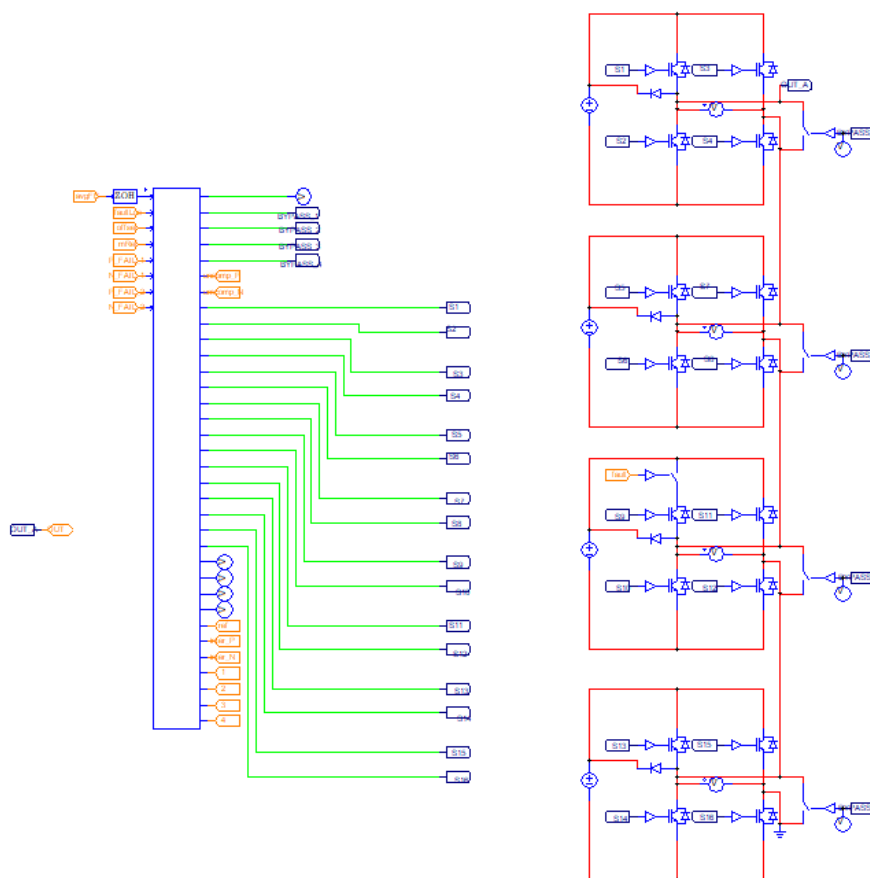
Abaixo, nas Figuras 177 e 178, demonstram-se as simulações feitas para o método de Xue et al. (2023).

Figura 177 – Simulação do artigo de Xue et al. (2023) - parte 1.



Fonte: Elaborado pelo autor (2026)

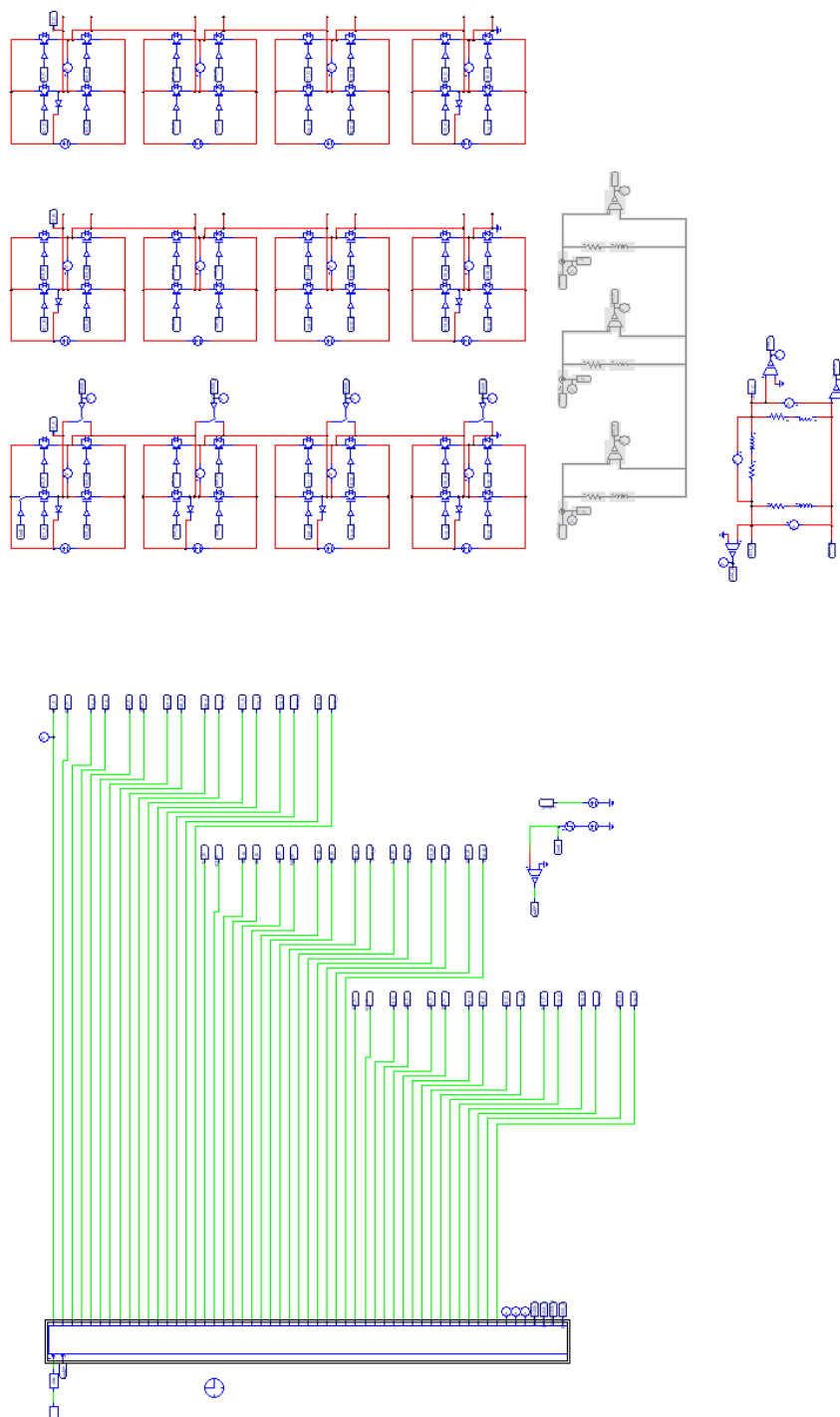
Figura 178 – Simulação do artigo de Xue et al. (2023) - parte 2.



Fonte: Elaborado pelo autor (2026)

Abaixo, na Figura 179, apresenta-se a simulação feita para o método de Lin et al. (2020).

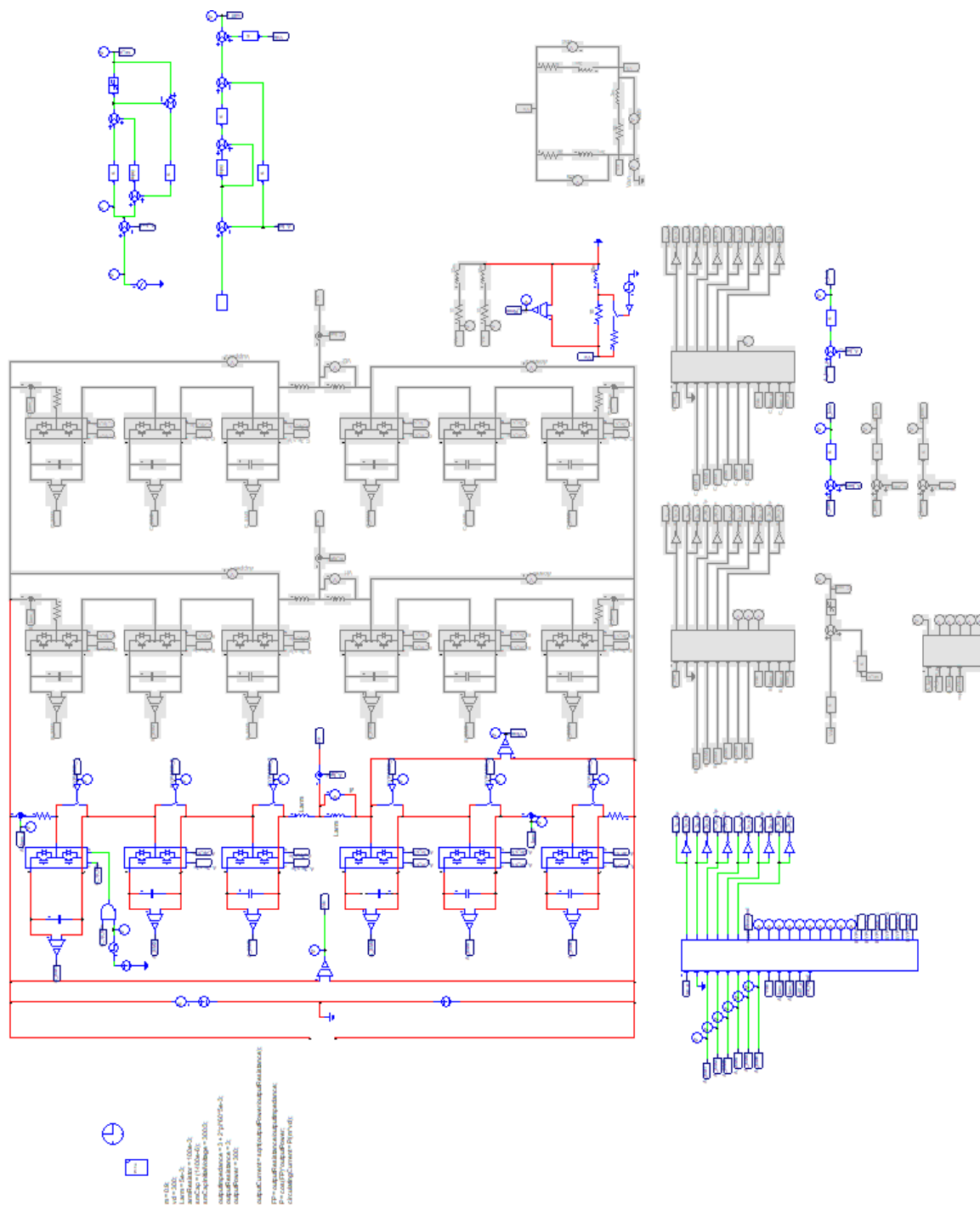
Figura 179 – Simulação do artigo de Lin et al. (2020).



Fonte: Elaborado pelo autor (2026)

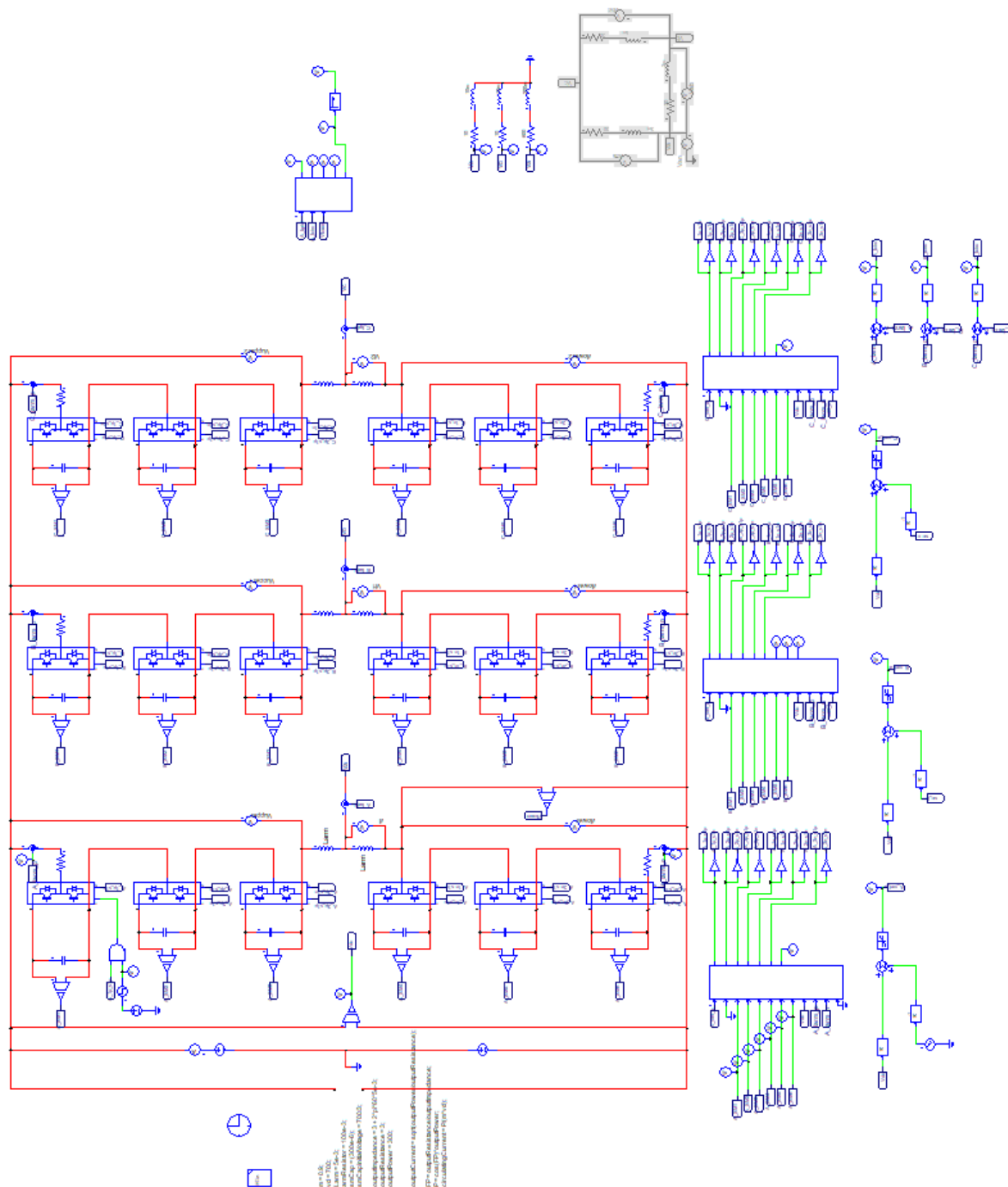
Abaixo, na Figura 180, demonstra-se a simulação feita para o método de Souza, Zimann e Batschauer (2025) aplicado ao MMC.

Figura 180 – Simulação do artigo de Souza, Zimann e Batschauer (2025) para MMC.



Abaixo, na Figura 181, apresenta-se a simulação feita para o método de Zhou et al. (2019).

Figura 181 – Simulação do artigo de Zhou et al. (2019).

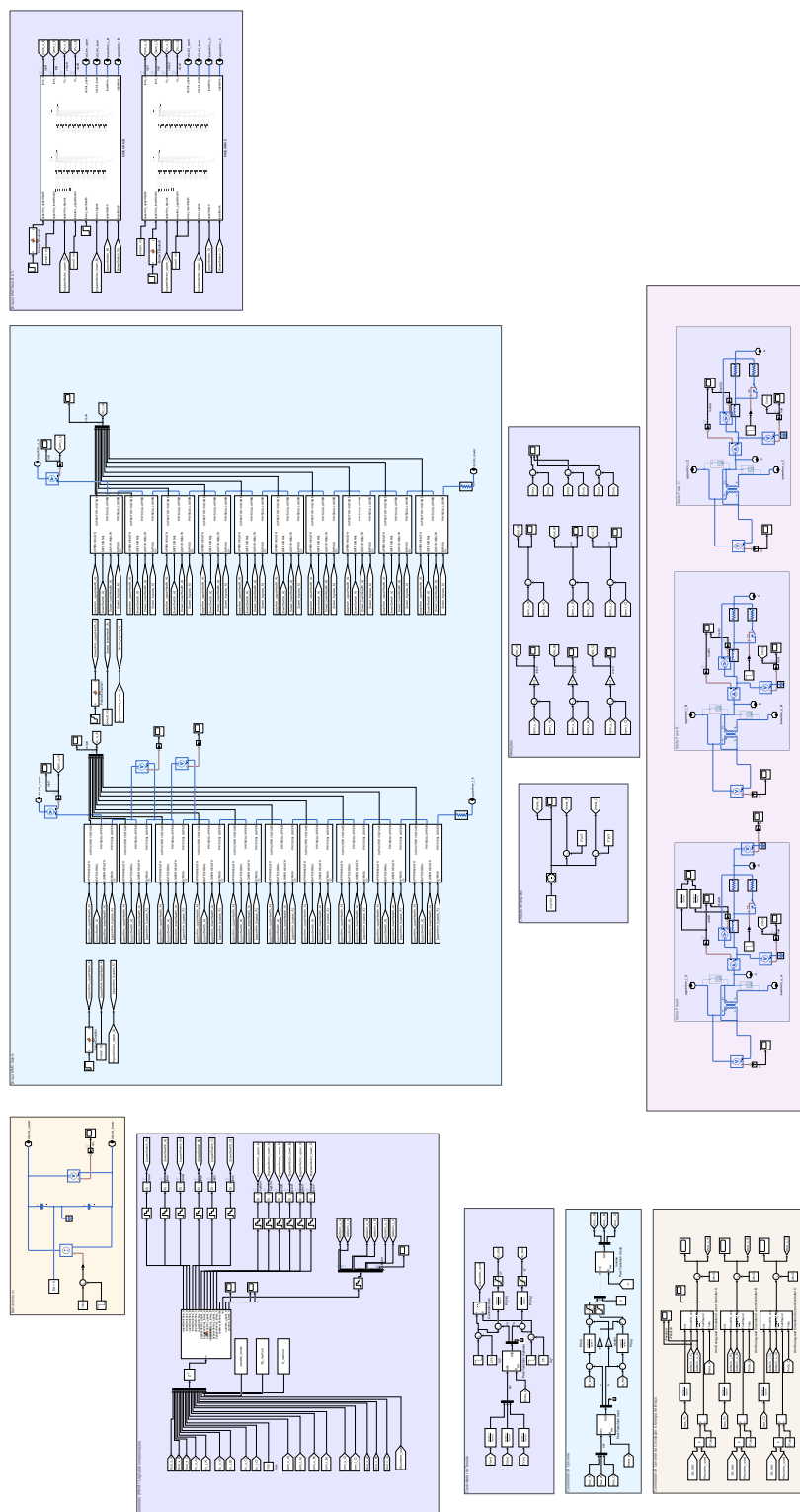


Fonte: Elaborado pelo autor (2026)

C.1 MODELO COMPLETO DE SIMULAÇÃO NO MATLAB/SIMULINK

Apresenta-se na Figura 182 a captura completa do modelo de simulação no MATLAB/Simulink utilizado na análise comparativa das estratégias, cujo diagrama de blocos simplificado está disposto na Figura 89.

Figura 182 – Captura completa do modelo de simulação no MATLAB/Simulink.



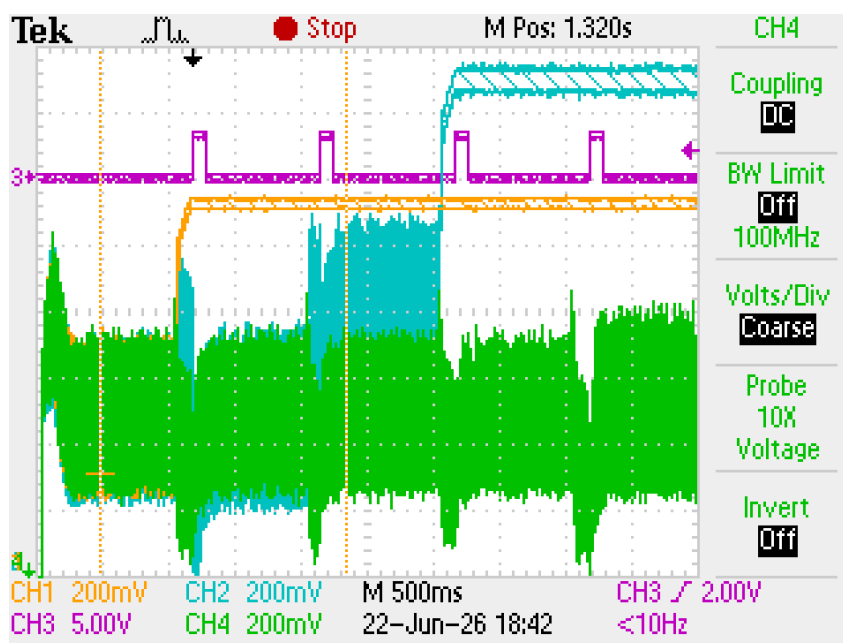
Fonte: Elaborado pelo autor (2026)

APÊNDICE D – CAPTURAS DE OSCILOSCÓPIO DA VALIDAÇÃO EXPERIMENTAL

Este apêndice reúne as capturas originais de osciloscópio dos ensaios de validação experimental em *hardware*. As figuras apresentadas na seção de validação experimental do texto principal foram recriadas a partir destes dados, com as escalas corretas; aqui constam as imagens diretas do instrumento, nas quais cada canal (Canal 1 a Canal 4) corresponde a uma grandeza medida.

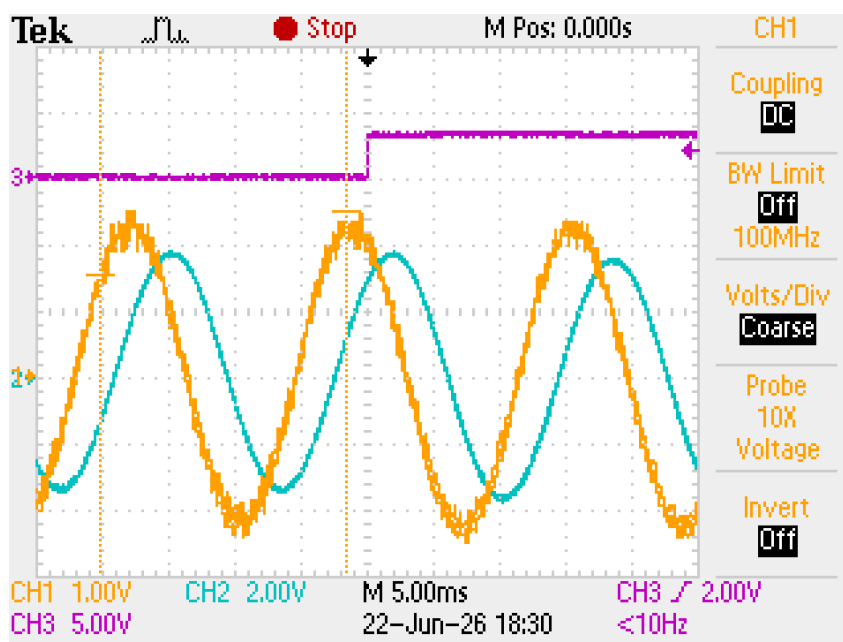
D.1 VERSÃO 1: IDENTIFICAÇÃO NO DSP COM MODULAÇÃO PD LS-PWM

Figura 183 – PD LS-PWM - Visão geral das tensões dos capacitores (captura direta do osciloscópio). Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo superior 2 (Fase A), Canal 3 - Sinal confirmação *bypass* e Canal 4 - Tensão capacitor submódulo inferior 1 (Fase A).



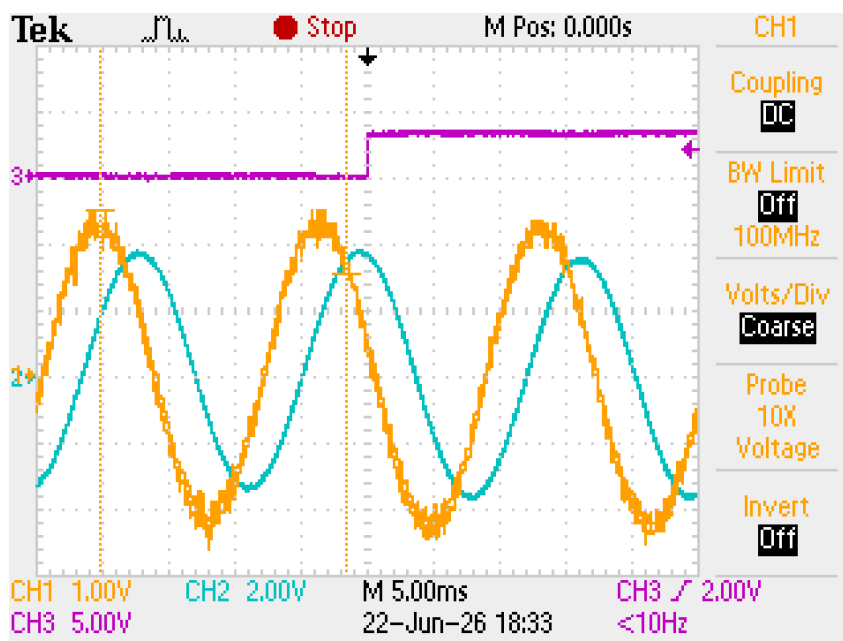
Fonte: Elaborado pelo autor (2026)

Figura 184 – PD LS-PWM - Impacto na tensão e corrente de saída, falta 1 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação *bypass*.



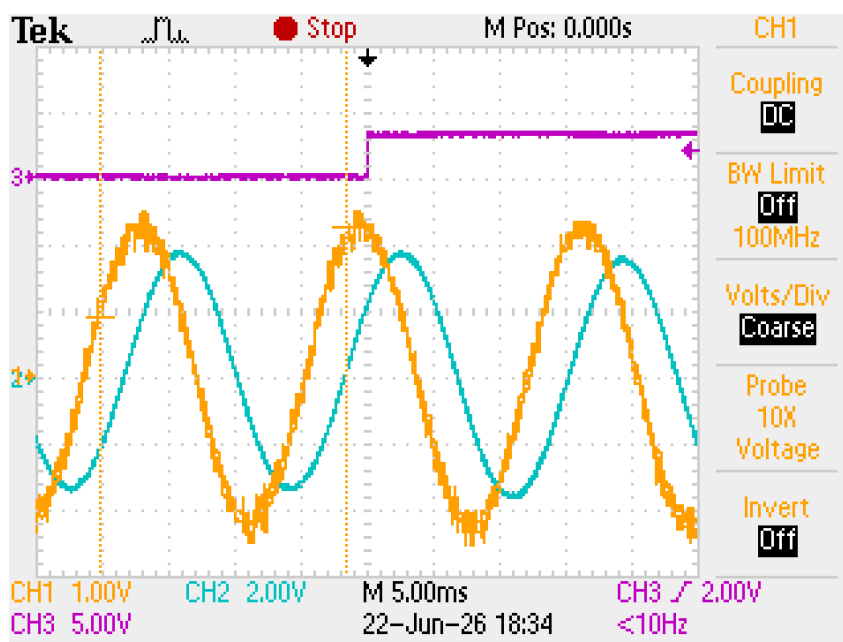
Fonte: Elaborado pelo autor (2026)

Figura 185 – PD LS-PWM - Impacto na tensão e corrente de saída, falta 2 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação *bypass*.



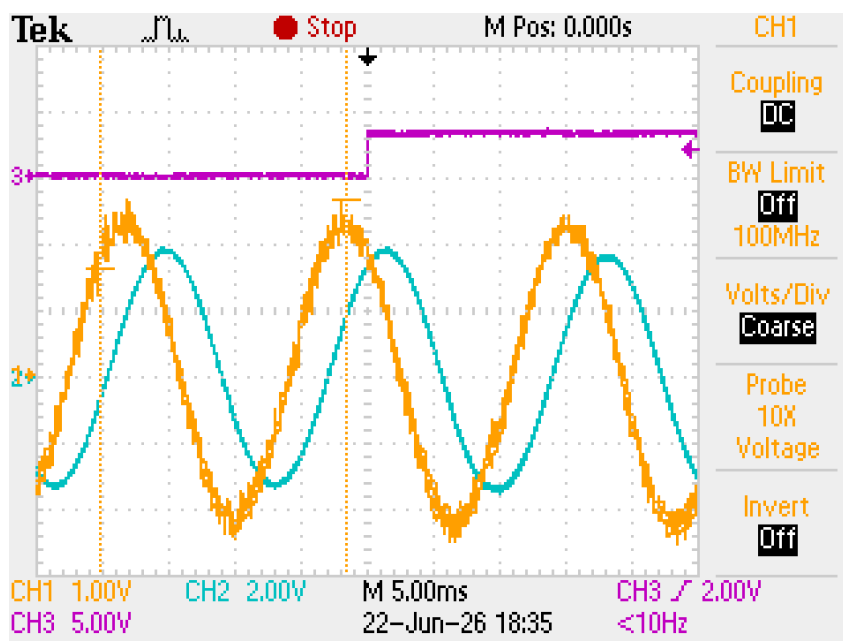
Fonte: Elaborado pelo autor (2026)

Figura 186 – PD LS-PWM - Impacto na tensão e corrente de saída, falta 3 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação *bypass*.



Fonte: Elaborado pelo autor (2026)

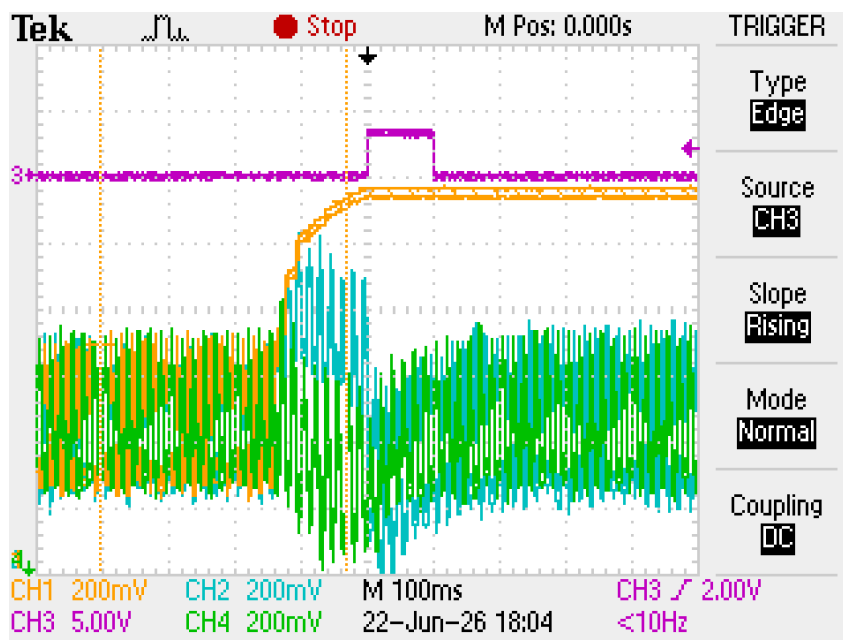
Figura 187 – PD LS-PWM - Impacto na tensão e corrente de saída, falta 4 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação *bypass*.



Fonte: Elaborado pelo autor (2026)

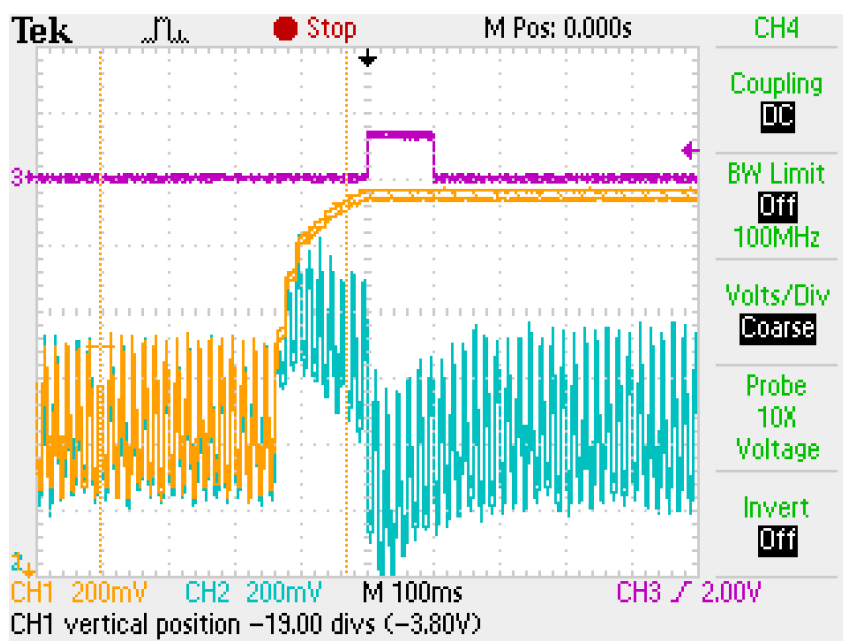
Figura 188 – PD LS-PWM - Reconfiguração e bypass, falta 1 (captura direta do osciloscópio).

Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo superior 2 (Fase A), Canal 3 - Sinal confirmação *bypass* e Canal 4 - Tensão capacitor submódulo inferior 1 (Fase A).



Fonte: Elaborado pelo autor (2026)

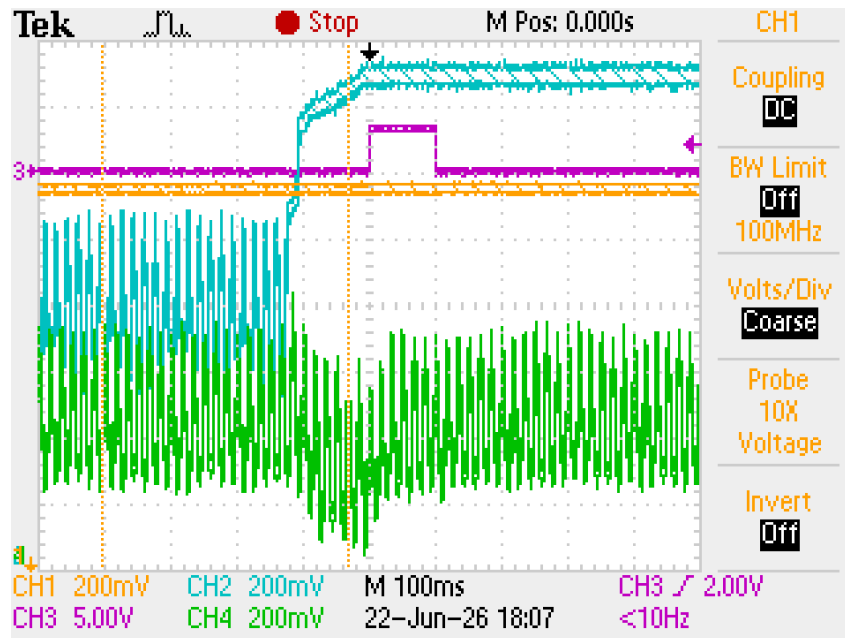
Figura 189 – PD LS-PWM - Reconfiguração e bypass, falta 1, captura adicional (captura direta do osciloscópio). Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo superior 2 (Fase A), Canal 3 - Sinal confirmação *bypass* e Canal 4 - Tensão capacitor submódulo inferior 1 (Fase A).



Fonte: Elaborado pelo autor (2026)

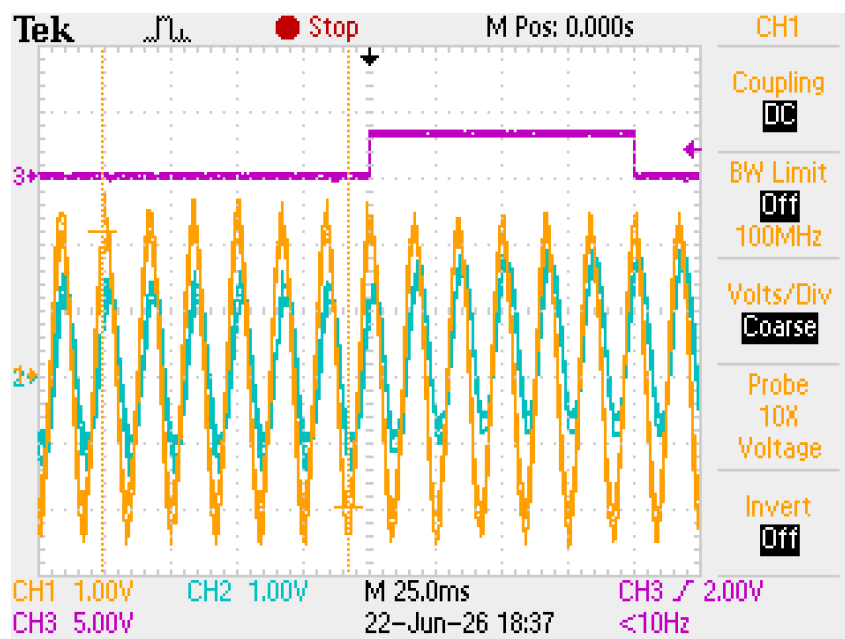
Figura 190 – PD LS-PWM - Reconfiguração e bypass, falta 2 (captura direta do osciloscópio).

Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo superior 2 (Fase A), Canal 3 - Sinal confirmação *bypass* e Canal 4 - Tensão capacitor submódulo inferior 1 (Fase A).



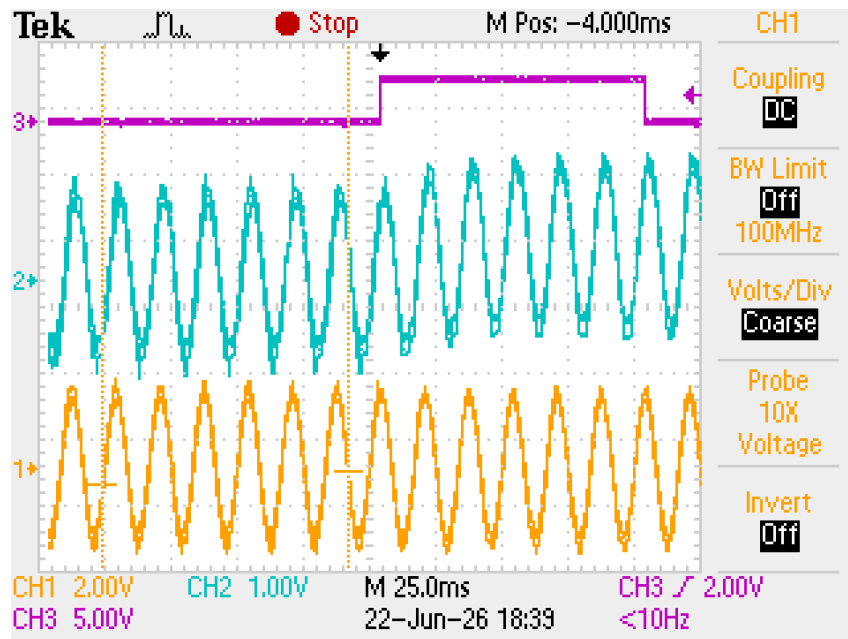
Fonte: Elaborado pelo autor (2026)

Figura 191 – PD LS-PWM - Prova da injeção de sequência zero (ZSVI) pós falta 4 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Tensão de fase v_{an} e Canal 3 - Sinal confirmação *bypass*.



Fonte: Elaborado pelo autor (2026)

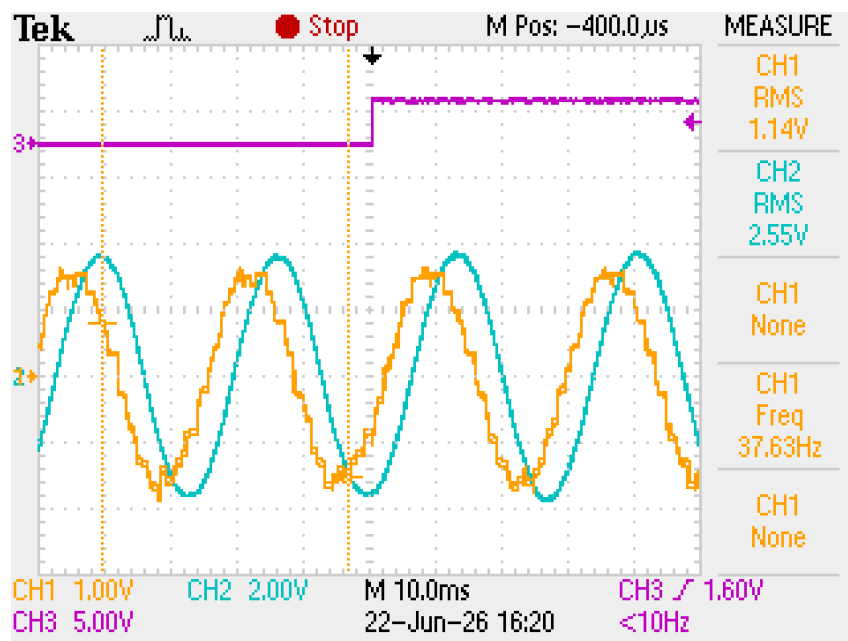
Figura 192 – PD LS-PWM - Prova da injeção de sequência zero (ZSVI) pós falta 4, captura 2 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Tensão de fase v_{an} e Canal 3 - Sinal confirmação *bypass*.



Fonte: Elaborado pelo autor (2026)

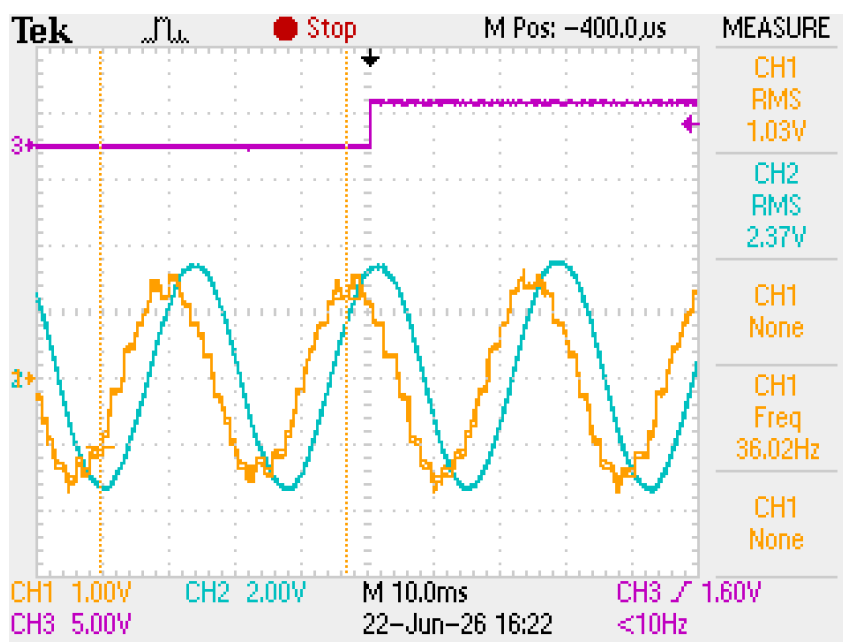
D.2 VERSÃO 2: CONTROLE, MODULAÇÃO NLM E IDENTIFICAÇÃO NO DSP

Figura 193 – NLM - Impacto na tensão e corrente de saída, falta 1 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação *bypass*.



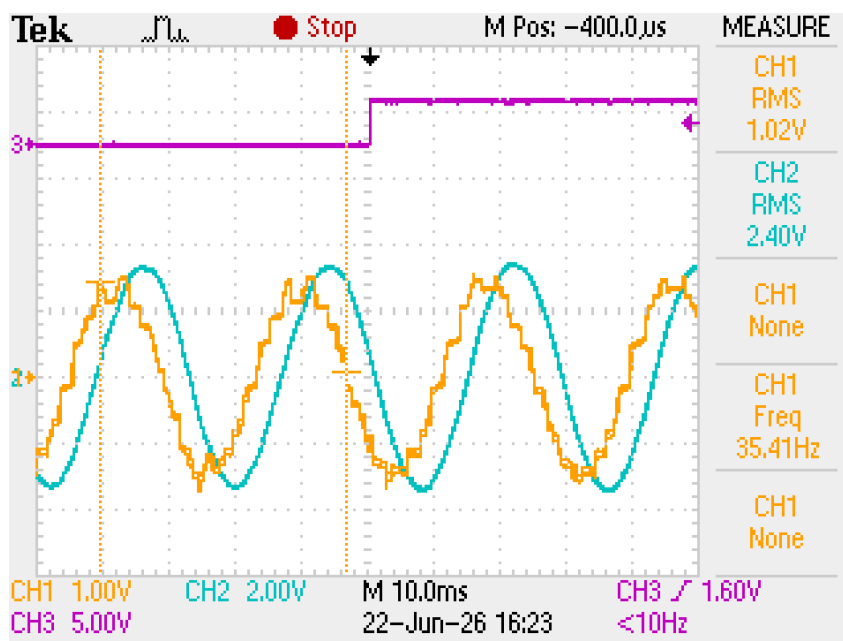
Fonte: Elaborado pelo autor (2026)

Figura 194 – NLM - Impacto na tensão e corrente de saída, falta 2 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação *bypass*.



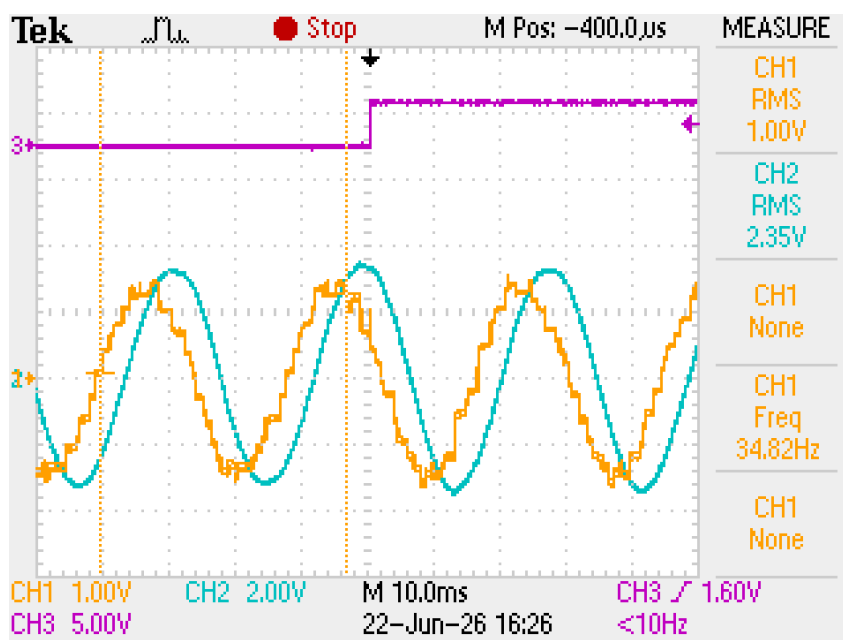
Fonte: Elaborado pelo autor (2026)

Figura 195 – NLM - Impacto na tensão e corrente de saída, falta 3 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação *bypass*.



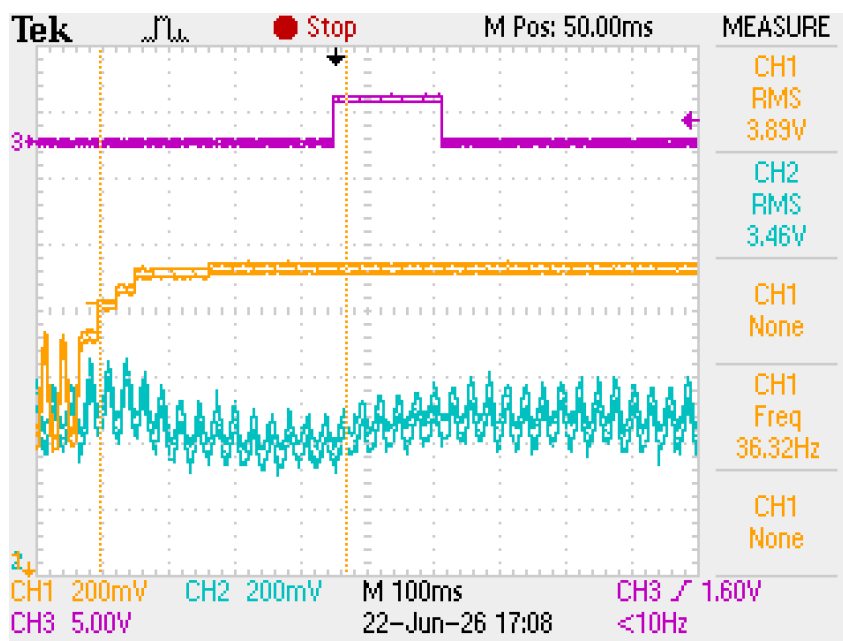
Fonte: Elaborado pelo autor (2026)

Figura 196 – NLM - Impacto na tensão e corrente de saída, falta 4 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Corrente de linha i_{ab} e Canal 3 - Sinal confirmação *bypass*.



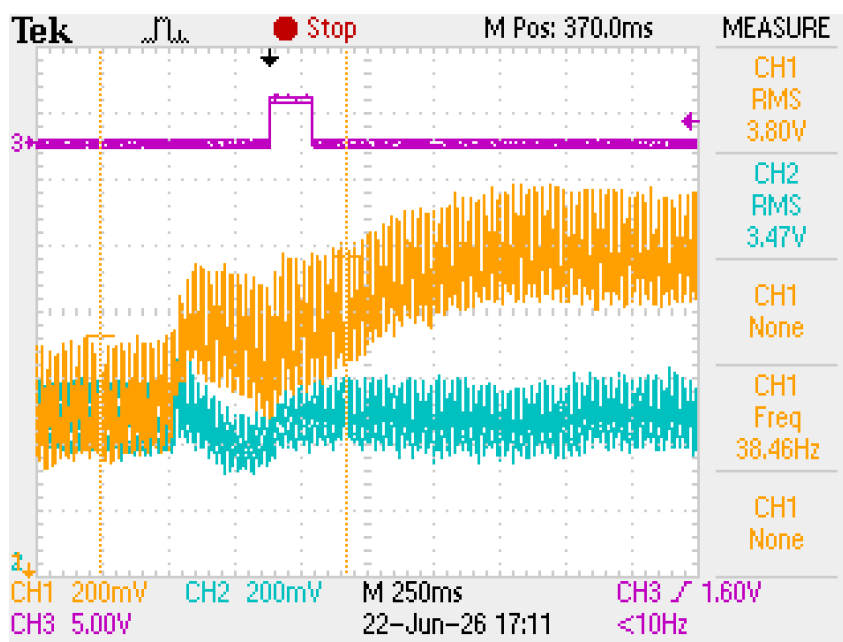
Fonte: Elaborado pelo autor (2026)

Figura 197 – NLM - Reconfiguração e bypass, falta 1 (captura direta do osciloscópio). Canal 1 - Tensão capacitor submódulo superior 1 (Fase A), Canal 2 - Tensão capacitor submódulo inferior 1 (Fase A) e Canal 3 - Sinal confirmação *bypass*.



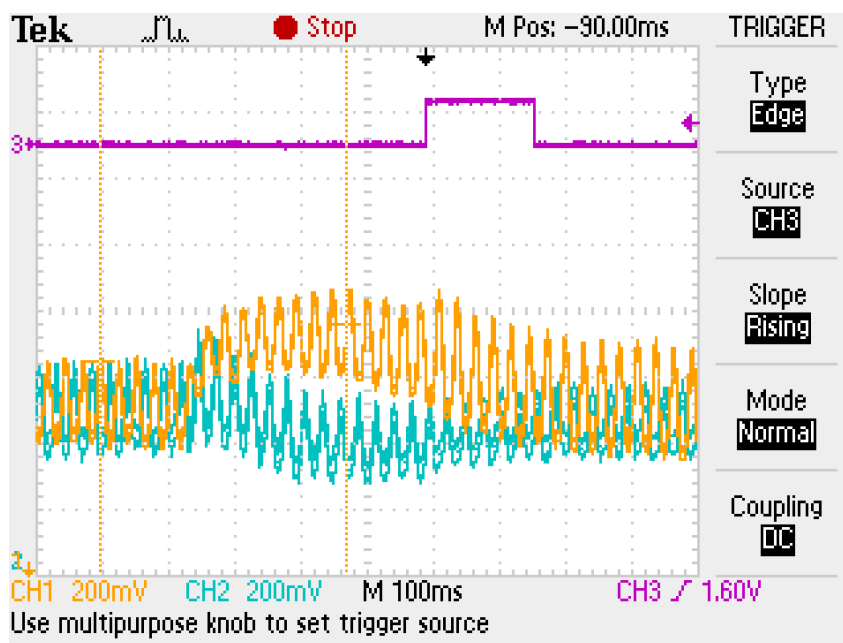
Fonte: Elaborado pelo autor (2026)

Figura 198 – NLM - Reconfiguração e bypass, falta 2 (captura direta do osciloscópio). Canal 1 - Tensão capacitor submódulo superior 2 (Fase A), Canal 2 - Tensão capacitor submódulo inferior 1 (Fase A) e Canal 3 - Sinal confirmação *bypass*.



Fonte: Elaborado pelo autor (2026)

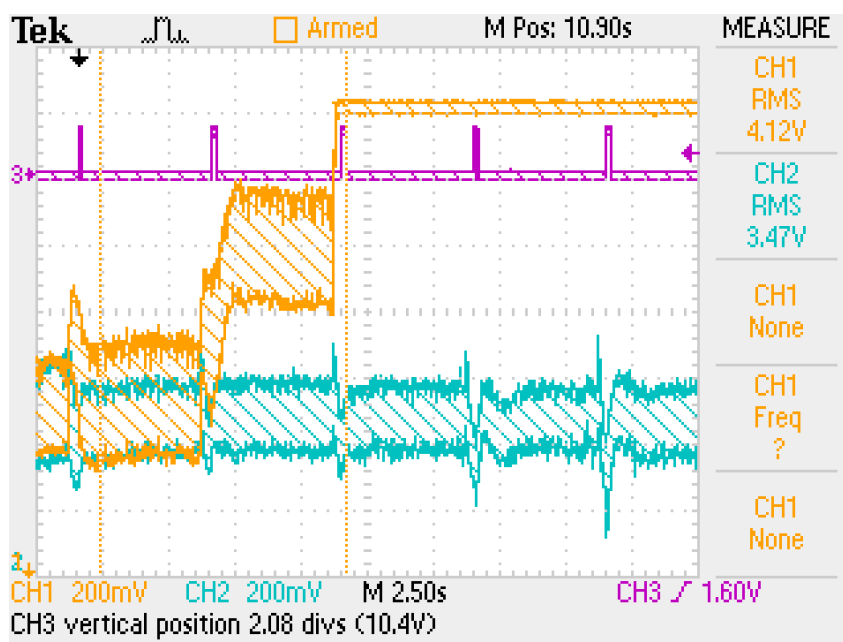
Figura 199 – NLM - Reconfiguração e bypass, falta 1 (captura direta do osciloscópio). Canal 1 - Tensão capacitor submódulo superior 2 (Fase A), Canal 2 - Tensão capacitor submódulo inferior 1 (Fase A) e Canal 3 - Sinal confirmação *bypass*.



Fonte: Elaborado pelo autor (2026)

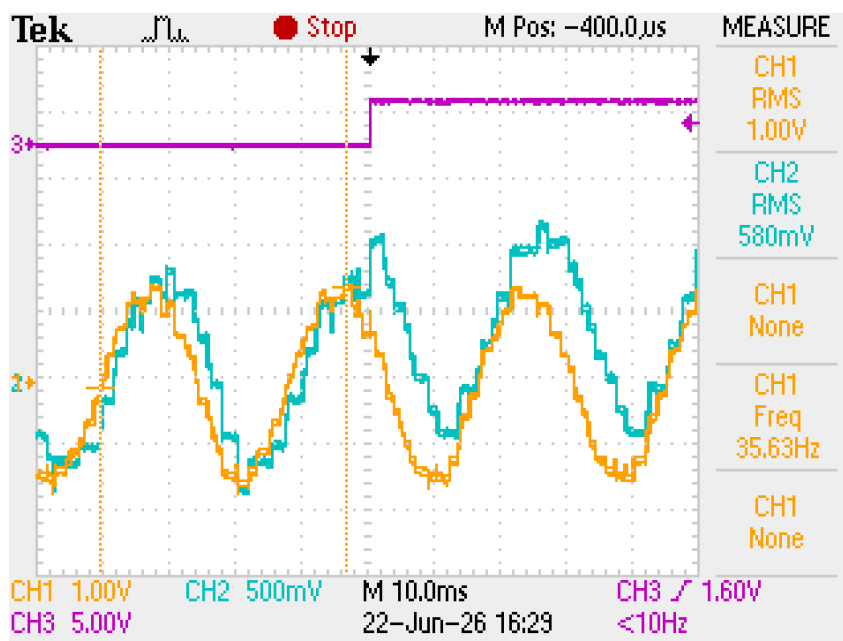
Figura 200 – NLM - Visão geral das tensões dos capacitores (captura direta do osciloscópio).

Canal 1 - Tensão capacitor submódulo superior 3 (Fase A), Canal 2 - Tensão capacitor submódulo inferior 1 (Fase A) e Canal 3 - Sinal confirmação *bypass*.



Fonte: Elaborado pelo autor (2026)

Figura 201 – NLM - Prova da injeção de sequência zero (ZSVI) pós falta 4 (captura direta do osciloscópio). Canal 1 - Tensão de linha v_{ab} , Canal 2 - Tensão de fase v_{an} e Canal 3 - Sinal confirmação *bypass*.



Fonte: Elaborado pelo autor (2026)