



UDESC

UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA – PPGEEL

DISSERTAÇÃO DE MESTRADO

**ESTUDO DE RETIFICADOR BOOST
MONOFÁSICO COM ELEVADO
FATOR DE POTÊNCIA E
COMUTAÇÃO SUAVE OPERANDO
NO MODÓ DCM**

RODRIGO HEINRICH

JOINVILLE, 2020

RODRIGO HEINRICH

**ESTUDO DE RETIFICADOR BOOST MONOFÁSICO COM
ELEVADO FATOR DE POTÊNCIA E COMUTAÇÃO SUAVE
OPERANDO NO MODO DCM**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, como requisito parcial para a obtenção do grau de Mestre em Engenharia Elétrica.

Orientador: Yales Rômulo de Novaes

Joinville

2020

**Ficha catalográfica elaborada pelo programa de geração automática da
Biblioteca Setorial do CCT/UEDESC,
com os dados fornecidos pelo(a) autor(a)**

Heinrich, Rodrigo

Estudo de retificador Boost monofásico com elevado fator de potência e comutação suave operando no modo DCM / Rodrigo Heinrich. -- 2020.

191 p.

Orientador: Yales Rômulo de Novaes

Dissertação (mestrado) -- Universidade do Estado de Santa Catarina, Centro de Ciências Tecnológicas, Programa de Pós-Graduação em Engenharia Elétrica, Joinville, 2020.

1. Conversor Taipei. 2. Boost interleaved. 3. Modo de condução descontínua. 4. Comutação suave. 5. Modulação em frequência. I. Novaes, Yales Rômulo de. II. Universidade do Estado de Santa Catarina, Centro de Ciências Tecnológicas, Programa de Pós-Graduação em Engenharia Elétrica. III. Título.

RODRIGO HEINRICH

**ESTUDO DE RETIFICADOR BOOST MONOFÁSICO COM
ELEVADO FATOR DE POTÊNCIA E COMUTAÇÃO SUAVE
OPERANDO NO MODO DCM**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, como requisito parcial para a obtenção do grau de Mestre em Engenharia Elétrica.

Banca Examinadora:

Orientador:

Prof. Yales Rômulo de Novaes, Dr.
UDESC

Membros:

Prof. Joselito Anastacio Heerd, Dr.
UDESC

Prof. Carlos Henrique Illa Font, Dr.
UTFPR

Prof. Sérgio Vidal Garcia Oliveira, Dr.
UDESC

Joinville, 22 de dezembro de 2020

*Este trabalho é dedicado às crianças adultas que,
quando pequenas, sonharam em se tornar cientistas.*

AGRADECIMENTOS

Agradeço primeiramente a Deus, que guiou os meus passos nessa longa caminhada.

Agradeço aos meus pais Arlindo Heinrich e Catia Arlene Hoeller Heinrich por todo o suporte, amor e incentivo durante minha trajetória na universidade e pela vida.

Agradeço ao meu irmão Tiago Heinrich pela amizade e companheirismo.

Agradeço aos professores do Programa de Pós-Graduação em Engenharia Elétrica da UDESC, por todos os ensinamentos repassados durante as disciplinas e trabalhos realizados, que contribuíram de forma significativa para minha formação acadêmica. Em especial agradeço ao meu orientador Dr. Yales Rômulo de Novaes pela orientação e dedicação ao longo desse trabalho.

Agradeço aos engenheiros Me. Gustavo Ceretta Flore, Me. Douglas Pereira da Silva e ao professor Dr. Sérgio Vidal Garcia de Oliveira por proporcionar a oportunidade de trabalho conjunto entre a UDESC e Embraco, pelas orientações e conselhos que contribuíram para o fortalecimento dessa pesquisa.

Agradeço aos meus colegas do Núcleo de Processamento de Energia Elétrica - NPEE, pelas discussões e trocas de conhecimentos, em especial aos engenheiros Me. Eduardo Falchetti Sovrani, Me. Fabiano Mendes Ribeiro e Me. Rafael Felipe Van Kan.

Agradeço ao NPEE pela infraestrutura, suporte e equipamentos disponibilizados para a realização desse trabalho.

Agradeço a FAPESC e à Embraco pela bolsa de estudos e pelo recurso financeiro disponibilizado para a compra de materiais.

“The best thing in life is to go ahead with all your plans and your dreams, to embrace life and to live everyday with passion, to lose and still keep the faith and to win while being grateful. All of this because the world belongs to those who dare to go after what they want. And because life is really too short to be insignificant”.

(Charlie Chaplin)

RESUMO

Nesse trabalho é apresentado o estudo de uma topologia de conversor CA-CC monofásico, derivada do Retificador Trifásico Taipei, proposto por Milan M. Jovanovic. A topologia é bem similar a um Boost *Interleaved* com ponto central, com vantagens em relação a baixas perdas de comutação, controle simples e elevada imunidade a ruídos de modo comum. O propósito da pesquisa é analisar o potencial desse retificador em uma versão monofásica, levando em consideração a eficiência e os custos. A topologia deve ser capaz de cumprir as normas internacionais IEC 61000-3-2 e CISPR 14. São apresentados os métodos de projetos dos semicondutores e elementos magnéticos de modo a amenizar volume e custo, levando sempre em consideração a eficiência. A topologia uma vez projetada é comparada com o conversor Boost em modo de condução contínua. É feito um estudo de emissão eletromagnética conduzida do retificador, também como de estruturas de filtros capazes de suprir essa interferência de forma eficaz e econômica.

Palavras-chave: Conversor Taipei, Comutação suave, modulação em frequência, modo de condução descontínua.

ABSTRACT

This work introduces the study of a AC-DC single phase topology, that emerged from Three-Phase Taipei Rectifier, introduced by Milan M. Jovanovic. The topology is very similar to a interleaved boost with central point, with advantages to commutation losses, simple control and high immunity to common mode noise. The propose of this research is to analyze the potential of this rectifier in a single-phase version, taking in consideration the efficiency and cost. This topology must be capable of meeting in IEC 61000-3-2 and CISPR 14 international standards. It is introduced the methods to design the semiconductors and magnetics components in a way to decrease size and cost, always taking into account the efficiency. The topology was compared with a Boost Converter in continuous conduction mode. Also it was studied the converter's electromagnetic interference capability, and further some filters capable of improving this interference.

Keywords: Taipei Rectifier, soft commutation, frequency modulation, discontinuous conduction mode.

LISTA DE ILUSTRAÇÕES

Figura 1 – Retificador Boost para Correção de Fator de Potência	35
Figura 2 – Retificador Boost Interleaved Clássico com Duas Células Paralelas . . .	36
Figura 3 – Retificador Nabae	37
Figura 4 – Retificador Nabae com capacitores eletrolíticos no filtro de entrada . .	38
Figura 5 – Retificador Nabae com tensão reduzida nos interruptores	38
Figura 6 – Topologia do Retificador Taipei	40
Figura 7 – Topologia do Taipei Monofásico Proposta	42
Figura 8 – Resultados da Comparação entre os Componentes de Cada Conversor .	44
Figura 9 – Comparação da Energia Total dos Indutores Boost	45
Figura 10 – Comparação da Energia Total dos Indutores de Filtro	45
Figura 11 – Comparação entre os Capacitores de Barramento	46
Figura 12 – Comparação entre os Capacitores de Barramento	46
Figura 13 – Primeira Etapa de Operação	49
Figura 14 – Segunda Etapa de Operação	50
Figura 15 – Terceira Etapa de Operação	50
Figura 16 – Quarta Etapa de Operação	50
Figura 17 – Quinta Etapa de Operação	51
Figura 18 – Sexta Etapa de Operação	51
Figura 19 – Sétima Etapa de Operação	52
Figura 20 – Oitava Etapa de Operação	52
Figura 21 – Formas de Onda dos Sinais de Gatilho, L_{in} e D_1 para um Ciclo de Comutação e da Rede Elétrica	53
Figura 22 – Formas de Onda dos Sinais de Gatilho, S e C_b para um Ciclo de Comutação e da Rede Elétrica	54
Figura 23 – Formas de Onda dos Sinais de Gatilho, L_M e C_o para um Ciclo de Comutação e da Rede Elétrica	55
Figura 24 – Corrente em L_{in} para diferentes μ_o	57
Figura 25 – Corrente de carga normalizada em função de α para diversos μ_o	62
Figura 26 – Corrente I_{RS}	62
Figura 27 – Indutância normalizada em função de α para diversos μ_o	63
Figura 28 – Circuitos Equivalentes Vistos a Partir do Barramento	66
Figura 29 – Tensão no barramento CC para fator de potência unitário	67
Figura 30 – Fator de Potência para diversos valores de α	69
Figura 31 – THD para diversos valores de α	69
Figura 32 – Tipos de Comutação	73
Figura 33 – Corrente de recuperação reversa no diodo	76
Figura 34 – Comutação dos interruptores na Quarta Etapa de Operação	77
Figura 35 – Variação da potência de saída em função da tensão de entrada	82

Figura 36 – Corrente eficaz em C_f para diferentes valores de μ_o em retificadores de 1 kW	83
Figura 37 – Corrente eficaz em C_f para diferentes valores de μ_o em retificadores de 3 kW	83
Figura 38 – Tempo de desmagnetização normalizado	84
Figura 39 – Corrente eficaz em C_o para diferentes L_c nas topologias de 1 kW	85
Figura 40 – Corrente eficaz em C_o para diferentes L_c nas topologias de 3 kW	86
Figura 41 – Variação do valor de corrente eficaz nos capacitores de barramento em função de diferentes $L_{c,lk}$ para os projetos de 1 kW	86
Figura 42 – Variação do valor de corrente eficaz nos capacitores de barramento em função de diferentes $L_{c,lk}$ para os projetos de 3 kW	87
Figura 43 – Formato dos Núcleos Utilizados no Trabalho	88
Figura 44 – Modelo interno do mosfet	104
Figura 45 – Formas de onda para entrada em condução do mosfet	105
Figura 46 – Circuito Equivalente do Mosfet para Cálculo de Perdas de Comutação .	106
Figura 47 – Tensão e Corrente Eficaz em Capacitores de Filme em Função da Frequência	112
Figura 48 – Tipos de Capacitores de Filme da TDK	113
Figura 49 – Distribuição de perdas em condição nominal de operação no SPT	129
Figura 50 – Distribuição de perdas em condição nominal de operação no BCCM	129
Figura 51 – Modelo térmico	131
Figura 52 – Imagem Ilustrativa do Dissipador HS 21575	133
Figura 53 – Sistema simulado no PSIM para obter e validar a função de transferência	135
Figura 54 – Simulação no PSIM da Resposta ao Degrau do Circuito de Potência e do Modelo Estimado. É feito a média instantânea da tensão V_{carga} para facilitar a comparação	136
Figura 55 – Principais Topologias de Amplificadores Operacionais	137
Figura 56 – Circuito de Condicionamento de Sinal	139
Figura 57 – Circuito de <i>Driver</i> para um Interruptor	140
Figura 58 – Circuito de Proteção das Entradas A/D	142
Figura 59 – Diagrama de Blocos do Sistema de Controle	142
Figura 60 – Diagrama de Blocos do Sistema de Controle	143
Figura 61 – Tipos de ruídos de EMI conduzidos	145
Figura 62 – Circuito de Medição de EMI	146
Figura 63 – Modelo de alta frequência do diodo	147
Figura 64 – Modelo de alta frequência do mosfet	148
Figura 65 – Modelo de alta frequência do capacitor	149
Figura 66 – Modelo de alta frequência do indutor de único enrolamento	149
Figura 67 – Modelo de alta frequência do indutor de único enrolamento	150
Figura 68 – Ruído DM simulado nos Terminais de Entrada	151

Figura 69 – Ruído CM simulado nos Terminais de Entrada	152
Figura 70 – Filtro de EMI com dois estágios de modo diferencial e um estágio de modo comum	153
Figura 71 – Filtro de EMI com dois estágios de modo diferencial e um estágio de modo comum	157
Figura 72 – Filtro de EMI com dois estágios de modo diferencial e um estágio de modo comum	158
Figura 73 – Circuito Equivalente de Alta Frequência de Conversores AC-CC	158
Figura 74 – Tipos de Correção para topologias <i>feedback</i>	159
Figura 75 – Tipos de Correção para topologias <i>feedforward</i>	161
Figura 76 – Circuito Genérico do Filtro Ativo <i>Feedback</i> Tipo II	164
Figura 77 – Circuito do Filtro Ativo Implementado	166
Figura 78 – Formas de Onda Simuladas para Entrada	168
Figura 79 – Harmônicos da Corrente de Entrada com componente fundamental de 13,72 A	168
Figura 80 – Formas de Onda Simuladas para C_f	169
Figura 81 – Formas de Onda Simuladas para L_{in}	169
Figura 82 – Formas de Onda Simuladas para D	170
Figura 83 – Formas de Onda Simuladas para S e D_s	171
Figura 84 – Formas de Onda Simuladas para C_b	171
Figura 85 – Formas de Onda Simuladas para L_c	172
Figura 86 – Formas de Onda Simuladas para C_o	173
Figura 87 – Formas de Onda Simuladas para R	173
Figura 88 – <i>Layout</i>	175
Figura 89 – Diagrama Geral do Conversor	185
Figura 90 – Circuito de <i>Driver</i>	186
Figura 91 – Circuito de Potência	187
Figura 92 – Circuito de Condicionamento de Sinal	188
Figura 93 – Circuito do Filtro de EMI Passivo e Ativo	189
Figura 94 – Interface com o DSP	190
Figura 95 – Fontes Auxiliares	191

LISTA DE TABELAS

Tabela 1 – Parâmetros de Projeto	43
Tabela 2 – Comparação das Características das Topologias, Desconsiderando Filtro de EMI	48
Tabela 3 – Corrente nos Indutores Boost ao longo das etapas de operação	59
Tabela 4 – Corrente nos Indutores Boost Reescritas ao longo das etapas de operação	59
Tabela 5 – Parâmetros de Projeto	81
Tabela 6 – Novos Parâmetros de Projeto	87
Tabela 7 – Resultados do projeto do indutor L_{in}	99
Tabela 8 – Resultados do projeto do indutor L_c	100
Tabela 9 – Resultados da escolha do diodo da ponte retificadora	104
Tabela 10 – Resultados da escolha do MOSFET	109
Tabela 11 – Resultados da escolha de C_f	115
Tabela 12 – Resultados da escolha de C_b	116
Tabela 13 – Resultados da escolha do Capacitor C_o	117
Tabela 14 – Divisão em Percentual de Perdas para Carga Nominal por Tipo de Componente	118
Tabela 15 – Volume de Componentes Passivos e seus Materiais	118
Tabela 16 – Parâmetros de projeto do conversor BCCM	121
Tabela 17 – Diodos de Retificação da topologia SPT <i>versus</i> BCCM	122
Tabela 18 – Interruptores do SPT <i>versus</i> BCCM	123
Tabela 19 – Diodos Boost do SPT <i>versus</i> BCCM	125
Tabela 20 – Indutor Boost do SPT <i>versus</i> BCCM	126
Tabela 21 – Capacitor de Barramento da topologia SPT <i>versus</i> BCCM	127
Tabela 22 – capacitor de filme C_f topologia SPT	127
Tabela 23 – capacitor de filme C_b topologia SPT	128
Tabela 24 – Indutor L_c do SPT <i>versus</i> BCCM	128
Tabela 25 – Parâmetros de projeto do BCCM	130
Tabela 26 – Parâmetros de Qualidade de Energia em Carga Nominal	130
Tabela 27 – Principais características do isolador 4170G para encapsulamento TO-220	132
Tabela 28 – Principais características do isolador 4180G para encapsulamento TO-247	132
Tabela 29 – Componentes do Circuito de Sensoreamento	139
Tabela 30 – Tabela Verdade para Sinais de Gatilho no UCC5390S	139
Tabela 31 – Componentes do Circuito de <i>Driver</i>	141
Tabela 32 – Componentes do Circuito de Proteção do A/D	141
Tabela 33 – Limites totais de ruídos EMI conduzidos na entrada do retificador conforme a norma CISPR 14	146
Tabela 34 – Limite para harmônicos enquadrados na Classe A da norma IEC 61000-3-2	147
Tabela 35 – Variáveis do modelo de alta frequência do diodo retificador	148

Tabela 36 – Variáveis do modelo de alta frequência do mosfet	148
Tabela 37 – Variáveis do modelo de alta frequência do capacitor	149
Tabela 38 – Variáveis do modelo de alta frequência do indutor de único enrolamento	149
Tabela 39 – Variáveis do modelo de alta frequência do indutor de único enrolamento	150
Tabela 40 – Componentes do Filtro de EMI	156
Tabela 41 – Principais características dos filtros <i>Feedback</i>	160
Tabela 42 – Principais características dos filtros <i>Feedback</i>	161
Tabela 43 – Principais características dos filtros <i>Feedback</i>	162
Tabela 44 – Principais características dos filtros <i>Feedback</i>	162
Tabela 45 – Componentes Passivos do Filtro Ativo	165
Tabela 46 – Comparação Teórica e Simulada sobre os Esforços nos Componentes .	174

LISTA DE ABREVIATURAS E SIGLAS

CA	Corrente Alternada
CC	Corrente Contínua
THD	<i>Total Harmonic Distortion</i>
PF	<i>Power Factor</i>
PFC	<i>Power Factor Corrector</i>
CCM	<i>Continuous Conduction Mode</i>
DCM	<i>Discontinuous Conduction Mode</i>
ZVS	<i>Zero Voltage Switching</i>
ZCS	<i>Zero Current Switching</i>
PWM	<i>Pulse Width Modulation</i>
SPT	<i>Single Phase Taipei</i>
BCCM	<i>Boost in Continuous Conduction Mode</i>
BIDCM	<i>Boost Interleaved DCM</i>
TLI - DCM	<i>Three-Level Interleaved DCM</i>
MLT	<i>Mean Length of a Turn</i>
EMF	<i>Eletromotive Force</i>
GSE	<i>Generalized Steinmetz Equation</i>
iGSE	<i>Improved Generalized Steinmetz Equation</i>
MSE	<i>Modified Steinmetz Equation</i>
FOM	<i>Figure Of Merit</i>
UF	<i>Ultra Fast</i>
FM	<i>Frequency Modulation</i>
SiC	<i>Silicon Carbide</i>
PTH	<i>Plated-Through Holes</i>
SMD	<i>Surface Mount Tecnology</i>

GaN	<i>Gallium Nitride</i>
PET	Polietileno Tereftaleno
PP	Polipropileno
PEN	Polietileno Naftaleno
ESL	<i>Equivalent Series Inductance</i>
ESR	<i>Equivalent Series Resistance</i>
DF	<i>Dissipation Factor</i>
FFT	<i>Fast Fourier Transform</i>
VCO	<i>Voltage Controlled Oscillator</i>
NPC	<i>Neutral Point Clamped Converter</i>
PM	<i>Phase Modulation</i>
FTLA	Função de Transferência de Laço Aberto
MF	Margem de Fase
CI	Circuito Integrado
EMI	<i>Electromagnetic Interference</i>
CM	<i>Common Mode</i>
DM	<i>Differential Mode</i>
EMC	<i>Electromagnetic Interference Compatibility</i>
LISN	<i>Line Impedance Stabilization</i>
IL	<i>Insertion Loss</i>

LISTA DE SÍMBOLOS

P	Potência Ativa
Q	Potência Reativa
S	Potência Aparente
V_{RMS}	Tensão Eficaz
I_{RMS}	Corrente Eficaz
K_ϕ	Deslocamento Angular
ϕ_V	Defasagem Tensão
ϕ_I	Defasagem Corrente
C_f	Capacitor do Filtro de Entrada
L_{in}	Indutor Boost
D	Diodo Retificador
S	Chave
C_b	Capacitor Boost
L_m	Indutância de Magnetização do Indutor Acoplado de Modo Comum
C_o	Capacitor de Barramento
R_o	Carga Resistiva
I_f	Corrente de Condução Direta
V_{RRM}	Máxima Tensão de Bloqueio Repetitivo no Diodo
V_{max}	Máxima Tensão de Bloqueio na Chave
P_{CC}	Potência Comutada no Diodo
P_{CC}	Potência Comutada na Chave
$A_e A_w$	Produto entre a Seção e a Janela de um Núcleo Magnético
L	Indutância
E_L	Energia de um Indutor
I_{pk}	Corrente de Pico

Δ_V	Ondulação de Tensão de Baixa Frequência
C	Capacitância
E_C	Energia de um Capacitor
C_{oss}	Capacitância de Saída do Mosfet/IGBT/SiC/GaN
V_{in}	Tensão de Entrada
N	Número de espiras
g	gatilho
V_o	Tensão de Saída
Z_o	Impedância Natural do Filtro
ω_{o1}	Frequência Angular do Filtro LC de Entrada
μ_o	Fator de Ressonância do Filtro
ω_s	Frequência Angular
f_s	Frequência de Comutação
f_r	Frequência da Rede Elétrica
Δt_1	Duração da Etapa 1
Δt_2	Duração da Etapa 2
Δt_3	Duração da Etapa 3
Δt_4	Duração da Etapa 4
Δt_5	Duração da Etapa 5
T_s	Período de Chaveamento
T_r	Período da Rede Elétrica
t_d	Tempo de Desmagnetização
α	Razão entre a tensão no capacitor C_f e V_o
M	Indutância Mútua
V_{LM}	Tensão Sobre a Indutância de Magnetização
k	Fator de Acoplamento

ΔI_{LM}	Ondulação de Corrente de Alta Frequência na Indutância L_M
ΔV_{Cb}	Ondulação de Tensão de Alta Frequência Sobre o Capacitor C_b
C_{out}	Capacitor Equivalente de Barramento
P_{in}	Potência de Entrada
P_o	Potência de Saída
Q_{rr}	Carga de Portadores Minoritárias
C_j	Capacitância da Junção do Diodo
V_f	Tensão de Condução Direta
L_c	Indutor Acoplado
L_{lk}	Indutância de Dispersão
B_{max}	Máxima Indução Eletromagnética
V_c	Volume do Núcleo
V_g	Volume do Entreferro
l_c	Comprimento do Contorno de Linha de Campo do Núcleo
l_g	Comprimento do Contorno de Linha de Campo do Entreferro
μ_o	Permeabilidade Eletromagnética no Vácuo
μ_r	Permeabilidade Relativa do Material
g	Entreferro
W_c	Energia do Núcleo
A_w	Seção Transversal de um Fio
W_a	Área da Janela do Núcleo
k_u	Fator de Ocupação do Núcleo
J_o	Densidade de Corrente Elétrica
$\Delta\phi$	Variação de Fluxo Magnético
ΔT	Variação de Tempo
μ_{eff}	Permeabilidade Efetiva

n_{cond}	Número de Condutores
$n_{cabolitz}$	Número de Cabos Litz
$n_{fios,litz}$	Número de Fios em um Cabo Litz
R_{DC}	Resistência DC ou Contínua
T_{max}	Temperatura Máxima
T_{amb}	Temperatura Ambiente
P_{DC}	Perdas DC no Enrolamento
ρ_o	Resistividade do Cobre
Δ_{Temp}	Variação de Temperatura
$\delta(f)$	Profundidade de Penetração do Efeito <i>Skin</i>
R_{AC}	Perdas AC no Enrolamento
η	Rendimento
P_{fe}	Perdas no Núcleo
ΔB	Variação de Indução Eletromagnética
$P_{V-major}$	Perdas no <i>Major Loop</i>
$P_{V-minor}$	Perdas no <i>Minor Loop</i>
R_{θ}	Resistência Térmica
R_{ds}	Resistência de Condução entre Dreno e <i>Source</i>
Q_{gd}	Carga entre <i>Gate</i> e Dreno
Q_g	Carga de <i>gate</i>
V_D	Tensão de Bloqueio do Diodo
T_j	Temperatura de Junção
C_j	Capacitância na Junção
I_g	Corrente de Gatilho
C_{gs}	Carga entre <i>Gate</i> e <i>Source</i>
I_{gs}	Corrente entre <i>Gate</i> e <i>Source</i>

I_{gd}	Carga entre <i>gate</i> e Dreno
V_{GS}	Tensão entre <i>Gate</i> e <i>Source</i> ou Tensão de Gatilho
V_{DS}	Tensão entre Dreno e <i>Source</i>
C_{iss}	Capacitância de Entrada
I_{DS}	Corrente entre Dreno e <i>Source</i>
$V_{GS(th)}$	Tensão de <i>Threshold Nominal</i>
$V_{GS(pl)}$	Tensão de <i>Plateau</i>
$R_{G(on)}$	Resistência de Gatilho para Entrada em Condução
$R_{G(off)}$	Resistência de Gatilho para Entrada em Bloqueio
$R_{G(int)}$	Resistência de Gatilho Intrínseca
C_{rss}	Capacitância de Transferência Reversa
E_{on}	Energia de Entrada em Condução do Mosfet
E_{off}	Energia de Entrada em Bloqueio do Mosfet
$P_{S(on)}$	Potência na Entrada em Condução do Mosfet
$P_{S(off)}$	Potência na Entrada em Bloqueio do Mosfet
$P_{cap,low}$	Potência Dissipada em Baixa Frequência
$P_{cap,high}$	Potência Dissipada em Alta Frequência
P_D	Potência Dissipada no Diodo
P_S	Potência Dissipada na Chave
T_c	Temperatura no Encapsulamento
T_h	Temperatura no Dissipador
R_{jc}	Resistência Térmica entre Junção e Encapsulamento
R_{ch}	Resistência Térmica entre Encapsulamento e Dissipador
R_{ha}	Resistência Térmica entre Dissipador e Ambiente
C_{mod}	Capacitor do modulador VCO
IDC	Corrente de Referência no VCO

R_w	Resistência Intrínseca do Condutor
ΔV_o	Variação da Tensão de Saída
A_d	Ganho do Amplificador Diferencial
f_p	Frequência do Polo
I_{OH}	Máxima <i>Source Current</i>
I_{OL}	Máxima <i>Sink Current</i>
T_{am}	Período de Amostragem
T_{delay}	Atraso de Propagação
L_p	Indutância do Pino do Encapsulamento
C_f	Capacitância entre Espiras
R_m	Resistência Dielétrica entre Fios
ε_o	Permissividade Eletrostática no Vácuo
ε_r	Constante Dielétrica do Isolante
C_X	Capacitor DM
C_Y	Capacitor CM
f_c	Frequência de Corte
A_{asympt}	Atenuação Assintótica
$I_{terra,rms}$	Corrente Eficaz de Fuga
A	Ganho do Filtro Ativo
z_s	Impedância da LISN
z_n	Impedância Interna da Fonte
i_n	Fonte de Ruído
I_{in}	Corrente de Entrada

SUMÁRIO

1	INTRODUÇÃO	33
1.1	CONTEXTUALIZAÇÃO E MOTIVAÇÃO DO TRABALHO	33
1.2	OBJETIVO DO TRABALHO	39
1.3	ORGANIZAÇÃO DO TRABALHO	40
2	ANÁLISE DA TOPOLOGIA	41
2.1	INTRODUÇÃO	41
2.2	TOPOLOGIA PROPOSTA	41
2.3	COMPARAÇÃO ENTRE AS PRINCIPAIS TOPOLOGIAS DO TIPO BOOST <i>INTERLEAVED</i> MONOFÁSICAS	42
2.3.1	Esforços e Custos com Semicondutores	42
2.3.2	Volume e Custos com Componentes Passivos	43
2.3.3	Principais Conclusões	46
2.4	ETAPAS DE OPERAÇÃO	48
2.4.1	Primeira Etapa de Operação	49
2.4.2	Segunda Etapa de Operação	49
2.4.3	Terceira Etapa de Operação	49
2.4.4	Quarta Etapa de Operação	50
2.4.5	Quinta Etapa de Operação	51
2.4.6	Sexta Etapa de Operação	51
2.4.7	Sétima Etapa de Operação	51
2.4.8	Oitava Etapa de Operação	52
2.5	ANÁLISE QUANTITATIVA	55
2.5.1	Filtro LC de Entrada	55
2.5.2	Tempos das Etapas de Operação	56
<i>2.5.2.1</i>	<i>Primeira Etapa de Operação</i>	<i>56</i>
<i>2.5.2.2</i>	<i>Segunda Etapa de Operação</i>	<i>58</i>
<i>2.5.2.3</i>	<i>Terceira Etapa de Operação</i>	<i>58</i>
<i>2.5.2.4</i>	<i>Quinta, Sexta e Sétima Etapas de Operação</i>	<i>58</i>
2.5.3	Característica de Saída	60
2.5.4	Indutância L_{in}	61
2.5.5	Capacitância do Filtro de Entrada	62
2.5.6	Indutor Acoplado	63
2.5.7	Capacitor Boost	65
2.5.8	Capacitores de Barramento	65
2.5.9	Corrente de Entrada	67
2.5.10	Potência, Fator de Potência e Taxa de Distorção Harmônica	68

2.6	ESFORÇOS NOS COMPONENTES	69
2.6.1	Metodologia	69
2.6.2	Capacitor de Filtro	70
2.6.3	Diodo da Ponte Retificadora	71
2.6.4	Indutor Boost	71
2.6.5	Interruptor	71
2.6.6	Diodo Intrínseco	72
2.6.7	Capacitor Boost	72
2.6.8	Capacitor de Saída	72
2.6.9	Indutor Acoplado	73
2.7	ANÁLISE DE COMUTAÇÃO	73
2.7.1	Comutação com Perdas e Comutação Suave	73
2.7.2	<i>Comutação ZVS nos Interruptores</i>	74
2.7.3	Retificação Síncrona	74
2.7.4	Comutação Suave nos Diodos	75
2.7.5	Tempo Morto Mínimo para Assegurar ZVS	76
3	PROJETO DO CONVERTOR	81
3.1	ESCOLHA DOS PARÂMETROS	81
3.2	DIMENSIONAMENTO DOS ELEMENTOS MAGNÉTICOS	87
3.2.1	Indutor Boost	88
3.2.1.1	<i>Tamanho Mínimo do Núcleo</i>	88
3.2.1.2	<i>Entreferro</i>	90
3.2.1.3	<i>Número de Espiras</i>	90
3.2.2	Indutor de Modo Comum	91
3.2.2.1	<i>Tamanho Mínimo do Núcleo</i>	91
3.2.2.2	<i>Entreferro</i>	92
3.2.2.3	<i>Número de Espiras</i>	92
3.2.3	Seção do Fio e Fator de Ocupação	92
3.2.4	Perdas nos Enrolamentos	93
3.2.4.1	<i>Perdas DC</i>	93
3.2.4.2	<i>Perdas AC</i>	94
3.2.5	Perdas no núcleo	95
3.2.6	Elevação de Temperatura	97
3.2.7	Algoritmo e Resultados de Simulação	97
3.3	DIMENSIONAMENTO DOS SEMICONDUTORES	101
3.3.1	Figuras de Mérito	101
3.3.2	Perdas no Diodo de Retificação	102
3.3.3	Perdas MOSFET	104
3.4	DIMENSIONAMENTO DOS CAPACITORES	109

3.4.1	Capacitores de Filme	109
3.4.2	Capacitores C_f e C_b	111
3.4.3	Capacitores Eletrolíticos	114
3.4.4	Capacitor C_o	115
3.5	CONCLUSÕES EM RELAÇÃO AOS PROJETOS	117
3.6	SPT <i>VERSUS</i> BCCM	120
3.6.1	Conversor BCCM	120
3.6.2	Diodos Retificadores	121
3.6.3	Interruptores	122
3.6.4	Diodo Boost	123
3.6.5	Indutor Boost	124
3.6.6	Capacitor de Barramento	125
3.6.7	Outros Componentes, Eficiência e Custos	126
3.7	DIMENSIONAMENTO DOS DISSIPADORES	130
3.8	ANÁLISE DA METODOLOGIA DE CONTROLE	134
3.8.1	Modelagem da Planta	134
3.8.2	Extração da Função de Transferência	134
3.8.3	Condicionamento de Sinal	137
3.8.4	<i>Driver</i>	138
3.8.5	Proteção para o Conversor A/D	140
3.8.6	Controle Digital	142
3.9	FILTRO DE EMI	144
3.9.1	Normas	145
3.9.2	Modelos e Componentes Parasitas	146
3.9.2.1	<i>Modelo Semicondutores</i>	147
3.9.2.2	<i>Modelo Capacitores</i>	148
3.9.2.3	<i>Modelo Indutores</i>	149
3.9.2.4	<i>Modelo Indutores Acoplados</i>	150
3.9.2.5	<i>Modelo de Capacitâncias Parasitas entre Dissipador e Encapsulamentos</i>	150
3.9.3	Estimação do Ruído de Entrada	151
3.9.4	Filtro de EMI passivo	152
3.9.5	Otimização do Filtro de EMI	156
3.9.5.1	<i>Tipos de Filtros Ativos e Modos de Compensação</i>	158
3.9.5.2	<i>Projeto do Filtro Otimizado</i>	163
4	RESULTADOS DO PROJETO	167
4.1	SIMULAÇÃO DO CONVERSOR	167
4.2	PROJETO DE <i>LAYOUT</i>	174
4.3	RESULTADOS DO PROTÓTIPO	176

5	CONCLUSÕES	177
	REFERÊNCIAS	179
	APÊNDICES	183

1 INTRODUÇÃO

1.1 CONTEXTUALIZAÇÃO E MOTIVAÇÃO DO TRABALHO

O ser humano está imerso em um mundo tecnológico, cercado por equipamentos elétricos e eletrônicos das mais diversas funções.

Parte desses equipamentos eletrônicos, sejam para aplicação doméstica, comercial ou industrial inclui no mínimo um conversor estático de corrente alternada (CA) para corrente contínua (CC) no primeiro estágio de alimentação, comumente chamado de conversor CA-CC ou retificador.

Diversas pesquisas vêm sendo feitas ao longo dos anos para melhorar a eficiência dos equipamentos eletrônicos, e parte desses esforços estão concentrados na melhoria dos conversores CA-CC. Tais melhorias incluem o aumento do rendimento energético, a redução do volume, diminuição dos custos e de interferências eletromagnéticas causadas por estes na rede elétrica.

Um dos primeiros desafios encontrado pelos pesquisadores é a minimização de energia reativa gerada por reatâncias capacitivas e indutivas presentes nos conversores.

A potência ativa (P) de um circuito elétrico, apresentada em (1.1), é definida como a média da potência instantânea drenada pela carga. Também existe a potência reativa (Q) (1.3), que é a parcela de potência que circula entre a fonte e a carga do circuito, sem realizar trabalho, suprimindo os campos elétricos e magnéticos de capacitores e indutores, respectivamente. A energia reativa gera uma defasagem entre os fasores de tensão e corrente de entrada. Nesse defasamento, o sinal de corrente está atrasado em relação ao de tensão quando o circuito tem predominância indutiva, ou adiantado quando o circuito tem predominância capacitiva. Quanto maior for o deslocamento angular entre esses dois sinais, maior é a quantidade de potência reativa circulando no circuito, e conseqüentemente, menor é a parcela de potência útil drenada pela carga.

$$P = \frac{1}{T} \int_0^T v(t)i(t)dt \quad (1.1)$$

$$S = V_{RMS}I_{RMS} \quad (1.2)$$

$$Q = \sqrt{S^2 - P^2} \quad (1.3)$$

O somatório das potências ativa e reativa resultam na potência aparente (S), descrita em (1.2), pelo produto de tensão e corrente eficaz drenado pela carga. Já o deslocamento

angular pode ser quantificado pela razão entre a potência ativa e aparente do circuito (1.4).

$$K_\phi = \cos(\phi_V - \phi_I) = \frac{P}{S} \quad (1.4)$$

Outro desafio é a minimização da distorção da corrente de entrada, ocasionada por componentes não lineares (semicondutores) do estágio de retificação. Ao comutá-los em alta frequência a forma de onda da corrente é alterada, deixando de ser puramente senoidal na frequência fundamental¹. Essa distorção é resultado do somatório de n senóides múltiplos a frequência fundamental que se somam à forma de onda.

O problema disso, é que é necessário que haja sinais de tensão e corrente nas mesmas frequências para gerar potência ativa, algo que não ocorre para a maioria desses harmônicos. Portanto, a distorção harmônica causa a redução do valor da componente fundamental da corrente e diminui a quantidade de potência ativa entregue à carga.

A quantidade total de distorção (*Total Harmonic Distortion* - THD) é mensurada pelo somatório dos harmônicos contidos nas formas de ondas da tensão/corrente de entrada através do cálculo do valor eficaz² (*Root Mean Square* - RMS) das componentes senoidais divididas pela componente fundamental.

$$I_{RMS} = \sqrt{\sum_1^\infty \left[\frac{1}{T_i} \int_0^{T_i} i_i^2 dt \right]} \quad (1.5)$$

$$THD_i = \frac{\sqrt{\sum_{i=2}^\infty I_i^2}}{I_1} \quad (1.6)$$

$$V_{RMS} = \sqrt{\sum_1^\infty \left[\frac{1}{T_i} \int_0^{T_i} v_i^2 dt \right]} \quad (1.7)$$

$$THD_v = \frac{\sqrt{\sum_{i=2}^\infty V_i^2}}{V_1} \quad (1.8)$$

Os harmônicos de corrente são limitados por normas e recomendações que buscam assegurar que a THD gerada por equipamentos eletrônicos não prejudiquem a rede elétrica ou demais equipamentos conectados a ela (causam aumento de perdas e mal funcionamento). As principais normas são a IEC 61000-3-2 e IEC 61000-3-4, que se aplicam a equipamentos alimentados por tensão senoidal na faixa de 220V a 415V, onde o primeiro é destinado a fontes com corrente de até 16A, e o segundo acima 16A.

¹ frequência fundamental corresponde a frequência de tensão/corrente do sinal base, nesse caso da fonte de alimentação

² No cálculo do valor eficaz é incluído as componentes harmônicas além da componente fundamental

Os conceitos de deslocamento angular e taxa de distorção harmônica são incorporados no cálculo do fator de potência (*Power Factor* - PF) e servem de base para mensurar a qualidade da energia processada pelo conversor CA-CC. É desejável que o retificador entregue o máximo de potência ativa à carga, mantendo os sinais de tensão e corrente de entrada praticamente em fase e com um formato senoidal.

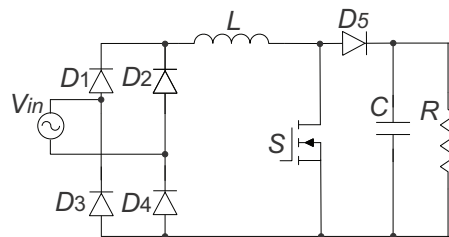
$$FP = \frac{\cos(\phi_{vi})}{\sqrt{1 + THD_i^2}} \quad (1.9)$$

O fator de potência pode ser melhorado de duas formas, utilizando componentes passivos para filtrar os harmônicos de frequência mais elevada e corrigir o deslocamento angular, ou utilizando componentes ativos, que cumprem o mesmo papel, incorporados em conversores estáticos, conhecidos como retificadores para correção de fator de potência (*Power Factor Corrector* - PFC).

Ambas as formas de correção podem ser implementadas, e a escolha do método varia conforme a carga, custos e aplicação desejada. Normalmente, o método de correção ativa é mais utilizado, pois alcança valores de PF mais elevados e exige componentes reativos menos volumosos, tornando uma solução mais econômica.

O retificador PFC mais difundido na literatura é o conversor DC-DC do tipo Boost associado a uma ponte retificadora, podendo operar em modo de condução contínua (*Continuous Conduction Mode* - CCM) quanto descontínua (*Discontinuous Conduction Mode* - DCM), a diferença entre os dois casos está no formato da corrente no indutor que pode ou não zerar a cada ciclo de comutação. Entre as diversas vantagens desse retificador está o número reduzido de componentes e o fator de potência elevado.

Figura 1 – Retificador Boost para Correção de Fator de Potência



Fonte: Elaborado pelo Autor

Embora essa topologia seja bastante promissora, há uma contínua procura por aprimoramentos, sendo comum a modificação dessa estrutura base em busca de algum benefício específico. Uma modificação bem comum é a implementação da técnica *Interleaved*.

Interleaved Converter ou Conversor Intercalado, é a aplicação de dois ou mais retificadores idênticos conectados em paralelo (descritos como células), controlados pela mesma malha de controle de forma intercalada na mesma frequência de comutação. A técnica já vem sendo aplicada a décadas em conversores do tipo Boost com o objetivo

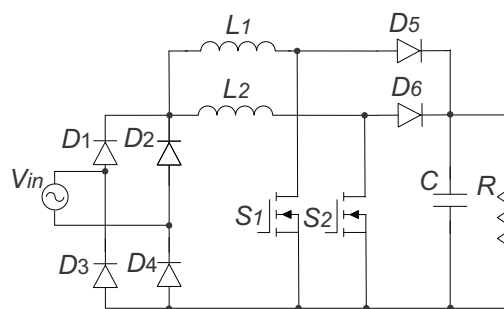
de diminuir a ondulação de alta frequência (*ripple*) da corrente de entrada, através do cancelamento de componentes harmônicas entre os indutores, reduzindo emissão eletromagnética e gastos com filtros. Com a diminuição do *ripple* de corrente, o valor eficaz também diminui, reduzindo as perdas no núcleo e cobre, possibilitando o uso de elementos magnéticos reduzidos.

Conforme (CORUH et al., 2011), o emprego de retificadores *interleaved* proporciona uma eficiência maior ao conversor, reduz o volume do circuito de potência e melhora problemas de compatibilidade eletromagnética, embora exija um aumento no número de semicondutores e indutores proporcional a quantidade de retificadores em paralelo.

A Figura 2 apresenta a topologia mais comum do Boost *Interleaved*, empregada normalmente em aplicações de baixa potência. Conforme (CHAN; PONG, 1997), a ondulação na corrente de entrada pode ser eficientemente reduzida utilizando de 2 a 3 células em paralelo, utilizar um número maior que 3 células não implica necessariamente na redução efetiva da ondulação de corrente, mas propicia o uso de semicondutores com esforços menores, já que a corrente dos indutores é dividida pelos semicondutores de cada célula. Em (CHAN; PONG, 1997), foi obtido redução de até 50% do *ripple* em uma topologia com duas células empregando frequência de comutação fixa e uma redução de até 72% ao utilizar frequência de comutação variável.

Em (LEE et al., 2000) apresenta a possibilidade de acoplar os indutores de cada célula integrando um único núcleo, detendo as características de uma topologia *Interleaved*, ao passo que reduz volume de magnéticos se comparado com uma topologia boost tradicional com as mesmas características de projeto.

Figura 2 – Retificador Boost Interleaved Clássico com Duas Células Paralelas



Fonte: Elaborado pelo Autor

Outra solução do tipo *Interleaved* para o Retificador Boost é apresentada em (NABAE; NAKANO; ARAI, 1994), conhecido popularmente como Retificador Nabae e composto por duas células Boost DCM, apresentado na Figura 3.

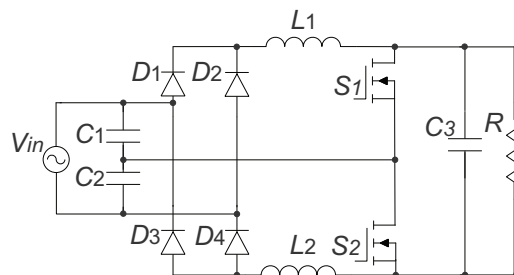
A topologia apresenta alta imunidade para correntes de interferência eletromagnética de modo comum devido a simetria do circuito de potência em relação ao aterramento. Tal benefício implica no uso de um divisor capacitivo no lado AC da ponte retificadora, onde o ponto central é constituído por um neutro virtual que separa as duas células.

A simplicidade dos circuitos de controle e modulação dos interruptores é outro ponto atrativo. A corrente nos indutores segue naturalmente o sinal senoidal da tensão de entrada, necessitando somente de controle de tensão para o barramento DC, além disso, os interruptores operam de forma complementar com razão cíclica fixa em 50% utilizando modulação em frequência para controlar a transferência de potência.

As perdas de comutação são minimizadas, pois os interruptores são acionados com tensão nula (Zero Voltage Switching - ZVS). Os diodos boosts da topologia clássica não são empregados nessa estrutura, esse papel é cumprido pelos diodos intrínsecos aos MOSFETs/IGBTs. Também não há preocupação com perdas por recuperação reversa nos diodos devido ao formato descontínuo da corrente no indutor. A grande desvantagem da topologia são as perdas de condução causadas pelo modo de operação DCM. O capacitor de barramento é volumoso por causa do elevado conteúdo harmônico gerado pela magnetização dos indutores das células boost. Além disso, o conversor não é recomendado para tensões de barramento acima de 600V, pois a tensão dos interruptores é proporcional ao barramento.

No artigo é montado um protótipo de 75 W com frequência de comutação nominal (para 100 V de entrada) de 10 kHz. Foi obtido valores de THD de 14,2%, 8,16% e 6,013% sem a utilização de filtro de interferência eletromagnética, com carga nominal e tensão de entrada nominal, 150% e 200% respectivamente.

Figura 3 – Retificador Nabae



Fonte: Elaborado pelo Autor

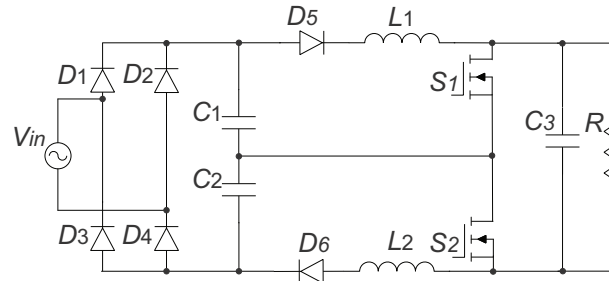
Em (TAO; LEE, 2000) é apresentado uma modificação na topologia Nabae, de forma que o divisor capacitivo ligado ao neutro virtual seja realocado para o lado CC (Figura 4), após a ponte retificadora. Tal modificação possibilita o emprego de capacitores eletrolíticos, uma solução atrativa caso a topologia seja destinada a aplicações em potência elevada, aonde capacitores de filme acabam agregando bastante nos custos. Essa solução exige a adição de dois diodos em série com os indutores boost, elevando as perdas de condução.

O controle é análogo ao do conversor Nabae, controlando a tensão de barramento e fazendo a transferência de potência com variação de frequência, mantendo sempre os dois interruptores com razão cíclica fixa em 50%.

É montado um protótipo de 85W para tensão de entrada de 200 V, com frequência

de comutação de 52 kHz. O conversor atende a norma IEC1000-3-2 com THD de 9,2%, fator de potência de 0,994 e eficiência de 83%, com concentração de perdas na condução nos diodos.

Figura 4 – Retificador Nabae com capacitores eletrolíticos no filtro de entrada



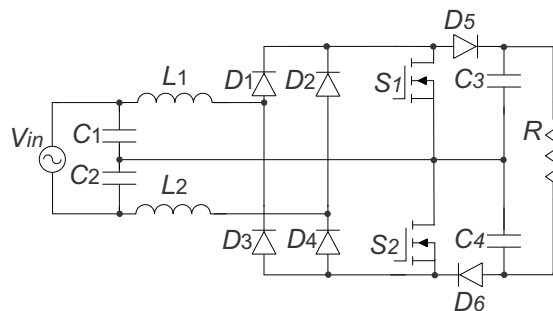
Fonte: Elaborado pelo Autor

Em (GRANZA; FONT; GULES, 2015) é apresentada outra modificação na topologia Nabae (Figura 5) com o acréscimo de dois diodos entre o barramento DC e os interruptores, reduzindo os esforços de tensão nos interruptores pela metade, mas exigindo o acréscimo de dois diodos e um capacitor de barramento. O tipo de modulação é alterado, fazendo uso de PWM (*Pulse Width Modulation*) assimétrica³ modificada, aonde os comandos dos interruptores são invertidos a cada meio ciclo da rede elétrica para manter a tensão nos capacitores de saída equilibrada.

Não é possível manter o acionamento ZVS dos interruptores com a modulação PWM, pois para valores menores de razão cíclica a energia acumulada no indutor boost não é o suficiente para descarregar completamente a capacitância de saída do interruptor.

Os autores montaram um protótipo de 1 kW, com tensão de entrada de 127 V, de saída 400 V e frequência de 40 kHz. O THD da corrente de entrada fica em 10,5%, atendendo a classe A da norma IEC61000-3-2, com fator de potência de 0,99 e eficiência de 90 %.

Figura 5 – Retificador Nabae com tensão reduzida nos interruptores



Fonte: Elaborado pelo Autor

³ Os interruptores são modulados com frequência de comutação fixa e com razões cíclicas complementares, uma delas com razão cíclica D e a outra com $(1-D)$

1.2 OBJETIVO DO TRABALHO

Esse trabalho apresenta o estudo de um retificador PFC monofásico com solução ativa para aplicação em fontes de alimentação acima de 1 kW. A topologia utiliza a técnica *Interleaved* e possui semelhança ao retificador Nabae quanto a estrutura e modo de condução. Emprega ZVS para acionar os interruptores e ZCS (*Zero Current Switching*) no bloqueio dos diodos, havendo poucas perdas de comutação e possibilitando comutar os semicondutores em frequências mais elevadas para redução do volume de elementos magnéticos.

O cancelamento da ondulação de corrente de alta frequência entre os indutores gera uma corrente contínua na entrada, com baixo conteúdo harmônico se comparado com o Boost PFC DCM, por consequência, o filtro de entrada pode ser otimizado.

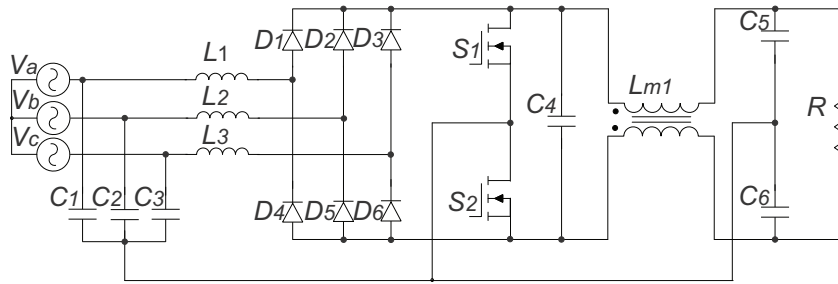
O circuito de controle é semelhante ao proposto por Nabae, com modulação em frequência nos interruptores. Isso é necessário caso seja desejável manter o acionamento via ZVS, e implica no deslocamento do espectro de harmônicos de corrente para frequências mais elevadas, como é apresentado por (CREBIER; REVOL; FERRIEUX, 2005). Por causa disso, certos cuidados devem ser tomados no projeto do filtro de interferências eletromagnéticas.

A ideia do trabalho surgiu a partir do conversor criado por Yungtaek Jang e Millan M. Jovanovic, que projetaram um retificador DCM *Interleaved* Boost com ponto central trifásico, denominado de retificador Taipei (Figura 6) e patenteado pela *Delta Products Corporation*. O conversor possui as mesmas vantagens citadas para a topologia a ser estudada, uma breve caracterização dela é apresentada em (Yungtaek Jang; JOVANOVIĆ, 2013), com resultados experimentais para um protótipo de 2,8 kW que alcança fator de potência 0,9967, THD de 1,43 % e eficiência de 97,51 % para valores nominais de operação.

Esses resultados são feitos com a utilização de um filtro de interferência eletromagnética do tipo π de dois estágios acoplado na entrada do conversor. É utilizado semicondutores com tecnologia SiC tanto para os interruptores quanto para os diodos, e os elementos magnéticos são construídos em núcleos de ferrite.

Devido ao número de vantagens e resultados atrativos alcançados pela estrutura trifásica, surgiu a dúvida, uma versão monofásica do retificador Taipei seria atrativa para indústria? Seria possível replicar os bons resultados de eficiência e ter poucos gastos com a estrutura?

Figura 6 – Topologia do Retificador Taipei



Fonte: Elaborado pelo Autor

1.3 ORGANIZAÇÃO DO TRABALHO

No estudo da nova topologia, os principais objetivos são:

- Estudo comparativo de retificadores semelhantes ao proposto, analisando parâmetros de eficiência, volume, complexidade de controle, número de componentes e entre outros.
- Estudo qualitativo do retificador com análise das etapas de operação e extração das principais equações para dimensionamento dos componentes.
- Elaboração de algoritmo para seleção de semicondutores levando em consideração eficiência e custo.
- Elaboração de algoritmo para projeto e seleção de indutores de forma a minimizar volume de material magnético e cobre mantendo a eficiência alta.
- Estudo da faixa de operação mais atrativa, bem como do potencial comercial da estrutura perante a outros retificadores já utilizados na indústria em faixas de potência semelhante.
- Estudo da interferência eletromagnética conduzida gerada pela topologia, bem como filtros para solucionarem esse problema.
- Estudo e obtenção de modelos matemáticos que caracterizam o comportamento dinâmico do conversor e a implementação destes em um circuito de controle.
- Construção e experimentação de um protótipo para validação dos estudos.

2 ANÁLISE DA TOPOLOGIA

2.1 INTRODUÇÃO

Esse capítulo apresenta o estudo matemático e o funcionamento do conversor, detalhando as etapas de operação juntamente com as principais formas de onda. Também são deduzidas as equações para dimensionamento dos componentes.

2.2 TOPOLOGIA PROPOSTA

A topologia a ser estudada é apresentada na Figura 7. O estágio de entrada é muito semelhante a topologia proposta por Nabae, a diferença é que os indutores são alocados a montante da ponte retificadora. Isso não influencia no modo de operação e é feito para diminuir a máxima tensão de bloqueio nos diodos retificadores. Esse valor ocorre no semiciclo em que eles não entram em condução, nesse caso, com o indutor a montante, a tensão máxima é proporcional ao barramento (limitada por C_b). Com o indutor a jusante, o valor fica superior a tensão de barramento (Soma das tensões de C_b e de L_{in} sendo magnetizado).

Os interruptores operam de forma complementar, com razão cíclica fixa de 50% e modulação variando a frequência. O capacitor C_b , além de limitar a tensão nos diodos de retificação, absorve a corrente de desmagnetização de L_{in1} e L_{in2} . Reciprocamente, ele transfere energia aos capacitores de barramento C_{o1} e C_{o2} de forma intercalada, regulando a tensão de saída.

O indutor L_M é adicionado entre C_b e C_o com função de reduzir a corrente de modo comum gerada por C_b , que sofre elevadas variações de tensão conforme recebe e transfere energia ao barramento a cada desmagnetização de L_{in} . Portanto, a impedância de L_M reduz o conteúdo harmônico das correntes de desmagnetização, acabando com a desvantagem existente no retificador Nabae e seus semelhantes, o elevado valor de corrente eficaz nos capacitores de barramento. O indutor L_M é montado de forma que os fluxos de correntes diferenciais se anulam, possibilitando projetar elevados valores de indutância de magnetização com um espaçamento de entreferro pequeno sem que o núcleo corra risco de saturação.

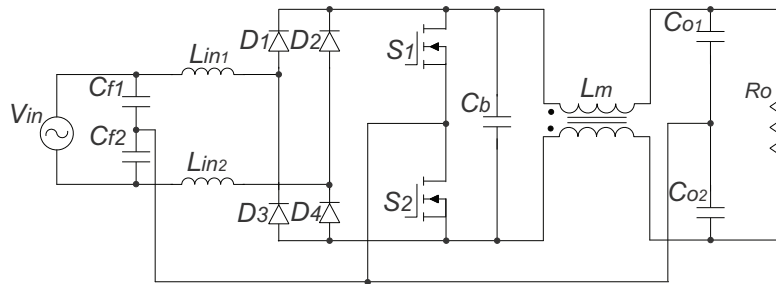
Os capacitores C_{o1} e C_{o2} compartilham o neutro virtual que divide as duas células boost, caracterizando o retificador como uma topologia com três níveis de tensão de saída. O balanceamento de C_o é facilmente mantido pela modulação em frequência, pois mantém igual as razões cíclicas nos dois interruptores.

O acionamento dos interruptores em ZVS é feito através da ressonância entre as capacitâncias intrínsecas dos interruptores e os respectivos indutores L_{in} , não sendo necessário a adição de componentes extras.

Os diodos da ponte retificadora e intrínsecos aos interruptores entram em bloqueio via ZCS, eliminando perdas por recuperação reversa.

Por ser um retificador derivado do Nabae e com as mesmas características do Taipei, a topologia será referenciada como SPT (*Single Phase Taipei* ou Taipei Monofásico).

Figura 7 – Topologia do Taipei Monofásico Proposta



Fonte: Elaborado pelo Autor

2.3 COMPARAÇÃO ENTRE AS PRINCIPAIS TOPOLOGIAS DO TIPO BOOST INTERLEAVED MONOFÁSICAS

Com o intuito de explorar as vantagens econômicas e construtivas do SPT, ele foi comparado com alguns concorrentes que detêm características semelhantes quanto ao modo de operação, faixa de potência e eficiência.

Na comparação o conversor BCCM (*Boost in Continuous Conduction Mode*) (Figura 1) é referenciado como o principal concorrente, por ser a topologia mais difundida na indústria para retificadores de baixa e média potência. Mas como o SPT opera em DCM, também é comparado com topologias que possuem o mesmo modo de operação, portanto também são analisados o retificador Nabae (Figura 3), o Boost *Interleaved* DCM (BIDCM) (Figura 2) e o *Three-Level Interleaved DCM* (TLI - DCM) (Figura 5).

Todos os retificadores são projetados para as mesmas condições de operação, isso pode ser injusto, pois os parâmetros escolhidos podem não ser o ponto ótimo de projeto para todos os retificadores listados, mas essa análise ajuda a esclarecer as diferenças entre os tipos de componentes que deverão ser empregados para cada estrutura, que é o foco principal da comparação. Os parâmetros de projeto são sumarizados na Tabela 1.

2.3.1 Esforços e Custos com Semicondutores

Nos semicondutores foi analisado o esforço de corrente e a tensão máxima de bloqueio, visando os limites físicos dos componentes. Também foi analisada a potência comutada, que ajuda a ter noção da potência instalada de semicondutores e possíveis gastos com dissipadores.

Tabela 1 – Parâmetros de Projeto

Parâmetro	Resultado	Unidade
Potência de Saída	1000	W
Tensão de Saída	380	V
Tensão de Entrada	85-265	V_{RMS}
Frequência da Rede	60	Hz
Frequência de Comutação	70k	Hz
Ondulação de Tensão nos Capacitores de Saída	19 (5% V_o)	V
Ondulação de Corrente de Entrada	15mA	A
Eficiência	95	%

Fonte: Elaborado pelo Autor

As equações de potência comutada no diodo e no interruptor são calculadas a partir de (2.1) e (2.2) respectivamente, onde I_f é a corrente de condução direta do diodo, V_{RRM} é a máxima tensão de bloqueio repetitivo no diodo, I_{RMS} é a corrente eficaz na junção do interruptor e V_{max} é a máxima tensão de bloqueio do MOSFET.

$$P_{CD} = I_f \cdot V_{RRM} \quad (2.1)$$

$$P_{CC} = I_{RMS} \cdot V_{max} \quad (2.2)$$

As topologias foram simuladas utilizando componentes ideais e os resultados são apresentados nas Figuras 8a, 8b e 8c.

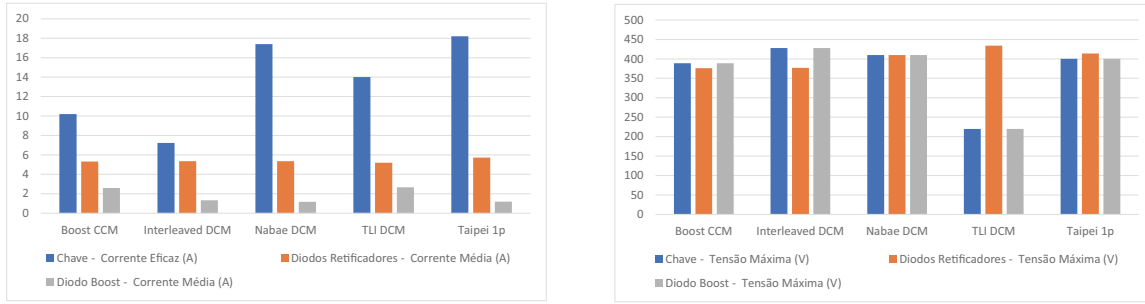
2.3.2 Volume e Custos com Componentes Passivos

Para ter noção de tamanho e preço de componentes magnéticos, pode ser calculado a energia contida no componente ou estimar o tamanho do núcleo (metodologia AeAw). Ambas opções têm resultados similares conforme já estudado em (SOVRANI, 2019), mas nessa comparação é utilizada somente a equação de energia porque ela não necessita de muitos parâmetros como a equação do tamanho do núcleo.

A energia de um indutor é calculada usando a indutância e a corrente de pico. Quanto maior é a corrente de pico, maior é a variação de fluxo, retratando também o aumento de perdas e volume do material ferromagnético. Mas como o objetivo é analisar o componente como todo, é importante ser levado em consideração as perdas e volume de cobre também.

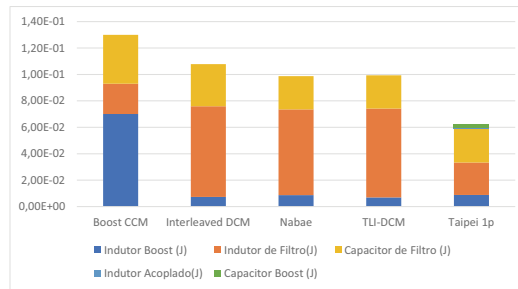
Para que a equação retrate ambas informações há a opção de calcular a energia utilizando a corrente de pico e a corrente eficaz conforme a equação 2.3, dessa forma a corrente eficaz retrata as perdas no cobre e a corrente de pico as perdas no núcleo. A equação (2.3) é fisicamente incorreta mas é utilizada exclusivamente para retratar um

Figura 8 – Resultados da Comparação entre os Componentes de Cada Conversor



(a) Esforços de Corrente por Componente

(b) Tensão de Bloqueio por Componente



(c) Energia Acumulada nos Componentes Reativos

Fonte: Elaborado pelo Autor

resultado numérico para os dois principais pivôs de perdas e gastos em um elemento magnético: o cobre e o núcleo.

$$E_L = \frac{1}{2} \cdot LI_{RMS} I_{pk} \quad (2.3)$$

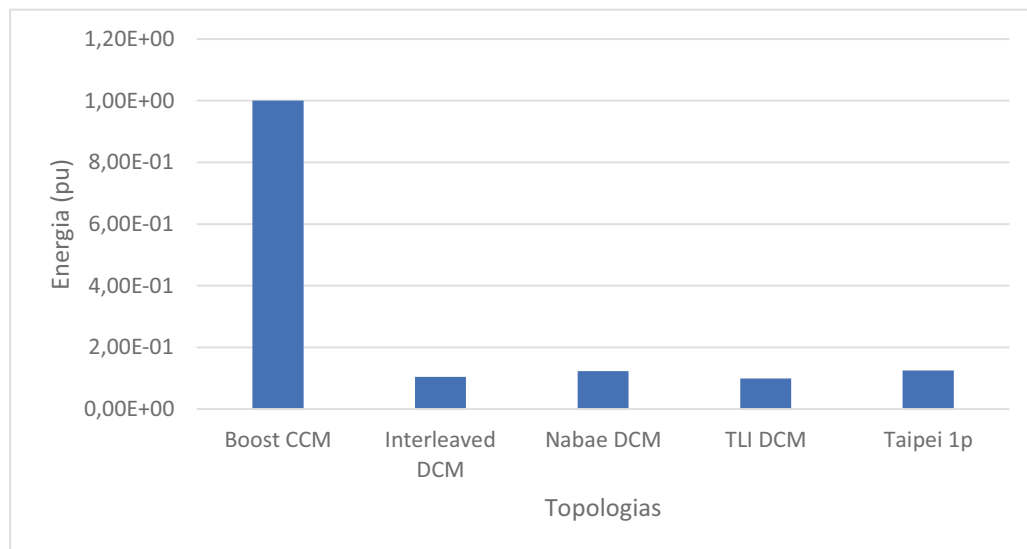
A Figura 9 apresenta os resultados da comparação dos indutores Boost e a Figura 10 para os indutores de filtro.

Para estimar o volume do capacitor e preço, foram adotadas duas metodologias diferentes. Primeiro é calculada a energia contida no capacitor a partir da equação (2.4), em que é levada em consideração somente a ondulação de baixa frequência (Δ_V). Em seguida é estimado o valor eficaz de corrente (I_{RMS}), pois é o principal parâmetro limitante na variável volume. É comum em projetos ocorrer o sobre dimensionamento da capacitância ou da tensão máxima por causa da ausência de componentes que suportam valores de corrente para as condições de capacitância e tensão projetadas.

$$E_C = \frac{1}{2} \cdot C \left(V_{DC} + \frac{\Delta_V}{2} \right)^2 \quad (2.4)$$

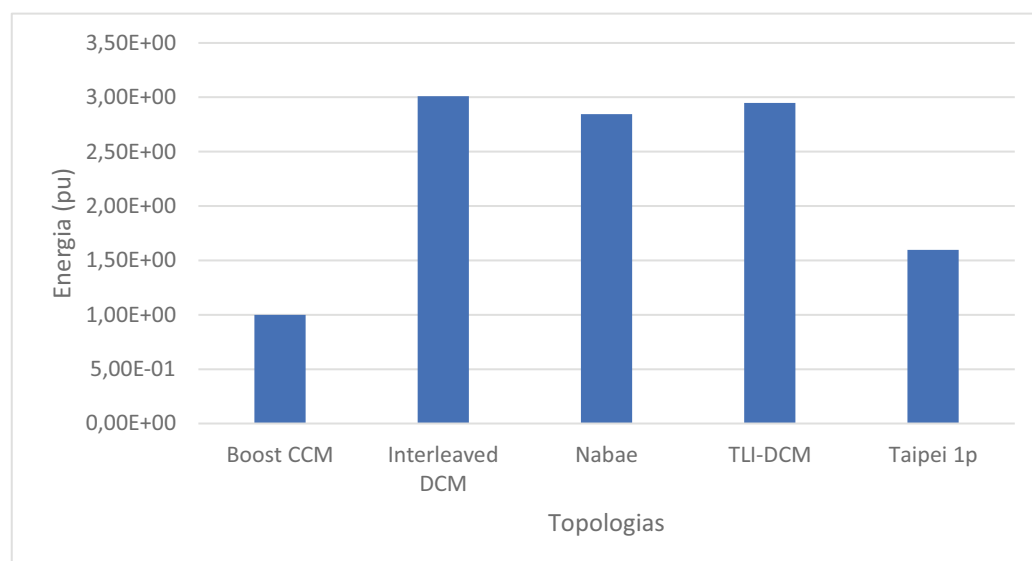
As Figuras 11a e 11b reúnem os resultados para os capacitores de barramento e as Figuras 12a e 12b apresentam os resultados para os capacitores de filtro.

Figura 9 – Comparação da Energia Total dos Indutores Boost



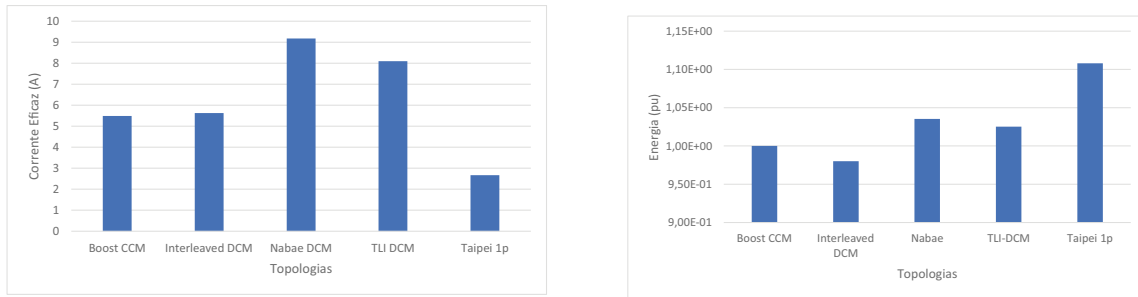
Fonte: Elaborado pelo Autor

Figura 10 – Comparação da Energia Total dos Indutores de Filtro



Fonte: Elaborado pelo Autor

Figura 11 – Comparação entre os Capacitores de Barramento

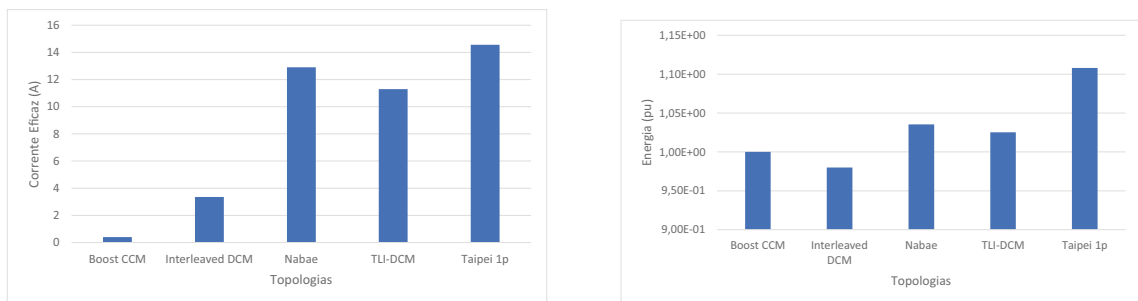


(a) Corrente Eficaz por Componente

(b) Energia Total

Fonte: Elaborado pelo Autor

Figura 12 – Comparação entre os Capacitores de Barramento



(a) Corrente Eficaz por Componente

(b) Energia Total

Fonte: Elaborado pelo Autor

2.3.3 Principais Conclusões

Os retificadores BIDCM e TLI - DCM conseguem competir com o clássico BCCM nos resultados de potência comutada e esforços nos semicondutores.

O BIDCM possui metade da corrente de um Boost DCM em cada interruptor e diodo, enquanto que o TLI - DCM tem metade da tensão para os mesmos componentes. As outras topologias DCM tem tensão e corrente nos interruptores proporcional ao de um Boost DCM, tendo uma potência comutada maior.

Todas as estruturas DCM têm indutores boost menores que o conversor BCCM, mas necessitam de indutâncias de filtro maiores devido ao acréscimo da distorção harmônica na corrente de entrada.

O capacitor de barramento volumoso é uma desvantagem presente nas estruturas DCM, somente o STP tem capacitores de saída com baixo valor eficaz de corrente, mas em contra partida necessita de dois deles assim como as demais estruturas *interleaved* com neutro virtual.

As topologias SPT e o TLI - DCM possuem capacitores de barramento com tensão inferior comparado as demais estruturas (metade da tensão de barramento).

O TLI - DCM perde sua vantagem econômica em relação aos semicondutores por causa dos volumosos capacitores de barramento. Além disso, o filtro de entrada também é volumoso, elevando ainda mais o preço da estrutura.

O divisor capacitivo na entrada dos retificadores com neutro virtual é formado por capacitores de filme, já que estão do lado AC da ponte retificadora. Os mesmos suprem os indutores boosts durante as etapas de magnetização, conseqüentemente os diodos da ponte retificadora devem ser de rápida recuperação reversa.

O SPT e o retificador Nabae possuem comutação ZVS nos interruptores e ZCS nos diodos, reduzindo perdas de comutação.

Estruturas DCM *interleaved* com neutro virtual tem um acréscimo no número de componentes reativos no filtro de entrada e nos capacitores de barramento (com exceção do retificador Nabae).

Os retificadores SPT e Nabae utilizam o próprio diodo intrínseco ao MOSFET/IGBT da célula adjacente como diodo boost, reduzindo o número de semicondutores na estrutura.

Todas as estruturas DCM *interleaved* com neutro virtual necessitam de *drivers* isolados ou circuitos de *bootstrap* para comandar o interruptor com referência flutuante (*high side switch*).

O retificador Nabae e o SPT precisam ser modulados em frequência com 50% de razão cíclica para garantir ZVS nos interruptores.

O TLI - DCM pode utilizar modulação em frequência ou PWM assimétrica. A modulação assimétrica limita a variação da tensão de entrada e carga, além de obrigar a utilização de uma estratégia de controle que mantenha a tensão nos capacitores de barramento equilibradas para manter uma das vantagens da estrutura, a baixa tensão de bloqueio nos interruptores. O ZVS não é mantido no uso de PWM assimétrico.

O retificador Nabae possui problemas de sobretensão nos diodos da ponte retificadora caso os indutores sejam alocados para o lado DC, tal problema é contornado ao manter o indutor no lado AC.

Essa análise prévia permite concluir que é válido o estudo do SPT, já que ela oferece baixas perdas comutação, componentes passivos pouco volumosos e estrutura de controle simples. Na Tabela 2 apresenta um resumo de algumas características analisadas.

Tabela 2 – Comparação das Características das Topologias, Desconsiderando Filtro de EMI

Características	SPT	BCCM	BIDCM	Nabae	TLI-DCM
Máxima Tensão nos Interruptores	V_o	V_o	V_o	V_o	$V_o/2$
Máxima Tensão no Diodo Boost	--	V_o	V_o	--	$V_o/2$
Tipo de Comutação nos Interruptores	ZVS	Dissipativa	Dissipativa	ZVS	Dissipativa
Tipo de Comutação nos Diodos	ZCS	Dissipativa	ZCS	ZCS	ZCS
Tipo de Modulação	FM	PWM	FM	FM	PWM assimétrica modificada
Tipo de Controle	Tensão	Tensão e Corrente	Tensão	Tensão	Tensão
Número de Diodos	4 Rápidos	4 Lentos e 1 Rápido	4 Lentos e 2 Rápidos	4 Rápidos	6 Rápidos
Número de Interruptores	2	1	2	2	2
Número de Indutores	3	1	2	2	2
Número de Capacitores	5	1	1	3	4

2.4 ETAPAS DE OPERAÇÃO

Para facilitar a análise das etapas de funcionamento, algumas considerações são feitas:

- O circuito opera em regime permanente, com uma frequência de comutação fixa e razão cíclica de 50 %;
- A frequência de comutação é grande o suficiente para que a tensão de entrada seja considerada constante durante um período de comutação;
- A tensão de entrada se encontra no semiciclo positivo;
- Os componentes são ideais, portanto as resistências série dos capacitores eletrolíticos, resistências de condução dos MOSFETs, quedas de tensões e perdas de recuperação reversa nos diodos assim como elementos parasitas são desprezados;
- Os capacitores C_{f1} e C_{f2} têm os mesmos valores de capacitância, sendo grande o suficiente para que a tensão imposta seja praticamente constante durante um período de comutação;
- Para facilitar a visualização das etapas de comutação suave, os interruptores S_1 e S_2 , nesse caso MOSFETs, foram representados pelo modelo: interruptor, diodo

antiparalelo e capacitor C_{oss} ;

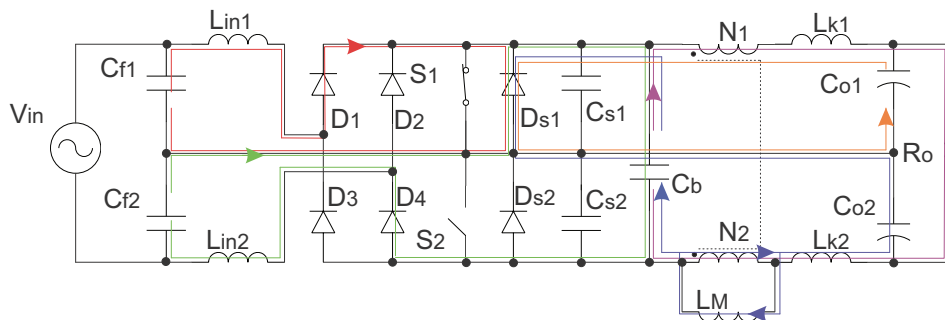
- Os indutores L_{in1} e L_{in2} e os capacitores C_{oss1} e C_{oss2} apresentam os mesmos valores de indutância e capacitância respectivamente;
- Os capacitores C_{o1} e C_{o2} tem valores grande o bastante para que a tensão no barramento de saída permaneça constante durante meio período da rede elétrica.

O SPT possui 8 etapas de operação, 2 delas envolvendo comutações ZVS nos interruptores. A topologia pode ser analisada em dois estágios, o primeiro engloba um retificador Nabae com duas células boost operando de forma intercalada. O segundo estágio é um filtro de modo comum com 3 níveis de tensão, em que as correntes de desmagnetização de L_{in} são transferidas para C_o de forma intercalada.

2.4.1 Primeira Etapa de Operação

O interruptor S_1 é comandado a conduzir, mas a corrente equivalente circula através do diodo intrínseco D_{S1} , pois a corrente de L_{in2} é maior que L_{in1} . Nessa etapa, L_{in2} está desmagnetizando e sua energia é entregue ao capacitor C_b . De forma paralela, o indutor L_{in1} começa a magnetizar através da tensão imposta pelo capacitor C_{f1} , que corresponde a metade da tensão de entrada V_{in} . Já C_b transfere a carga armazenada para C_{o2} .

Figura 13 – Primeira Etapa de Operação



Fonte: Elaborado pelo Autor

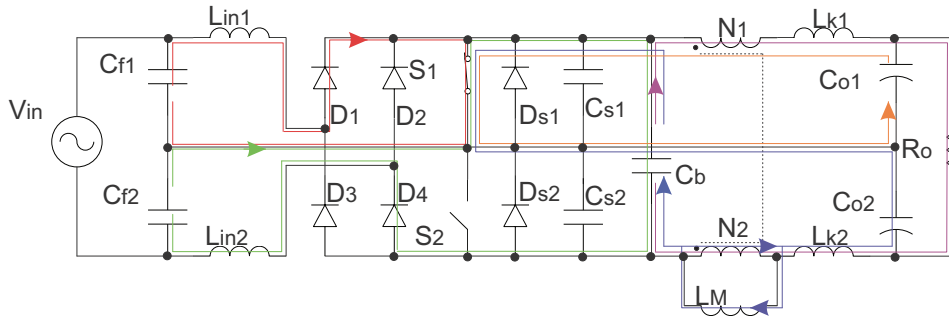
2.4.2 Segunda Etapa de Operação

Durante a segunda etapa de operação a corrente em L_{in1} fica maior que em L_{in2} , então a corrente equivalente circula pelo interruptor S_1 . L_{in1} continua sendo magnetizado enquanto L_{in2} permanece transferindo energia a C_b .

2.4.3 Terceira Etapa de Operação

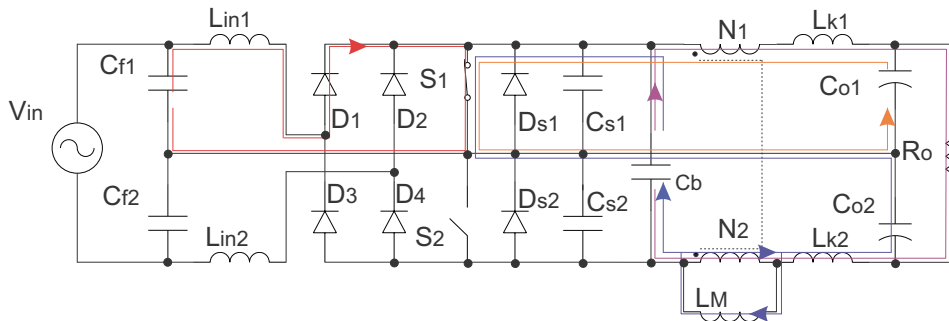
O indutor L_{in2} é desmagnetizado e a corrente se anula. Enquanto isso L_{in1} é magnetizado e o capacitor C_b transfere energia à C_{o2} .

Figura 14 – Segunda Etapa de Operação



Fonte: Elaborado pelo Autor

Figura 15 – Terceira Etapa de Operação



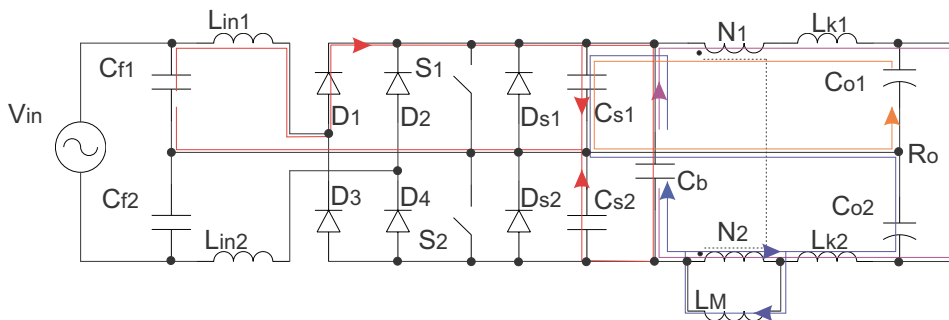
Fonte: Elaborado pelo Autor

2.4.4 Quarta Etapa de Operação

O interruptor S_2 é comandado a conduzir enquanto S_1 é comandado a entrar em bloqueio. Ocorre a comutação dos interruptores, e parte da corrente passa a circular pelos capacitores C_{S1} e C_{S2} , carregando C_{S1} com a tensão de barramento e descarregando C_{S2} na mesma proporção.

Nesse momento, a energia armazenada no indutor L_{in1} chega ao valor máximo.

Figura 16 – Quarta Etapa de Operação



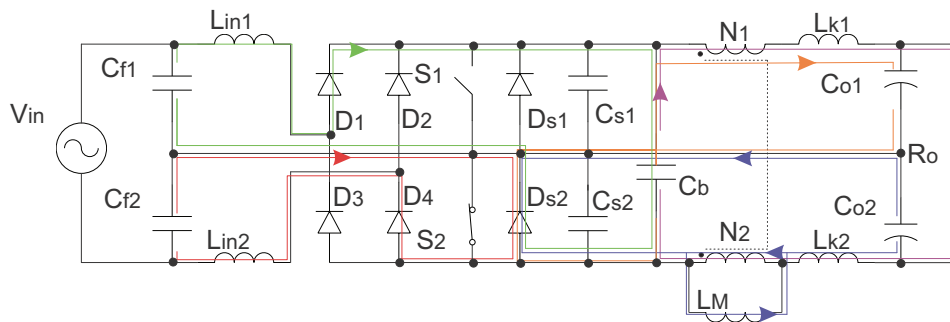
Fonte: Elaborado pelo Autor

2.4.5 Quinta Etapa de Operação

Após finalizar a comutação L_{in1} inicia a desmagnetização, fornecendo energia para o capacitor C_b , já L_{in2} inicia a magnetização. A corrente equivalente circula através do diodo intrínseco D_{S2} , pois a corrente em L_{in1} é maior do que em L_{in2} .

Após a comutação dos interruptores, o caminho de circulação de corrente do capacitor C_b é alterado, passando a transferir energia à C_{o1} .

Figura 17 – Quinta Etapa de Operação

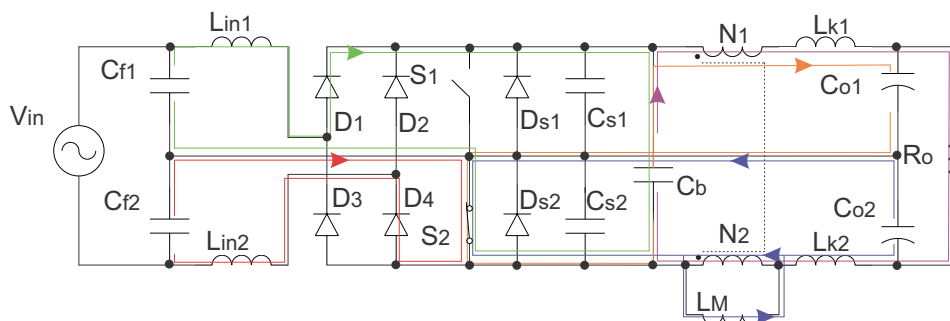


Fonte: Elaborado pelo Autor

2.4.6 Sexta Etapa de Operação

A corrente em L_{in2} fica maior que em L_{in1} , e a corrente equivalente passa a circular pelo interruptor S_2 . L_{in2} é magnetizado enquanto L_{in1} transfere energia a C_b .

Figura 18 – Sexta Etapa de Operação

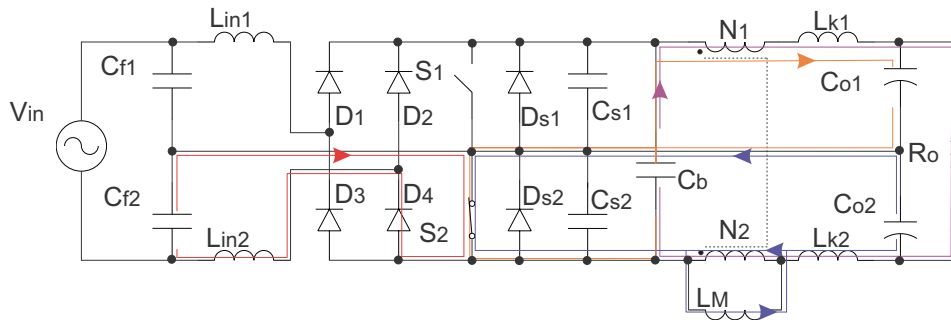


Fonte: Elaborado pelo Autor

2.4.7 Sétima Etapa de Operação

O indutor L_{in1} acaba a desmagnetização e a corrente sobre o mesmo se anula. Enquanto isso L_{in2} continua a ser magnetizado e o capacitor C_b permanece suprindo o capacitor C_{o1} .

Figura 19 – Sétima Etapa de Operação



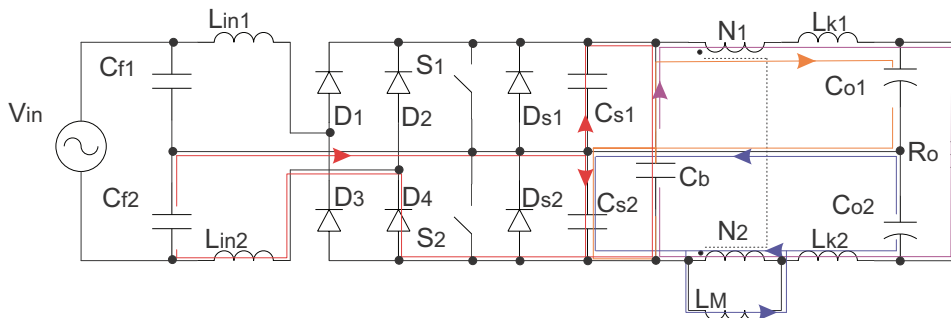
Fonte: Elaborado pelo Autor

2.4.8 Oitava Etapa de Operação

O interruptor S_1 é comandado a conduzir enquanto S_2 é comandado a bloquear. Ocorre a comutação dos interruptores, e parte da corrente circula pelos capacitores C_{b1} e C_{b2} , carregando C_{b2} com a tensão de barramento e descarregando C_{b1} na mesma proporção.

Nesse momento, a energia armazenada no indutor L_{in2} chega ao valor máximo.

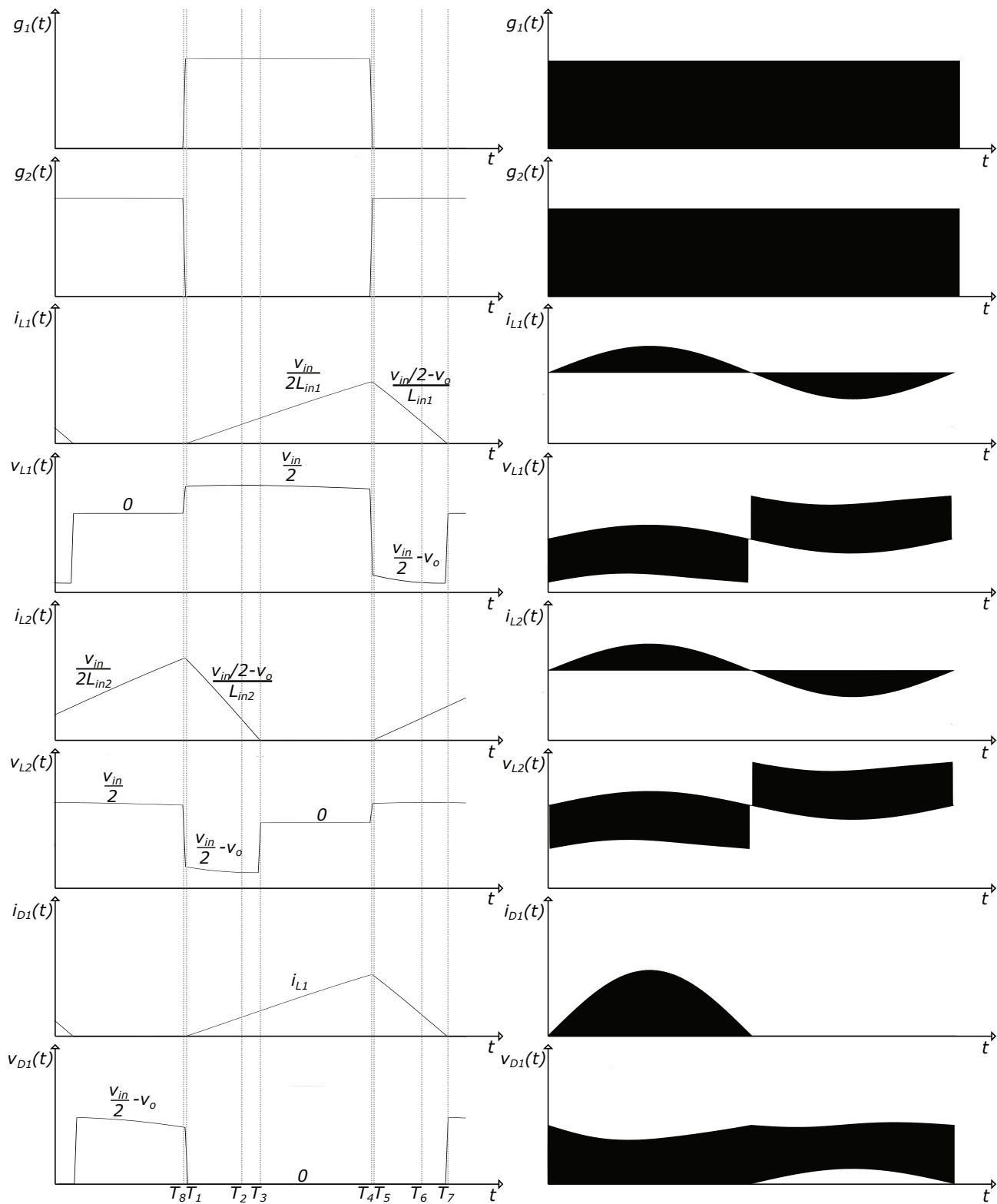
Figura 20 – Oitava Etapa de Operação



Fonte: Elaborado pelo Autor

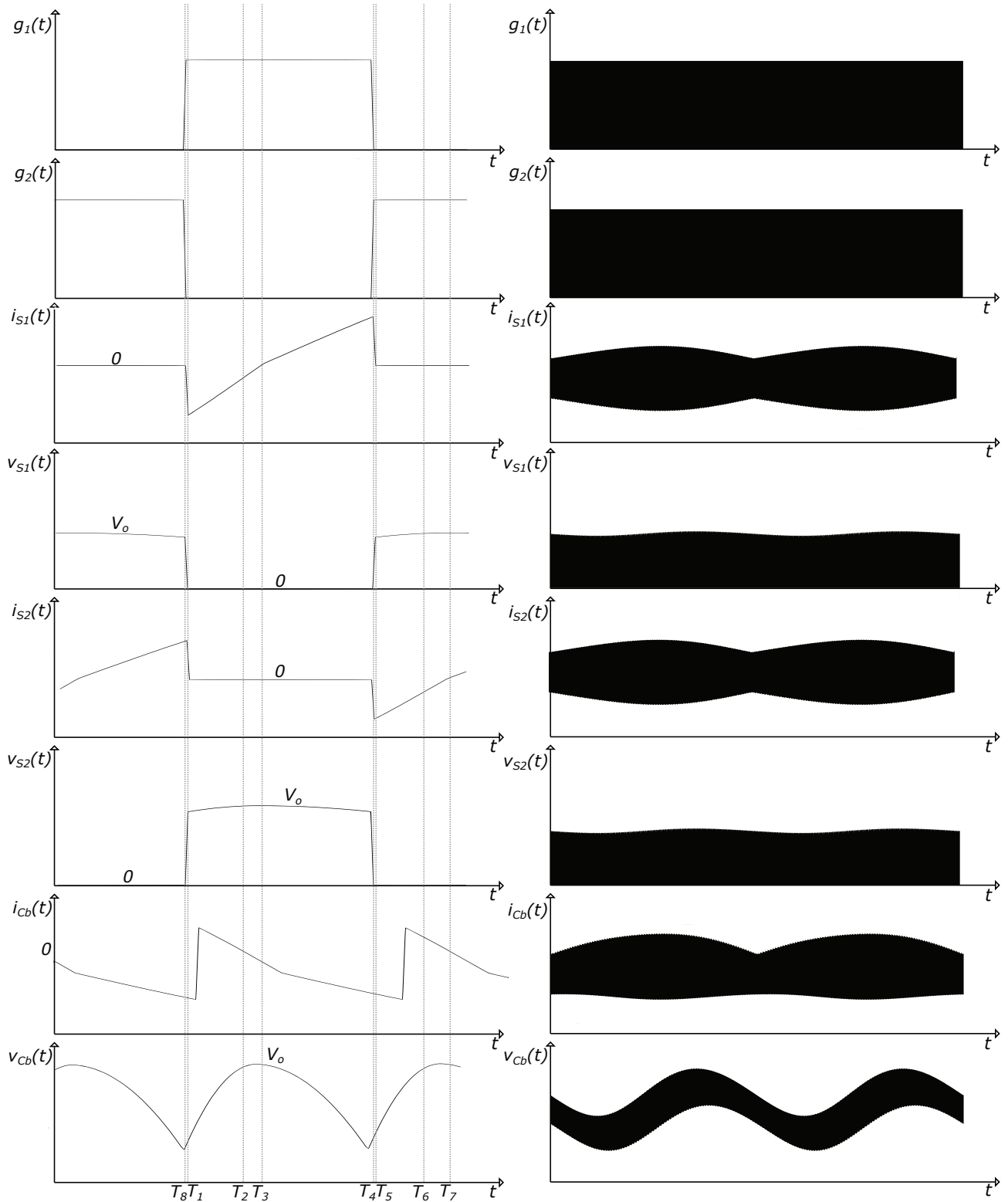
A Figuras 21, 22 e 23 apresentam as principais formas de onda durante um período de comutação e da rede.

Figura 21 – Formas de Onda dos Sinais de Gatilho, L_{in} e D_1 para um Ciclo de Comutação e da Rede Elétrica



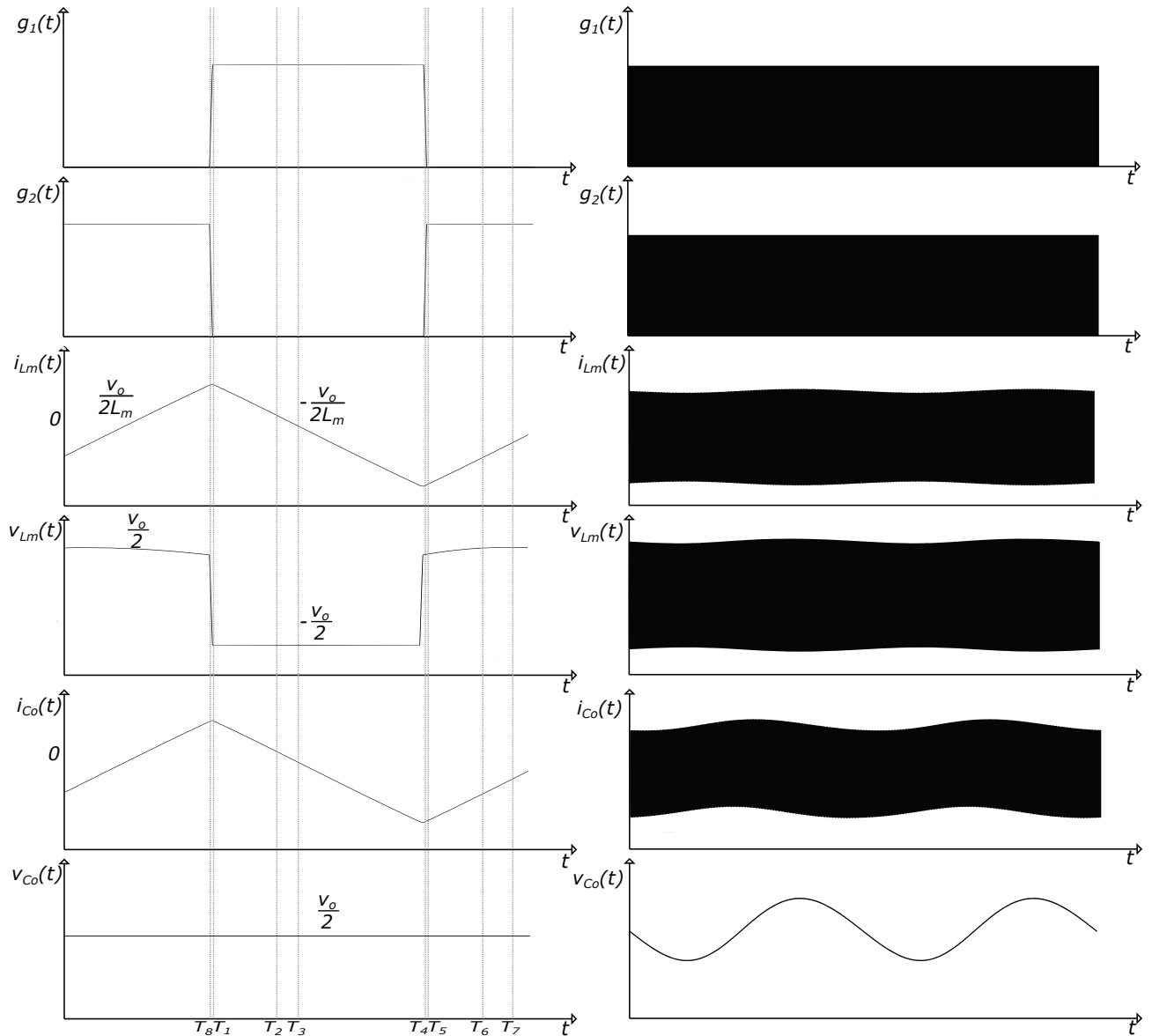
Fonte: Elaborado pelo Autor

Figura 22 – Formas de Onda dos Sinais de Gatilho, S e C_b para um Ciclo de Comutação e da Rede Elétrica



Fonte: Elaborado pelo Autor

Figura 23 – Formas de Onda dos Sinais de Gatilho, L_M e C_o para um Ciclo de Comutação e da Rede Elétrica



Fonte: Elaborado pelo Autor

2.5 ANÁLISE QUANTITATIVA

O dimensionamento dos componentes passivos e os equacionamentos de esforços de tensão e corrente são deduzidos com base na análise das etapas de operação do conversor e suas formas de ondas. Na análise foram desprezados as duas etapas de comutação (etapas 4 e 8) pois têm o tempo de duração bem menor em comparação as demais etapas, não influenciando nos resultados dos equacionamentos.

2.5.1 Filtro LC de Entrada

Os indutores L_{in1} e L_{in2} juntamente com os capacitores C_{f1} e C_{f2} formam filtros LC com frequência natural representada por ω_{o1} (equação 2.5) e impedância natural por Z_{o1}

(equação 2.6). Como as duas células são simétricas, $L_{in} = L_{in1} = L_{in2}$ e $C_f = C_{f1} = C_{f2}$.

$$\omega_{o1} = \frac{1}{\sqrt{L_{in}C_f}} \quad (2.5)$$

$$Z_{o1} = \sqrt{\frac{L_{in}}{C_f}} \quad (2.6)$$

A razão entre a frequência de comutação do conversor e a frequência natural de oscilação do filtro definem o fator de qualidade μ_o . Pela Variação de μ_o ou de um dos parâmetros da equação (2.7) é possível ajustar a ressonância do filtro.

A Figura 24 exemplifica um conjunto de resultados de simulações feitas para a corrente L_{in} , levando em consideração diferentes valores de μ_o para um mesmo projeto. Conforme μ_o aumenta, a ressonância se intensifica e a corrente vai gradualmente ganhando um formato senoidal.

Como apresentado na Figura 21, a corrente de L_{in} tem um formato linear, então é desejado que o filtro LC seja sobreamortecido. O aumento da ressonância do filtro causaria alteração no modo de operação do conversor, além de aumentar a energia reativa circulante no sistema de forma desnecessária.

Para garantir que o filtro LC esteja sobreamortecido, μ_o deve ficar abaixo de 0,4.

$$\mu_o = \frac{\omega_{o1}}{\omega_s} = \frac{\frac{1}{\sqrt{L_{in}C_f}}}{2\pi f_s} = \frac{1}{2\pi f_s \sqrt{L_{in}C_f}} \quad (2.7)$$

2.5.2 Tempos das Etapas de Operação

Considerando que os filtros LC são projetados para $\mu_o < 0,4$, o formato da corrente nos componentes são praticamente lineares, e podem ser aproximadas por equações de reta.

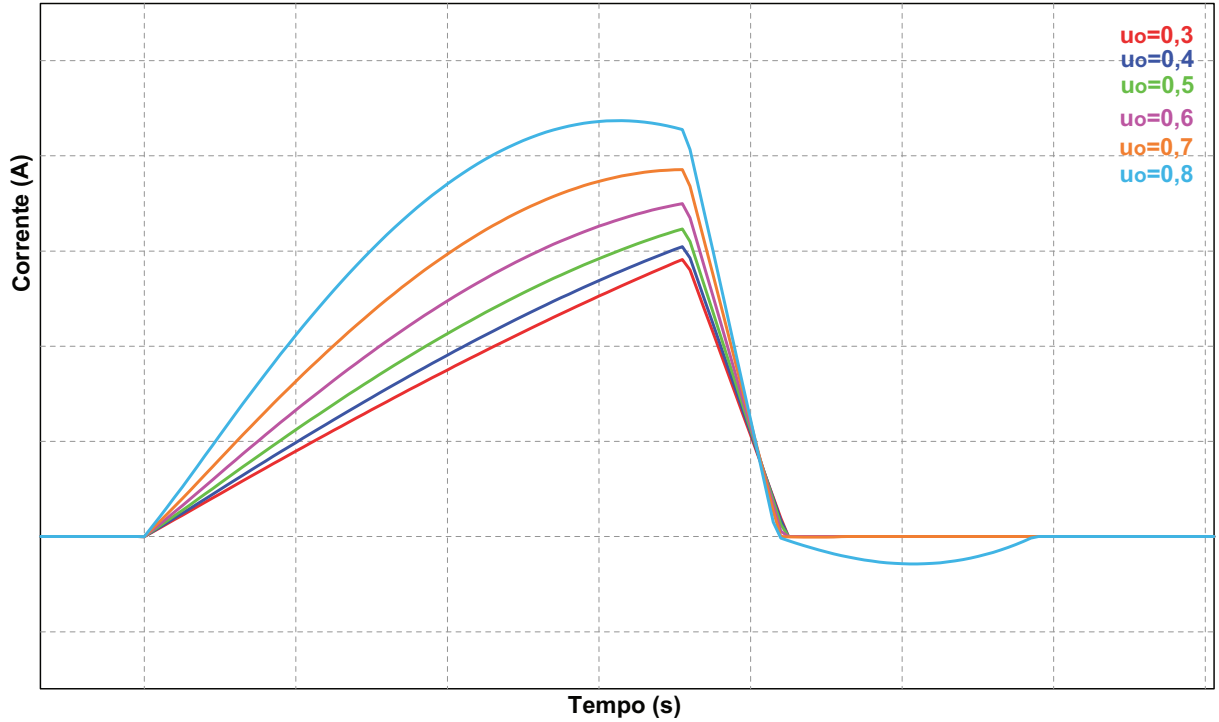
Para escrever as equações de esforços, é necessário obter a duração de tempo de cada etapa de operação. Isso é feito pela análise paralela das correntes nos indutores L_{in1} e L_{in2} durante um ciclo de comutação.

Os capacitores C_f dividem a tensão de entrada pela metade e aplicam sobre os indutores L_{in} durante a magnetização (equação 2.8).

$$V_{Cf1}(t) = V_{Cf2}(t) = \frac{V_{in,pk}}{2} \sin(\omega_r t) \quad (2.8)$$

2.5.2.1 Primeira Etapa de Operação

Logo após a comutação dos interruptores, a corrente em L_{in1} aumenta linearmente, proporcional a tensão imposta pelo capacitor C_{f1} (equação 2.9). Como a corrente em L_{in1}

Figura 24 – Corrente em L_{in} para diferentes μ_o 

Fonte: Elaborado pelo Autor

é igual a zero no início da primeira etapa de operação (equação 2.10), essa informação é utilizada para obter a expressão de corrente para L_{in1} nessa etapa (2.9).

$$V_{Cf1}(t) = L_{in1} \frac{di_{Lin1}(t)}{dt} \quad (2.9)$$

$$\frac{V_{Cf1}(s)}{s} = L_{in1} i_{Lin1}(s)s - 0 \quad (2.10)$$

$$i_{Lin1}(t) = \frac{V_{Cf1}(t)}{L_{in1}} \Delta t_1 \quad (2.11)$$

Simultaneamente, L_{in2} começa a desmagnetizar sobre C_b (equação 2.12). A corrente diminui linearmente, proporcional a diferença de potencial imposta por C_{f2} e o barramento CC. No início dessa etapa, L_{in2} armazena o máximo de energia, portanto, a corrente em L_{in2} corresponde ao seu valor instantâneo de pico do período de comutação (equações 2.13 e 2.14).

$$V_{Cf2}(t) = V_o + L_{in2} \frac{di_{Lin2}(t)}{dt} \quad (2.12)$$

$$\frac{V_{Cf2}(s) - V_o}{s} = L_{in2} i_{Lin2}(s)s - L_{in2} I_{pk} \quad (2.13)$$

$$i_{l2}(t) = \frac{V_2(t) - V_o}{L_{in2}} \Delta t_1 + I_{pk} \quad (2.14)$$

2.5.2.2 Segunda Etapa de Operação

Na segunda etapa de operação, os indutores L_{in1} e L_{in2} estão sujeitos as mesmas tensões da etapa 1, a única diferença são as condições iniciais de corrente. Essa condição é representada pela variável I_1 e corresponde ao valor de corrente no momento em que $i_{lin1}(t)$ é igual a $i_{lin2}(t)$ (equação 2.15 a 2.18).

$$\frac{V_{Cf1}(s)}{s} = L_{in1} i_{lin1}(s) s - L_{in1} I_1 \quad (2.15)$$

$$i_{lin1}(t) = \frac{V_{Cf1}(t)}{L_{in1}} \Delta t_2 + I_1 \quad (2.16)$$

$$\frac{V_{Cf2}(s) - V_o}{s} = L_{in2} i_{lin2}(s) s - L_{in2} I_1 \quad (2.17)$$

$$i_{lin2}(t) = \frac{V_{Cf2}(t) - V_o}{L_{in2}} \Delta t_2 + I_1 \quad (2.18)$$

2.5.2.3 Terceira Etapa de Operação

A corrente em L_{in1} continua a aumentar até alcançar o valor de pico. A condição inicial é representada pela variável I_2 e corresponde ao valor de corrente em L_{in1} quando a corrente em L_{in2} se anula. Simultaneamente, L_{in2} desmagnetiza e a corrente nele zera (equação 2.19 a 2.21).

$$\frac{V_{Cf1}(s)}{s} = L_{in1} i_{lin1}(s) s - L_{in1} I_2 \quad (2.19)$$

$$i_{lin1}(t) = \frac{V_{Cf1}(t)}{L_{in1}} \Delta t_3 + I_2 \quad (2.20)$$

$$i_{lin2}(t) = 0 \quad (2.21)$$

2.5.2.4 Quinta, Sexta e Sétima Etapas de Operação

As equações apresentadas nas primeiras 3 etapas se repetem nas etapas 5, 6 e 7 de forma contrária, quando a tensão de entrada passa a ser negativa. A Tabela 3 reúne todas as equações de corrente nos indutores.

As equações apresentadas na Tabela 3 estão em função de correntes instantâneas I_1 , I_2 e os tempos de duração de cada etapa Δt_x . Essas variáveis instantâneas devem ser

Tabela 3 – Corrente nos Indutores Boost ao longo das etapas de operação

Δt	L_{in1}	L_{in2}
Etapa 1	$\frac{V_{Cf1}(t)}{L_{in1}} \Delta t_1$	$\frac{V_{Cf2}(t)-V_o}{L_{in2}} \Delta t_1 + I_{pk}$
Etapa 2	$\frac{V_{Cf1}(t)}{L_{in1}} \Delta t_2 + I_1$	$\frac{V_{Cf2}(t)-V_o}{L_{in2}} \Delta t_2 + I_1$
Etapa 3	$\frac{V_{Cf1}(t)}{L_{in1}} \Delta t_3 + I_2$	0
Etapa 5	$\frac{V_{Cf1}(t)-V_o}{L_{in1}} \Delta t_4 + I_{pk}$	$\frac{V_{Cf2}(t)}{L_{in2}} \Delta t_4$
Etapa 6	$\frac{V_{Cf1}(t)-V_o}{L_{in1}} \Delta t_5 + I_1$	$\frac{V_{Cf2}(t)}{L_{in2}} \Delta t_5 + I_1$
Etapa 7	0	$\frac{V_{Cf1}(t)}{L_{in2}} \Delta t_6 + I_2$

reescritas em função de parâmetros de projeto para que os esforços nos componentes sejam calculados.

Para facilitar a compreensão, a Tabela 3 é reescrita, e as equações de corrente são descritas em seus respectivos instantes finais para cada etapa de operação, esses resultados são apresentados na Tabela 4.

Tabela 4 – Corrente nos Indutores Boost Reescritas ao longo das etapas de operação

Δt	L_{in1}	L_{in2}
Etapa 1	$I_1 = \frac{V_{Cf1}(t)}{L_{in1}} \Delta t_1$	$I_1 = \frac{V_{Cf2}(t)-V_o}{L_{in2}} \Delta t_1 + I_{pk}$
Etapa 2	$I_2 = \frac{V_{Cf1}(t)}{L_{in1}} \Delta t_2 + I_1$	$0 = \frac{V_{Cf2}(t)-V_o}{L_{in2}} \Delta t_2 + I_1$
Etapa 3	$I_{pk} = \frac{V_{Cf1}(t)}{L_{in1}} \Delta t_3 + I_2$	0
Etapa 5	$I_1 = \frac{V_{Cf1}(t)-V_o}{L_{in1}} \Delta t_4 + I_{pk}$	$I_1 = \frac{V_{Cf2}(t)}{L_{in2}} \Delta t_4$
Etapa 6	$0 = \frac{V_{Cf1}(t)-V_o}{L_{in1}} \Delta t_5 + I_1$	$I_2 = \frac{V_{Cf2}(t)}{L_{in2}} \Delta t_5 + I_1$
Etapa 7	0	$I_{pk} = \frac{V_{Cf1}(t)}{L_{in2}} \Delta t_6 + I_2$

A magnetização dos indutores L_{in} dura metade do período de comutação, já que a razão cíclica é fixa em 50%, portanto a corrente de pico em ambos indutores pode ser descrita pela equação (2.22).

$$I_{pk} = \frac{V_{Cf1}(t) T_s}{L_{in1} 2} \quad (2.22)$$

As demais condições iniciais e intervalos de duração são calculados relacionando as equações de L_{in1} e L_{in2} para a mesma etapa de operação. Igualando as equações da etapa 1 apresentadas na Tabela 4 em função de I_1 , obtém-se a expressão do tempo de duração da etapa 1 (equação 2.23).

$$\Delta t_1 = \frac{V_{Cf1}(t) T_s}{2V_o} \quad (2.23)$$

Ao substituir a expressão (2.23) em uma das equações da etapa 1, tem-se a equação

da corrente I_1 (equação 2.24).

$$I_1 = \frac{V_{Cf1}(t)^2 T_s}{2L_{in1} V_o} \quad (2.24)$$

A expressão (2.24) pode ser utilizada na equação de corrente de L_{in2} na segunda etapa de operação para obtenção do tempo de duração da segunda etapa (equação 2.25).

$$\Delta t_2 = \frac{\left(\frac{V_{Cf1}(t)}{V_o}\right)^2}{1 - \frac{V_{Cf1}(t)}{V_o}} \cdot \frac{T_s}{2} \quad (2.25)$$

Substituindo as expressões (2.24) e (2.25) na equação de corrente de L_{in1} na etapa 2, obtém-se a expressão para I_2 (equação 2.26).

$$I_2 = \frac{V_{Cf1}(t)^2 T_s}{2L_{in1} V_o} \cdot \left(\frac{1}{1 - \frac{V_{Cf1}(t)}{V_o}} \right) \quad (2.26)$$

Para achar uma expressão para o tempo de condução da terceira etapa (equação 2.27), basta substituir 2.26 na equação de corrente de L_{in1} para a etapa 3.

$$\Delta t_3 = \left(1 - \frac{1}{\frac{V_o}{V_{Cf1}(t)} - 1} \right) \cdot \frac{T_s}{2} \quad (2.27)$$

Como as formas de ondas dos indutores L_{in1} e L_{in2} são iguais, os tempos das etapas 1, 2 e 3 são os mesmos das etapas 5, 6 e 7, ou seja, $\Delta t_1 = \Delta t_4$, $\Delta t_2 = \Delta t_5$ e $\Delta t_3 = \Delta t_6$.

2.5.3 Característica de Saída

Para obter as expressões do ganho, indutância crítica e frequência de comutação, é relacionado a equação de corrente dos indutores L_{in} com a corrente de carga.

As correntes em L_{in} durante os processos de magnetização e desmagnetização são descritas pelas equações (2.28) e (2.29) respectivamente. Como a variação de corrente é a mesma nas duas etapas, o tempo de desmagnetização pode ser expresso em função das tensões nos capacitores de filtro e da tensão de barramento (equação 2.30).

$$I_{Lin,pk} = \frac{V_{cf,pk} \sin(\omega_r t)}{L_{in}} \cdot \frac{T_s}{2} \quad (2.28)$$

$$I_{Lin,pk} = \frac{V_o - V_{cf} \sin(\omega_r t)}{L_{in}} \cdot t_d \quad (2.29)$$

$$t_d = \frac{\alpha \sin(\omega_r t)}{1 - \alpha \sin(\omega_r t)} \cdot \frac{T_s}{2} \quad (2.30)$$

Onde α é a razão entre as tensões V_{cf} e V_o : $\alpha = \frac{V_{cf}}{V_o}$

O valor médio da corrente de saída é igual ao valor médio da corrente I_{RS} (equação 2.31), composta pela soma das correntes de desmagnetização dos indutores L_{in} . A corrente I_{RS} é apresentada na Figura 26a e o valor médio instantâneo é estimado através da soma da área do triângulo de cada desmagnetização e o tempo de desmagnetização é substituído pela equação (2.30).

É importante destacar que I_{RS} também é composta pela corrente descarregada de C_b e C_{o1} durante a terceira etapa de operação. Ambas correntes foram desprezadas no cálculo porque não influenciam tanto na forma de onda, elas podem ser identificadas pela quebra de angulação no decréscimo linear após a desmagnetização de L_{in2} na Figura 26a.

$$\langle I_{RS} \rangle = \frac{V_{cf} \sin(\omega_r t)}{4L_{in}f_s} \cdot \frac{\alpha \sin(\omega_r t)}{1 - \alpha \sin(\omega_r t)} \quad (2.31)$$

O valor de pico da corrente de desmagnetização varia de forma senoidal retificada. O seu valor médio para um período de rede é igual ao valor médio da corrente de carga (equações 2.32 e 2.33).

$$I_{RS} = I_o = \frac{1}{\pi} \int_0^\pi \langle I_{RS} \rangle d\omega_r t \quad (2.32)$$

$$I_o = \frac{V_{cf}}{4\pi L_{in}f_s} \cdot \Psi_1 \quad (2.33)$$

Onde Ψ_1 é o resultado da integração trigonométrica na equação (2.34). A Figura 25 apresenta um ábaco de corrente de carga para diferentes valores de α

$$\Psi_1 = -2 - \frac{\pi}{\alpha} + \frac{2}{\alpha\sqrt{1-\alpha^2}} \cdot \left[\frac{\pi}{2} + \arctan\left(\frac{\alpha}{\sqrt{1-\alpha^2}}\right) \right] \quad (2.34)$$

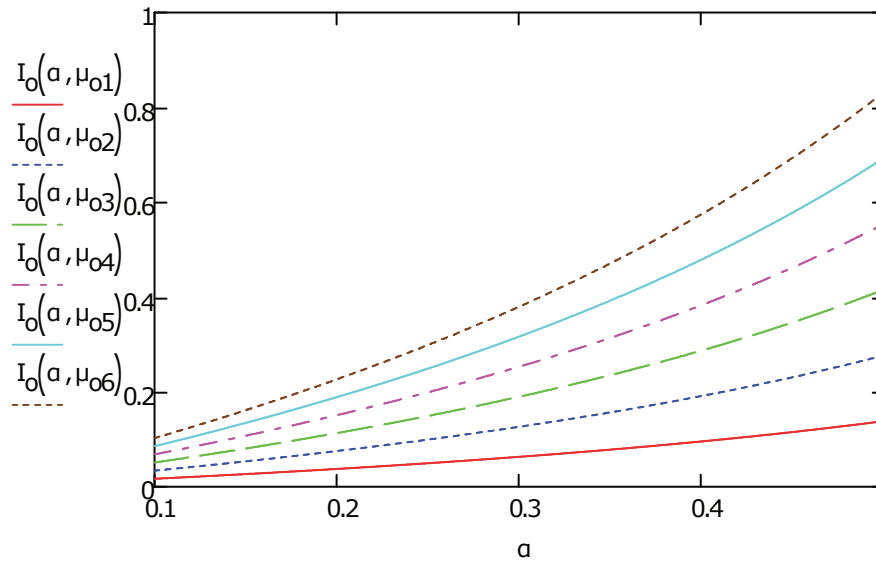
Relacionando a corrente de saída com a resistência de carga e remanipulando as variáveis, a equação de ganho estático em função da carga e da tensão senoidal de entrada é obtida. Destacando que a equação de ganho é escrita em razão da tensão eficaz de entrada V_{in} e não da tensão sobre os capacitores de filtro C_f (equação 2.35).

$$\frac{V_o}{V_{in}} = \frac{\sqrt{2}R_o}{8\pi L_{in}f_s} \cdot \Psi_1 \quad (2.35)$$

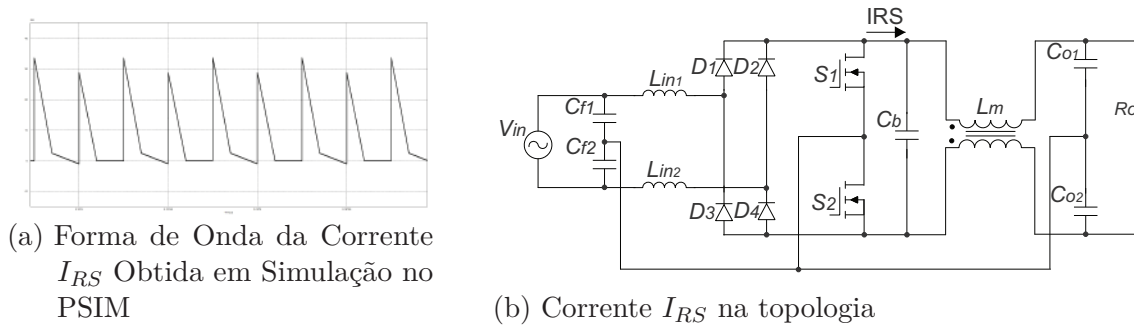
2.5.4 Indutância L_{in}

A expressão da indutância L_{in} (equação 2.36) é escrita a partir da equação do ganho estático em (2.35).

$$L_{in} = \frac{\alpha V_o^2 \left(-\frac{\pi}{\alpha} + \frac{2}{\alpha\sqrt{1-\alpha^2}} \cdot \left(\frac{\pi}{2} + \arctan\left(\frac{\alpha}{\sqrt{1-\alpha^2}}\right) \right) - 2 \right)}{4\pi P_o f_s} \quad (2.36)$$

Figura 25 – Corrente de carga normalizada em função de α para diversos μ_o 

Fonte: Elaborado pelo Autor

Figura 26 – Corrente I_{RS} 

Fonte: Elaborado pelo Autor

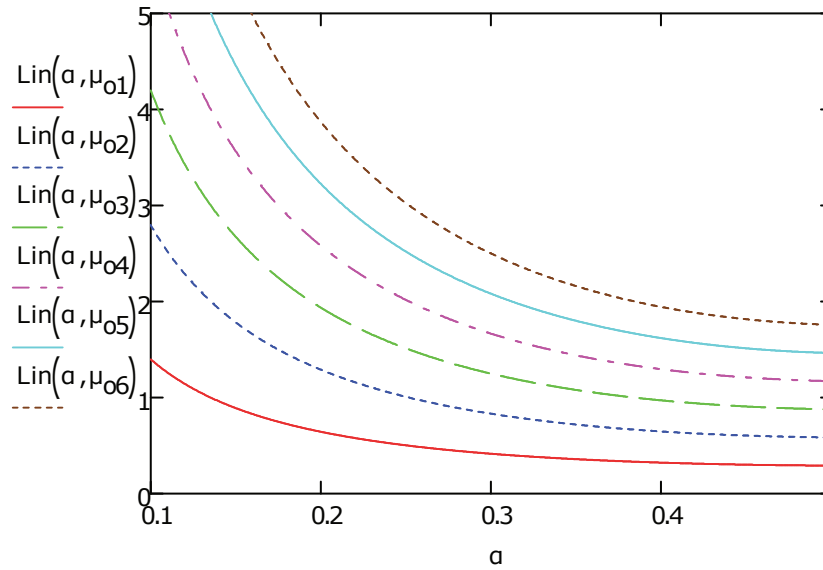
Ela também pode ser reescrita em função da carga R na equação (2.37).

$$L_{in} = \frac{\alpha R_o \left(-\frac{\pi}{\alpha} + \frac{2}{\alpha\sqrt{1-\alpha^2}} \cdot \left(\frac{\pi}{2} + \arctan \left(\frac{\alpha}{\sqrt{1-\alpha^2}} \right) \right) - 2 \right)}{4\pi f_s} \quad (2.37)$$

A Figura 27 apresenta a variação de indutância para diferentes valores de α . A indutância deve ser projetada para o pior caso de operação, com menor tensão de entrada e frequência mínima de comutação, para garantir que o conversor opere em DCM para todas as faixas de carga e/ou tensão de entrada.

2.5.5 Capacitância do Filtro de Entrada

Como já explicado, os capacitores C_f compõem os filtros LC de entrada, e o sobrearmortecimento dos mesmos é controlado pelo ajuste do parâmetro μ_o . Como L_{in} e f_s são determinadas a partir do ganho e da carga R , o ajuste de μ_o é feito pela escolha de C_f .

Figura 27 – Indutância normalizada em função de α para diversos μ_o 

Fonte: Elaborado pelo Autor

A equação (2.7) é reescrita, de forma que μ_o passa a ser uma variável de projeto. $C_{f,min}$ é calculado para mínima tensão de entrada (equação 2.38), coincidindo com a menor frequência de comutação. A escolha de C_f deve ser feita para esse caso, pois é a condição mais crítica de ressonância do filtro, já que μ_o diminui conforme a frequência de comutação do conversor aumenta.

$$C_{f,min} = \frac{1}{4\pi^2 f_s^2 \mu_o^2 L_{in}} \quad (2.38)$$

2.5.6 Indutor Acoplado

Durante o tempo que S_1 está desligado, a energia armazenada em L_1 é entregue a C_b , nesse instante a diferença de potencial entre C_b e o neutro virtual é igual a V_o . Já quando S_2 é desligado, a energia armazenada em L_2 é entregue ao capacitor C_b , gerando uma diferença de potencial de $-V_o$ entre C_b e o neutro virtual.

Como a diferença de potencial entre ambos os terminais de C_b e o neutro virtual se altera de forma abrupta durante cada ciclo de comutação, C_b gera uma corrente distorcida, com elevado conteúdo harmônico que é absorvido pelos capacitores de barramento.

Como os capacitores de barramento também estão ligados ao neutro virtual, o indutor L_M colocado entre os terminais de C_b é uma impedância para essas correntes de desmagnetização, enquanto que a corrente diferencial do barramento não é influenciada.

As tensões nos enrolamentos de L_M são descritas conforme as equações (2.39) e

(2.40) respectivamente.

$$V_{LM1} = L_{M1} \frac{di_1}{dt} + M_{21} \frac{di_2}{dt} \quad (2.39)$$

$$V_{LM2} = L_{M2} \frac{di_1}{dt} + M_{12} \frac{di_2}{dt} \quad (2.40)$$

A indutância de dispersão tem um valor muito abaixo da indutância de magnetização então ela é desprezada nessa análise, fazendo a suposição de que o acoplamento k é ideal, ou seja, todo fluxo gerado pelo indutor fica confinado dentro do núcleo e circula através de ambos enrolamentos (equação 2.42), portanto, $k = 1$. Além disso, devido a simetria do circuito, as indutâncias próprias dos enrolamentos L_{M1} e L_{M2} são idênticas, ambas gerando a mesma quantidade de fluxo, sendo verdade que as indutâncias mútuas M_{12} e M_{21} também são idênticas.

Para obter o equacionamento da indutância de magnetização, basta utilizar uma das equações (2.39) ou (2.40) e levar em consideração que $L_M = L_{M1} = L_{M2}$ e $M = M_{12} = M_{21}$, resultando na equação (2.41).

$$V_{LM} = L_M \frac{di_1}{dt} + M \frac{di_2}{dt} \quad (2.41)$$

Para as idealizações especificadas, a indutância mútua pode ser escrita em função da indutância própria do enrolamento (equação 2.43).

$$k = \frac{M}{\sqrt{L_{M1}L_{M2}}} \quad (2.42)$$

$$M = L_M \quad (2.43)$$

A equação da indutância pode ser simplificada conforme (2.44).

$$V_{LM} = 2L_M \frac{\Delta I_{LM}}{\Delta t_s} \quad (2.44)$$

A Figura 23 mostra a corrente em L_M para um ciclo de comutação. A magnetização do indutor para uma variação ΔI dura meio ciclo de comutação, e o outro meio ciclo serve para desmagnetizar o indutor. A tensão no enrolamento é proporcional a diferença de potencial entre C_b e C_o , que corresponde a metade da tensão do barramento CC.

Então L_M é calculada pela equação (2.45), e a ondulação de corrente em alta frequência é um dos parâmetros de projetos.

A indutância de magnetização é projetada para mínima tensão entrada. Mas é importante destacar que também há circulação de corrente diferencial nos enrolamentos,

portanto as espiras devem ser dimensionadas em condição nominal de operação, quando a corrente diferencial é maior.

$$L_M = \frac{V_o}{8\Delta I_{LM}f_s} \quad (2.45)$$

2.5.7 Capacitor Boost

O capacitor C_b tem como função filtrar a corrente de desmagnetização de L_{in} , a corrente que circula por ele corresponde a parte AC de I_{RS} apresentado na Figura 26a.

A ondulação de tensão de baixa frequência é dependente da capacitância equivalente C_{out} , a mesma ondulação também está presente em C_b . É importante manter a ondulação de alta frequência de C_b não muito elevada, pois aumentaria a tensão do barramento, mas também é importante manter uma capacitância pequena para empregar capacitores de filme, que possuem uma vida útil maior que capacitores eletrolíticos e uma resistência interna baixa, ideal para filtragem de sinais de frequência elevada como nesse caso.

A capacitância é projetada levando em consideração a média instantânea da corrente I_{RS} para a tensão de pico de entrada, pois é a condição que gera a maior variação de tensão de alta frequência sobre o capacitor (equação 2.46 a 2.48).

$$\Delta V_{Capacitor} = \frac{1}{C} \int_0^T i_c(t) dt \quad (2.46)$$

$$\Delta V_{C_b} = \frac{t_d}{2C_b} \cdot \left(\frac{V_{Cf,pk} I_s}{2L_{in}} \right) \quad (2.47)$$

$$C_b = \frac{\alpha^2 V_o}{8f_s^2 L_{in} \Delta V_{C_b} (1 - \alpha)} \quad (2.48)$$

2.5.8 Capacitores de Barramento

A Figura 28a apresenta o circuito equivalente da topologia vista a partir do barramento, representado por duas fontes de corrente controladas conectadas ao ponto médio de saída, aonde i_{op} e i_{on} são as correntes que circulam pelo lado positivo e negativo do barramento e i_N é a corrente de magnetização do indutor L_M .

O valor médio de i_N é nulo, pois é formada pelas correntes dos capacitores C_{o1} e C_{o2} , sendo assim, admite-se que $i_{op} = i_{on} = i_o$ e o circuito equivalente pode ser representado pela Figura 28b.

Aonde C_{out} é o capacitor equivalente da ligação série entre C_{o1} e C_{o2} , ou seja $C_{o1} = C_{o2} = 2 \cdot C_{out}$.

Figura 28 – Circuitos Equivalentes Vistos a Partir do Barramento



(a) Circuito Equivalente do Barramento com Divisor Capacitivo

(b) Circuito Equivalente do Barramento com Capacitor Equivalente

Fonte: Elaborado pelo Autor

Como apresentado em (GU et al., 2009), a capacitância de barramento de retificadores monofásicos pode ser calculada relacionando a energia do capacitor com a potência pulsante no barramento CC.

Considerando que a corrente e tensão de entrada estão em fase, a potência instantânea de entrada é descrita pela equação (2.49).

$$p_{in}(t) = v_{in}(t)i_{in}(t) = \frac{V_{in,pk}I_{in,pk}[1 - \cos(2\omega_r t)]}{2} \quad (2.49)$$

Supondo que todos os componentes sejam ideais com uma eficiência de 100%, a potência média de entrada é igual a potência de saída, e a equação (2.49) pode ser reescrita nas equações 2.50 e 2.51.

$$P_{in} = \frac{V_{in,pk}I_{in,pk}}{2} = P_o \quad (2.50)$$

$$p_{in}(t) = P_o[1 - \cos(2\omega_r t)] \quad (2.51)$$

A Figura 29 apresenta as formas de ondas do barramento CC e da potência instantânea para um retificador monofásico genérico, nela pode ser visto que o capacitor C_o é carregado durante $T_{line}/8$ até $3 \cdot T_{line}/8$.

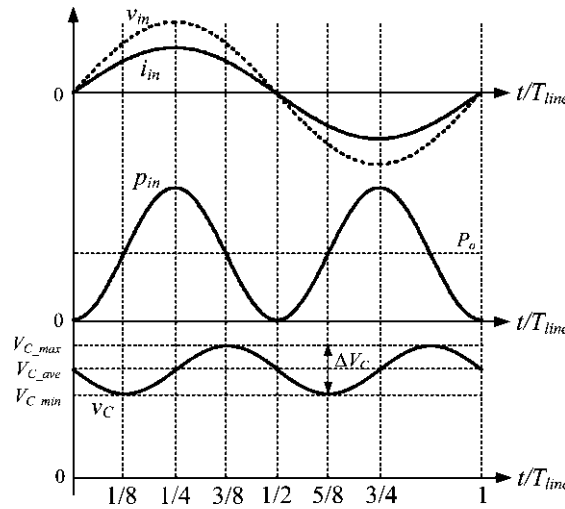
A energia armazenada em C_{out} é calculada através da integração da potência instantânea sobre o capacitor no período de tempo em que ele carrega (equação 2.52).

$$\Delta_E = \int_{3T_{line}/8}^{T_{line}/8} [p_{in}(t) - P_o] dt = \frac{P_o}{\omega_r} \quad (2.52)$$

A energia do capacitor também pode ser escrita em função da capacitância (equação 2.53).

$$\Delta_E = \frac{1}{2}C_{out}V_{C_o}^2 = \frac{C_{out}}{2}(V_{C_{o,max}}^2 - V_{C_{o,min}}^2) \quad (2.53)$$

Figura 29 – Tensão no barramento CC para fator de potência unitário



Fonte: (GU et al., 2009)

Igualando as equações (2.52) e (2.53) obtém-se a equação 2.54 das capacitâncias C_o .

$$C_{o1} = C_{o2} = \frac{4P_o}{\omega_r(V_{C_{o\max}}^2 - V_{C_{o\min}}^2)} \quad (2.54)$$

2.5.9 Corrente de Entrada

A corrente de entrada é obtida fazendo uma análise de Kirchhoff aos nós que ligam a fonte V_{in} a L_{in} e C_f respectivamente.

$$i_{in} = i_{Lin1} + i_{Cf1} = i_{Lin2} + i_{Cf2} \quad (2.55)$$

O valor médio instantâneo da corrente de entrada depende das correntes nos indutores.

$$\langle i_{in} \rangle = \frac{i_{Lin1} + i_{Cf1} + i_{Lin2} + i_{Cf2}}{2} = \frac{i_{Lin1} + i_{Lin2}}{2} \quad (2.56)$$

Para calcular a corrente média instantânea, é utilizado o valor médio das correntes nos indutores. A ondulação com o dobro da frequência de comutação de i_{in} é desprezada, visando simplificar a análise.

O valor médio da corrente em L_{in} para um período de comutação é descrita pela equação (2.57).

$$\langle i_{Lin} \rangle = \frac{1}{T_s} \cdot \frac{I_{pk}}{2} \cdot \frac{T_s}{2} + \frac{1}{T_s} \cdot \frac{I_{pk}}{2} \cdot t_d \quad (2.57)$$

A corrente de pico é dado pela equação (2.22) e o tempo de desmagnetização por (2.30), substituindo ambos em (2.57) obtém-se:

$$\langle i_{Lin} \rangle = \frac{V_{Cf1} V_o \sin(\omega t)}{8L_{in} f_s [V_o - V_{Cf1} \sin(\omega t)]} \quad (2.58)$$

Como o valor médio instantâneo é igual para ambos indutores de entrada, e o valor médio instantâneo da corrente de entrada é descrito por (2.56), ou seja, $\langle i_{in} \rangle = \langle i_{Lin} \rangle$. O valor eficaz da corrente de entrada para o ciclo da rede elétrica é dada pela equação (2.59).

$$I_{in,ef} = \sqrt{\frac{1}{\pi} \cdot \int_0^\pi \langle i_{in} \rangle^2 d\omega t} = \frac{V_o}{8L_{in} f_s} \sqrt{\Psi_2} \quad (2.59)$$

Onde Ψ_2 é a integral trigonométrica descrita em (2.60).

$$\Psi_2 = \frac{1}{\pi} \cdot \int_0^\pi \left[\frac{\alpha \sin(\omega t)}{1 - \alpha \sin(\omega t)} \right]^2 d\omega t \quad (2.60)$$

2.5.10 Potência, Fator de Potência e Taxa de Distorção Harmônica

A potência ativa na entrada do retificador é obtida a partir das expressões já conhecidas da corrente e tensão média instantânea na entrada.

$$P_{in} = \frac{1}{\pi} \cdot \int_0^\pi v_{in}(t) i_{in}(t) d\omega t = \frac{V_{in,pk} V_o}{8\pi L_{in} f_s} \Psi_3 \quad (2.61)$$

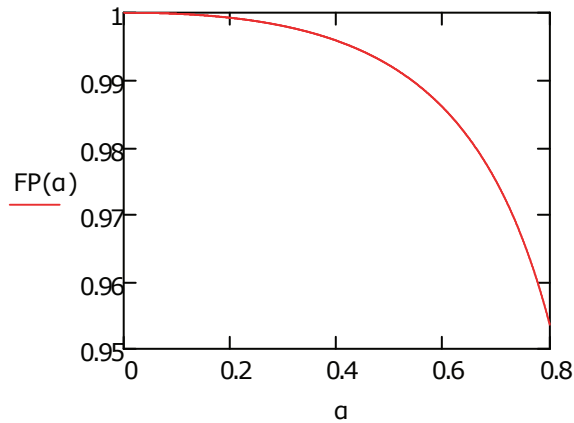
$$\Psi_3 = \int_0^\pi \frac{\alpha \sin(\omega t)^2}{1 - \alpha \sin(\omega t)} d\omega t \quad (2.62)$$

O fator de potência é calculado pela razão entre a potência ativa e aparente. A expressão (2.63) indica que o fator de potência de entrada depende exclusivamente do fator α .

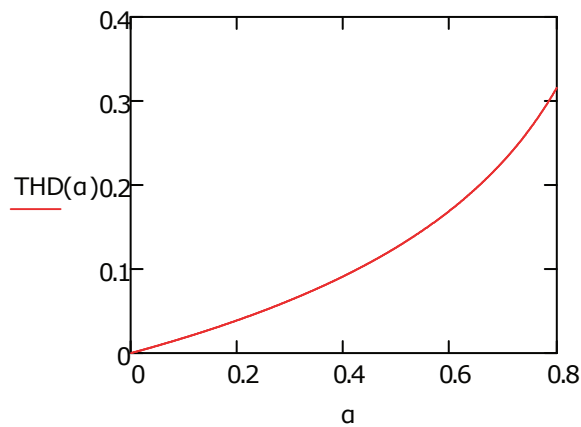
$$FP = \frac{P_{in}}{V_{in,ef} I_{in,ef}} = \frac{\sqrt{2}}{\pi} \cdot \frac{\Psi_1}{\sqrt{\Psi_3}} \quad (2.63)$$

A defasagem entre os sinais de tensão e corrente de entrada é praticamente nula para condições de carga nominais e sofre pouca defasagem para condições de baixa carga, portanto o fator de deslocamento é desconsiderado no cálculo da taxa de distorção harmônica, ou seja, é considerado que a tensão e corrente de entrada estejam praticamente em fase.

$$THD = \sqrt{\frac{\cos(\varphi)^2}{FP^2} - 1} \approx \frac{1}{FP} \sqrt{1 - FP^2} \quad (2.64)$$

Figura 30 – Fator de Potência para diversos valores de α 

Fonte: Elaborado pelo Autor

Figura 31 – THD para diversos valores de α 

Fonte: Elaborado pelo Autor

2.6 ESFORÇOS NOS COMPONENTES

2.6.1 Metodologia

Os esforços são calculados integrando as formas de ondas apresentadas nas Figuras 21, 22 e 23. Em primeiro lugar, obtém-se o valor médio aproximado para um período de comutação considerando que $f_s \gg f_r$, ou seja, que a tensão de alimentação é constante para um ciclo T_s . Com o valor médio instantâneo, é feita uma segunda integração com relação ao período da rede T_r para obter os valores médios ou eficazes. As equações genéricas das integrais são apresentadas em (2.65) a (2.68).

$$x_{T_s,avg} = \frac{1}{T_s} \int_0^{T_s} x(t) dt \quad (2.65)$$

$$x_{T_s,rms} = \sqrt{\frac{1}{T_s} \int_0^{T_s} x(t)^2 dt} \quad (2.66)$$

$$X_{T_r,avg} = \frac{1}{T_r} \int_0^{T_r} x(t) dt \quad (2.67)$$

$$X_{T_r,rms} = \sqrt{\frac{1}{T_r} \int_0^{T_r} x(t)^2 dt} \quad (2.68)$$

As idealidades citadas para análise das etapas de funcionamento continuam válidas e os tempos das etapas de operação obtidos na seção (2.5.2) são reutilizados.

Nos semicondutores, é calculado simbolicamente o valor eficaz de corrente nos interruptores, a corrente média nos diodos e a tensão máxima de bloqueio em ambos. Nos componentes passivos, é calculado o valor eficaz de corrente e a tensão máxima.

2.6.2 Capacitor de Filtro

A corrente em C_f corresponde a diferença média instantânea entre as formas de onda de L_{in1} e L_{in2} .

$$\begin{aligned} IC_{f-rms}^2 = & \frac{1}{2\pi T_s} \int_0^{2\pi} \int_0^{\Delta t_1} \left[\frac{V_{Cf1}(t)}{L_{in1}} t - \left(\frac{V_{Cf1}(t) - V_o}{L_{in1}} t + I_{pk} \right) \right]^2 dt d\omega t + \\ & \frac{1}{2\pi T_s} \int_0^{2\pi} \int_0^{\Delta t_2} \left[\left(\frac{V_{Cf1}(t)}{L_{in1}} t + I_1 \right) - \left(\frac{V_1(t) - V_o}{L_1} t + I_1 \right) \right]^2 dt d\omega t + \\ & \frac{1}{2\pi T_s} \int_0^{2\pi} \int_0^{\Delta t_3} \left[\left(\frac{V_{Cf1}(t)}{L_{in1}} t + I_2 \right) - 0 \right]^2 dt d\omega t + \\ & \frac{1}{2\pi T_s} \int_0^{2\pi} \int_0^{\Delta t_4} \left[\left(\frac{V_{Cf1}(t) - V_o}{L_{in1}} t + I_1 \right) - I_{pk} \right]^2 dt d\omega t + \\ & \frac{1}{2\pi T_s} \int_0^{2\pi} \int_0^{\Delta t_5} \left[\left(\frac{V_{Cf1}(t) - V_o}{L_{in1}} t + I_1 \right) - \left(\frac{V_{Cf1}(t)}{L_{in1}} t + I_1 \right) \right]^2 dt d\omega t + \\ & \frac{1}{2\pi T_s} \int_0^{2\pi} \int_0^{\Delta t_5} \left[0 - \left(\frac{V_{Cf1}(t)}{L_{in1}} t + I_2 \right) \right]^2 dt d\omega t \end{aligned} \quad (2.69)$$

A tensão máxima sobre C_f corresponde a metade da tensão de pico da fonte de alimentação.

$$VC_{f-max} = \frac{V_{in,pk}}{2} \quad (2.70)$$

2.6.3 Diodo da Ponte Retificadora

A corrente de D é proporcional a de L_{in} , com a diferença que o diodo só conduz por meio ciclo da rede.

$$ID_{avg} = \frac{1}{2\pi T_s} \int_0^\pi \int_0^{T_s/2} \left[\frac{V_{Cf1}(t)}{L_{in1}} \right] dt d\omega t + \frac{1}{2\pi T_s} \int_0^\pi \int_0^{t_d} \left[I_{pk} + \frac{V_{Cf1}(t) - V_o}{L_{in1}} \right] dt d\omega t \quad (2.71)$$

A tensão sobre D corresponde a diferença de potencial de C_f e a tensão do barramento de saída, portanto a tensão máxima sobre o mesmo ocorre quando a tensão de entrada é mínima (zero).

$$VD_{max} = V_o + \frac{\Delta V_{Cout}}{2} \quad (2.72)$$

2.6.4 Indutor Boost

A corrente eficaz no indutor é decomposta em função do tempo de magnetização $T_s/2$ e do tempo de desmagnetização t_d .

$$IL_{in-rms}^2 = \frac{1}{2\pi T_s} \int_0^{2\pi} \int_0^{T_s/2} \left[\frac{V_{Cf1}(t)}{L_{in1}} t \right]^2 dt d\omega t + \frac{1}{2\pi T_s} \int_0^{2\pi} \int_0^{t_d} \left[\frac{V_{Cf1}(t)}{L_{in1}} t + \frac{V_{Cf1}(t) - V_o}{L_{in1}} t \right]^2 dt d\omega t \quad (2.73)$$

A tensão máxima sobre L_{in} corresponde ao valor da tensão de barramento. Isso ocorre na etapa de desmagnetização, quando a tensão sobre C_f é nula e a ondulação de tensão em C_o é mínima.

$$VL_{in-max} = V_o \quad (2.74)$$

2.6.5 Interruptor

A corrente no interruptor corresponde a diferença entre as correntes de L_{in1} e L_{in2} durante os intervalos Δt_2 e Δt_3 ou Δt_5 e Δt_6 . O interruptor conduz durante todo ciclo da rede, mas a forma de onda de corrente é retificada.

$$IS_{rms}^2 = \frac{1}{\pi T_s} \int_0^\pi \int_0^{\Delta t_2} \left[\left(\frac{V_{Cf1}(t)}{L_{in1}} t + I_1 \right) - \left(\frac{V_{Cf1}(t) - V_o}{L_{in1}} t + I_1 \right) \right]^2 dt d\omega t + \frac{1}{\pi T_s} \int_0^\pi \int_0^{\Delta t_3} \left(\frac{V_{Cf1}(t)}{L_{in1}} t + I_2 \right)^2 dt d\omega t \quad (2.75)$$

A tensão de bloqueio é fixada por C_b durante a etapa de comutação, sendo que a tensão em C_b é proporcional a tensão de barramento.

$$VS_{max} = V_o + \frac{\Delta V_{Cout}}{2} \quad (2.76)$$

2.6.6 Diodo Intrínseco

A corrente no diodo é a diferença entre as correntes de L_{in1} e L_{in2} durante os intervalos de tempo Δt_1 ou Δt_4 .

$$ID_{S-avg} = \frac{1}{\pi T_s} \int_0^\pi \int_0^{\Delta t_1} \left(\frac{-V_{Cf1}(t)t}{L_{in1}} + \frac{V_{Cf1}(t) - V_o}{L_{in1}} t + I_{pk} \right) dt d\omega \quad (2.77)$$

A tensão de bloqueio desses diodos é idêntica a tensão de bloqueio dos interruptores.

$$VD_{S-max} = V_o + \frac{\Delta V_{Cout}}{2} \quad (2.78)$$

2.6.7 Capacitor Boost

A corrente no capacitor boost é proporcional a corrente IRS apresentada na Figura 26a, mas sem o nível médio da corrente de carga. Em um mesmo ciclo de comutação, ambos os indutores L_{in1} e L_{in2} descarregam através de C_b e a corrente retificada é integrada para cada meio ciclo da rede.

$$IC_{b-rms}^2 = \frac{2}{\pi T_s} \int_0^\pi \int_0^{td} \left[\frac{V_o - V_{Cf1}(t)}{L_{in1}} \cdot t \right]^2 dt d\omega \quad (2.79)$$

$$VC_{b-max} = V_o + \frac{\Delta V_{Cout}}{2} \quad (2.80)$$

2.6.8 Capacitor de Saída

A corrente nos capacitores de saída é proporcional a diferença entre a corrente do indutor L_M e a corrente de carga.

$$IC_{o-rms}^2 = \frac{1}{2\pi T_s} \int_0^{2\pi} \int_0^{\frac{T_s}{2}} \left(\frac{V_o}{8L_M} t - \frac{V_o}{R} \right)^2 dt d\omega + \frac{1}{2\pi T_s} \int_0^{2\pi} \int_{\frac{T_s}{2}}^{T_s} \left(-\frac{V_o}{8L_M} t + \frac{V_o}{R} \right)^2 dt d\omega \quad (2.81)$$

Como o barramento de saída é composto por um divisor capacitivo, cada capacitor suporta metade da tensão de saída.

$$VC_{o-max} = \frac{V_o}{2} + \frac{\Delta V_{Cout}}{4} \quad (2.82)$$

2.6.9 Indutor Acoplado

O valor eficaz de corrente no indutor acoplado é calculado a partir da diferença dos resultados de valor eficaz das correntes do capacitor de saída e carga.

$$IL_{M-rms} = \sqrt{IC_{o-rms}^2 + \left(\frac{V_o}{R}\right)^2} \quad (2.83)$$

A tensão imposta sobre o indutor acoplado é proporcional a tensão de barramento.

$$VL_{M-max} = \frac{V_o}{2} + \frac{\Delta V_{Cout}}{4} \quad (2.84)$$

2.7 ANÁLISE DE COMUTAÇÃO

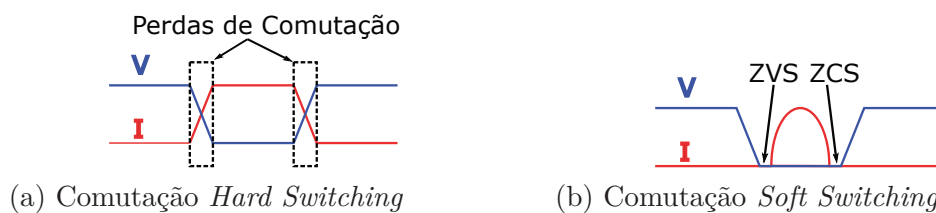
2.7.1 Comutação com Perdas e Comutação Suave

Quando um interruptor está em condução e é comandado a bloquear, a tensão de bloqueio aumenta proporcionalmente ao carregamento das capacitâncias intrínsecas. Durante essa transição, a corrente no canal diminui, e em certo ponto ocorre a sobreposição dos sinais de corrente e tensão, gerando dissipação de potência.

De forma inversa, quando o interruptor é comandado a conduzir ocorre sobreposição durante o descarregamento das capacitâncias intrínsecas e a elevação da corrente no canal.

A dinâmica do processo é basicamente a mesma, seja o componente um diodo, MOSFET ou IGBT, e esse processo de comutação com perdas é denominado de *Hard Switching* (Figura 32a). É possível amenizar essas perdas escolhendo semicondutores com características rápidas de comutação, ou limitando a frequência de comutação do projeto. A primeira opção agrega maiores custos com semicondutores, pois é necessário investir em tecnologias superiores, sem contar no incremento de interferência eletromagnética causado pelo aumento na velocidade de comutação, já a segunda opção acarreta em elementos passivos mais volumosos e caros.

Figura 32 – Tipos de Comutação



Fonte: Elaborado pelo Autor

Uma solução desenvolvida por engenheiros para contornar o *Hard Switching* é a anulação do sinal de tensão enquanto o sinal de corrente está em transição para a condução

do semicondutor, ou, de forma recíproca, a anulação do sinal de corrente enquanto o sinal de tensão está em transição no bloqueio do semicondutor.

Essas soluções são nomeadas de ZVS (*Zero Voltage Switching*) e ZCS (*Zero Current Switching*) respectivamente, e são comutações do tipo *Soft Switching*, pois a transição do estado de comutação do componente ocorre sem dissipação de perdas (Figura 32b).

2.7.2 Comutação ZVS nos Interruptores

Os interruptores S_1 e S_2 entram em condução via ZVS pela ressonância entre o indutor L_{in} e a capacitância C_s ($C_s = C_{oss}$) nas etapas de operação 4 e 8. A ressonância não necessita de adição de componentes externos, ela ocorre envolvendo a capacitância C_{oss} intrínseca ao interruptor juntamente com o indutor Boost da célula adjacente.

Para manter a comutação ZVS, além de utilizar modulação em frequência é necessário que o indutor L_{in} tenha uma energia maior que a capacitância C_s , para que ela descarregue totalmente até o fim da transição (equação 2.85). As condições críticas para ter a comutação ZVS ocorrem em baixa tensão de entrada e alta frequência de comutação.

$$\frac{1}{2}C_s V_o^2 < \frac{1}{2}L_{in} I_{pk}^2 \quad (2.85)$$

Caso a energia de C_s seja maior, ocorre o processo de *Quasi-Resonant Soft Switching*. Nessa situação, o capacitor C_s descarrega parcialmente até que o indutor L_{in} desmagnetize. A carga restante é drenada pela corrente do canal do interruptor, portanto, a parte inicial da comutação é *Soft Switching* e a parte final é *Hard Switching*.

2.7.3 Retificação Síncrona

As perdas de condução em diodos de pontes retificadoras degradam a eficiência de fontes PFC, já que elas são proporcionais ao produto da queda de tensão direta (V_f) e a corrente direta (I_f).

Uma solução mais eficiente é a utilização de retificação síncrona, em que os diodos são substituídos por MOSFETs operando no 3º quadrante. Assim, com a corrente circulando pelo canal do interruptor, a potência dissipada fica vinculada a resistência de condução $R_{ds(on)}$ e não mais a V_f .

Como apresentado por (YANG, 2003) essa técnica passou a ser utilizada em outros conversores contendo diodos, não sendo exclusivamente para circuitos de retificação. A ideia é escolher um interruptor que possua uma resistência de condução baixa o bastante para que a corrente reversa circule do *source* ao *drain* toda vez que a queda tensão da junção for inferior ao do diodo intrínseco.

O retificador estudado pode aplicar essa técnica em S_1 e S_2 , logo após ocorrer o ZVS, a corrente equivalente está sempre no sentido *source* - *drain*. Portanto, a corrente

tenderá a circular pelo caminho com menor queda de tensão, seja pelo diodo ou pela junção do interruptor.

Como a corrente dos interruptores tem um formato senoidal retificado, nem sempre será possível assegurar a retificação síncrona em todos ciclos de comutação, principalmente quando o conversor estiver operando em potências maiores. Mas é válido escolher um interruptor que assegure a retificação síncrona para aumentar a eficiência da topologia, já que normalmente no caso de MOSFETs, os diodos intrínsecos tendem a gerar mais perdas do que a junção do canal.

Mesmo que o conversor opere em potência elevada, ou com frequências de comutação maiores, aonde as perdas de condução não são a principal preocupação, é importante escolher um interruptor visando a retificação síncrona para os casos em que a tensão instantânea de entrada for menor ou para operação em baixa carga.

2.7.4 Comutação Suave nos Diodos

Além das perdas de comutação, os diodos também sofrem com perdas por recuperação reversa quando entram em bloqueio. Toda vez que um diodo é polarizado reversamente, é necessário remover o excesso de portadoras minoritárias para que a junção consiga bloquear tensões negativas. Uma corrente no sentido cátodo-anodo surge com o objetivo de extrair essa energia, dando origem as perdas por recuperação reversa.

A Figura 33 mostra a corrente no diodo durante o bloqueio. Toda a área hachurada representa a carga de portadores minoritários (Q_{rr}) que são removidos da junção e quantificam as perdas por recuperação reversa. Q_{rr} é influenciado por vários fatores, dentre eles a tensão e a corrente no instante da entrada em bloqueio.

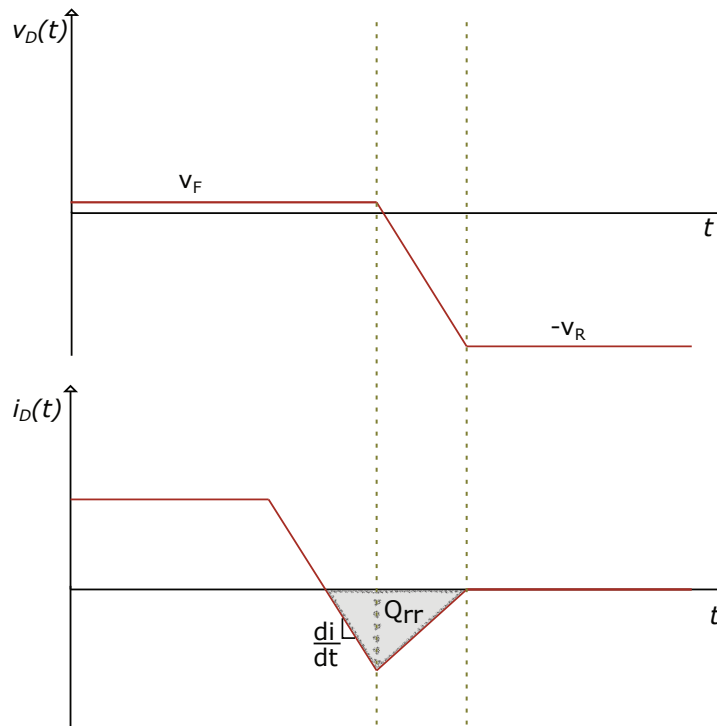
Conforme (YANG, 2003) é possível fazer a comutação suave (*Soft Switching*) de diodos intrínsecos em interruptores, eliminando tanto as perdas de comutação, quanto as de recuperação reversa. No caso do autor, a técnica foi aplicada em um conversor ressonante LLC com interruptores em ponte.

A topologia estudada apresenta características compatíveis referente a modulação e disposição dos componentes para replicar a mesma técnica. Nesse caso, a corrente do interruptor começa no 3º quadrante, circulando do *source* para o *drain*, mas acaba revertendo a direção e indo para o 1º quadrante. Quando ela passa a circular no sentido *drain - source*, polariza reversamente o diodo com o valor da tensão de condução do canal.

As perdas por recuperação reversa são proporcionais a carga (Q_{rr}), que por sua vez depende da tensão aplicada sobre o diodo ($Q_{rr} = C_j \times V_D$). Como a tensão de condução do canal é menor que a tensão de bloqueio do interruptor/diodo, Q_{rr} diminui de forma significativa e as perdas por recuperação reversa também.

As perdas de comutação também são eliminadas, pois no momento em que a tensão reversa é aplicada sobre o diodo intrínseco toda a corrente está circulando pela junção do

Figura 33 – Corrente de recuperação reversa no diodo



Fonte: Elaborado pelo Autor

interruptor.

Os diodos de retificação também não sofrem com perdas de comutação no bloqueio ou com perdas de recuperação reversa, pois a corrente em L_{in} é descontínua. No final de cada desmagnetização a corrente nos diodos se anula e os mesmos entram em bloqueio naturalmente via ZCS.

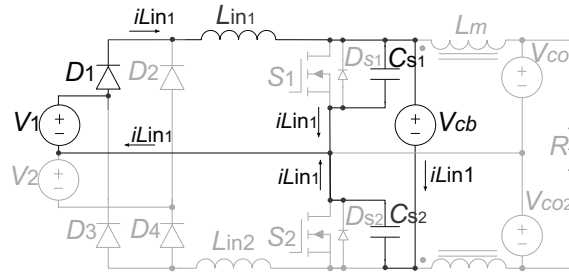
2.7.5 Tempo Morto Mínimo para Assegurar ZVS

A análise do tempo de comutação é feita para ter conhecimento da taxa de carregamento e descarregamento dos capacitores C_s . O resultado é utilizado para ajustar o tempo morto do circuito de comando, garantindo que não haja curto de braço e que o interruptor a ser acionado tenha sua respectiva capacitância totalmente descarregada antes de iniciar a condução, garantindo o ZVS.

A etapa de comutação é rápida o bastante de forma a não enxergar variação da tensão de entrada, então na análise todos os capacitores são considerados fontes de tensão constantes. Como os tempos de comutação são iguais em ambas etapas, é apresentado somente os cálculos da quarta etapa de operação.

Fazendo uma análise nodal na Figura 34, é constatado que a corrente do interruptor S_1 é igual a soma das correntes que circulam através dos capacitores C_{s1} e C_{s2} (equação

Figura 34 – Comutação dos interruptores na Quarta Etapa de Operação



Fonte: Elaborado pelo Autor

2.86).

$$i_{l1}(t) = i_{C_{s1}}(t) + i_{C_{s2}}(t) \quad (2.86)$$

A equação 2.86 pode ser reescrita substituindo as correntes dos capacitores C_{s1} e C_{s2} pelas equações 2.87 e 2.88 respectivamente, resultando nas equações 2.89, 2.90 e 2.91.

$$i_{C_{s1}}(t) = C_{s1} \frac{dV_{C_{s1}}(t)}{dt} \quad (2.87)$$

$$i_{C_{s2}}(t) = C_{s2} \frac{dV_{C_{s2}}(t)}{dt} \quad (2.88)$$

$$i_{l1}(t) = C_{s1} \frac{dV_{C_{s1}}(t)}{dt} + C_{s2} \frac{dV_{C_{s2}}(t)}{dt} \quad (2.89)$$

$$C_s = C_{s1} + C_{s2} \quad (2.90)$$

$$i_{l1}(t) = C_s \frac{dV_{C_{s1}}(t)}{dt} \quad (2.91)$$

É utilizado transformada de Laplace na equação (2.91) juntamente com a condição inicial do valor de tensão no capacitor C_{s1} para essa etapa de operação. Como o interruptor S_1 estava em condução até o início dessa etapa, a capacitância C_{s1} estava descarregada e sua condição inicial de tensão é nula (equação 2.92).

$$i_{l1}(s) = sC_s V_{C_{s1}}(s) - 0 \quad (2.92)$$

Além de uma equação que represente o comportamento da corrente que circula através dos capacitores, é necessário obter uma equação para a tensão no indutor L_{in1} , através da análise de malhas (equação 2.93).

$$-V_{C_{f1}} + V_{L_{in1}}(t) + V_{C_{s1}}(t) = 0 \quad (2.93)$$

A tensão no indutor L_{in1} pode ser reescrita em função da indutância (equações 2.94 e 2.95).

$$V_{Lin1}(t) = L_{in1} \cdot \frac{dV_{Lin1}(t)}{dt} \quad (2.94)$$

$$V_1 = L_{in1} \frac{di_{Lin1}(t)}{dt} + V_{Cs1}(t) \quad (2.95)$$

O próximo passo é aplicar a transformada de Laplace levando em consideração a condição inicial de corrente em L_{in1} , que é a própria corrente de pico, ou seja, $I_{Lin1} = I_{pk1}$ (equação 2.96).

$$\frac{V_1}{s} = sL_{in1}i_{Lin1}(s) - L_{in1}I_{pk1} + V_{Cs1}(s) \quad (2.96)$$

A equação (2.96) está em função da corrente no indutor L_{in1} , portanto substitui-se a equação (2.92) em (2.96), resultando nas equações 2.97 e 2.98.

$$\frac{V_1}{s} = s^2L_{in1}C_sV_{Cs1}(s) - L_{in1}I_{pk1} + V_{Cs1}(s) \quad (2.97)$$

$$V_{Cs1}(s) = \frac{V_1}{s(s^2L_{in1}C_s + 1)} + \frac{L_{in1}I_{pk1}}{s^2L_{in1}C_s + 1} \quad (2.98)$$

Outra substituição é feita, reescrevendo a equação (2.98) em função da frequência angular de ressonância entre o indutor L_{in1} e a capacitância equivalente C_s (equação 2.99), resultando na equação 2.100.

$$\omega_{os} = \frac{1}{\sqrt{L_{in1}C_s}} \quad (2.99)$$

$$V_{Cs1}(s) = \frac{V_{in1}\omega_{os}^2}{s(s^2 + \omega_{os}^2)} + \frac{L_{in1}I_{pk1}\omega_{os}^2}{s^2 + \omega_{os}^2} \quad (2.100)$$

Com a equação equivalente da tensão dos capacitores, é aplicada a transformada inversa de Laplace e reescreve-se 2.100 em 2.102, em função da impedância natural z_{os} (equação 2.101).

$$z_{os} = \sqrt{\frac{L_{in1}}{C_s}} \quad (2.101)$$

$$V_{Cs1}(t) = V_1 - V_1 \cos(\omega_{os}tC_{s1}) + I_{pk1}z_{os} \sin(\omega_{os}tC_{s1}) \quad (2.102)$$

A equação da corrente do que circula por L_{in1} (equação 2.103) pode ser obtida derivando a expressão obtida em (2.102).

$$i_{l1}(t) = C_s[V_1\omega_{os} \sin(\omega_{os}t_{Cs1}) + L_{in1}I_{pk1}\omega_{os}z_{os} \cos(\omega_{os}t_{Cs1})] \quad (2.103)$$

No final da comutação, a tensão sobre o capacitor C_{s1} altera de zero à V_o e tem-se a equação 2.104.

$$V_o = V_1 - V_1 \cos(\omega_{os}t_{Cs1}) + I_{pk1}z_{os} \sin(\omega_{os}t_{Cs1}) \quad (2.104)$$

A equação (2.104) possui duas raízes, a partir delas obtém-se uma expressão simbólica para o tempo da etapa de comutação em (2.105).

$$\left[\begin{array}{c} \arctan\left(\frac{\sqrt{8L_{in1}^2V_1V_o - 4L_{in1}^2V_o^2 + V_1^2T_s^2z_{os}^2} + V_1T_s z_{os}}{4L_{in1}V_1 - 2L_{in1}V_o}\right) \\ -2 \cdot \frac{\omega_{os}}{\omega_{os}} \\ \arctan\left(\frac{\sqrt{8L_{in1}^2V_1V_o - 4L_{in1}^2V_o^2 + V_1^2T_s^2z_{os}^2} - V_1T_s z_{os}}{4L_{in1}V_1 - 2L_{in1}V_o}\right) \\ 2 \cdot \frac{\omega_{os}}{\omega_{os}} \end{array} \right] \quad (2.105)$$

Uma das raízes da solução é fisicamente incorreta, enquanto a outra representa o tempo de comutação da topologia, para as duas raízes apresentadas, o tempo morto deve ser maior do que o primeiro termo da solução apresentada em (2.105).

3 PROJETO DO CONVERSOR

Esse capítulo apresenta o projeto do SPT, é feito um estudo para determinar os melhores parâmetros de projeto e o dimensionamento de cada componente. A topologia é projetada e comparada com um BCCM para as mesmas condições de operação para analisar a viabilidade comercial.

É apresentado as metodologias utilizadas para o projeto e cálculo de perdas nos componentes.

3.1 ESCOLHA DOS PARÂMETROS

Na seção 2.3 foi comparada o SPT com o BCCM e outros conversores similares com o objetivo de prever gastos com componentes passivos e semicondutores. Naquela análise, a comparação foi feita para um único projeto que não necessariamente corresponde ao ponto ótimo da topologia.

Encontrar o melhor ponto de operação de um conversor e otimizá-lo para essa condição é uma tarefa trabalhosa, devido ao número de variáveis contidas em um único projeto e o grau de importância de cada uma, que pode variar conforme o projetista ou aplicação.

Alguns dos parâmetros de projeto foram estipulados previamente, estes estão dispostos na Tabela 5, os demais parâmetros devem ser determinados.

Para esse projeto, a variação de potência de saída até a carga nominal é dependente do valor eficaz da tensão na entrada, como mostra a Figura 35.

Visando descobrir a faixa de potência e frequência mínima de comutação benéficas para o conversor, 6 projetos distintos são realizados e ao final, o melhor é selecionado para construção e experimentação.

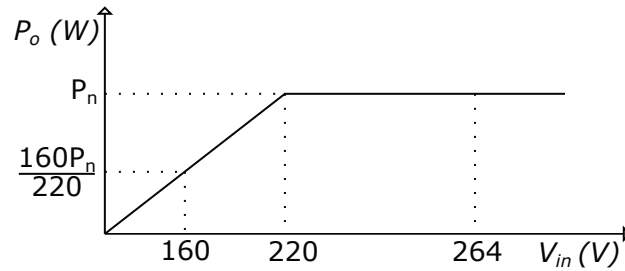
Abaixo de 1 kW, já existem diversas topologias monofásicas de complexidade menor do que o retificador estudado e que oferecem ótimos resultados quanto a eficiência e custos. Portanto, é bem provável que essa topologia seja propícia para potências iguais ou acima de 1 kW. A partir dessa hipótese, os projetos são feitos para potências de 1 e 3 kW.

Tabela 5 – Parâmetros de Projeto

Parâmetro	Valor	Unidade
Tensão de Entrada	220(160-264)	V
Tensão de Barramento	385	V
Ondulação Máxima da Tensão de Barramento	10	%
Temperatura Ambiente	65	°C
Variação Máxima de Temperatura nos Magnéticos	45	°C

Fonte: Elaborado pelo Autor

Figura 35 – Variação da potência de saída em função da tensão de entrada



Fonte: Elaborado pelo Autor

A escolha da frequência mínima de comutação influencia no volume dos indutores, além das perdas nos demais componentes. Foram arbitrados 3 valores de frequência mínima de comutação, sendo elas 20, 50 e 65 kHz.

Não foi selecionado valores de frequência abaixo de 20 kHz devido a faixa de frequências audíveis pelo ser humano (20 a 20 kHz), e nem acima 65 kHz pois é desejável que o conversor opere bem em condições de até 25 % de carga.

Exemplificando, caso a frequência mínima seja de 65 kHz, os semicondutores comutarão acima de 400 kHz com baixa carga. Portanto, foi optado por limitar a frequência para que em baixa potência o conversor não opere acima de 500 kHz. Essa decisão pode parecer conservadora, devido as vantagens de perdas de comutação existentes no conversor, mas por causa do nível de potência e dos problemas de interferência eletromagnética que se agravam nessas condições de operação, a decisão foi tomada visando maior facilidade de implementação do primeiro projeto.

Dependendo dos resultados experimentais alcançados, a escolha da frequência mínima de comutação pode ser reanalisada para futuros projetos.

Os parâmetros restantes são escolhidos a partir de simulações no *software* PSIM com variações paramétricas. Na seção 2.5 explica-se que o fator de qualidade μ_o deve ser projetado para garantir o sobre amortecimento do filtro de entrada, pois a ressonância aumenta a circulação de energia reativa nos componentes C_f , L_{in} e S , gerando mais gastos com associação de capacitores, aumento da seção transversal do enrolamento de indutores e sobredimensionamento de interruptores e dissipadores.

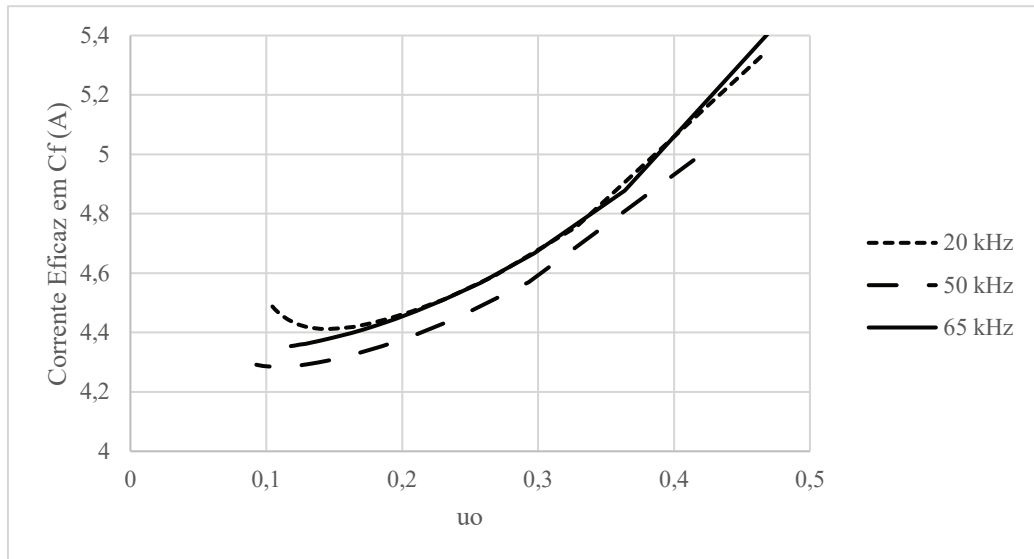
O ideal é que μ_o fique abaixo de 0,4, quanto menor for seu valor, maior é a capacitância C_f e a frequência de ressonância fica mais distante da frequência de comutação, diminuindo o valor eficaz de corrente em C_f .

As Figuras 36 e 37 apresentam o valor de corrente eficaz de C_f em função de μ_o .

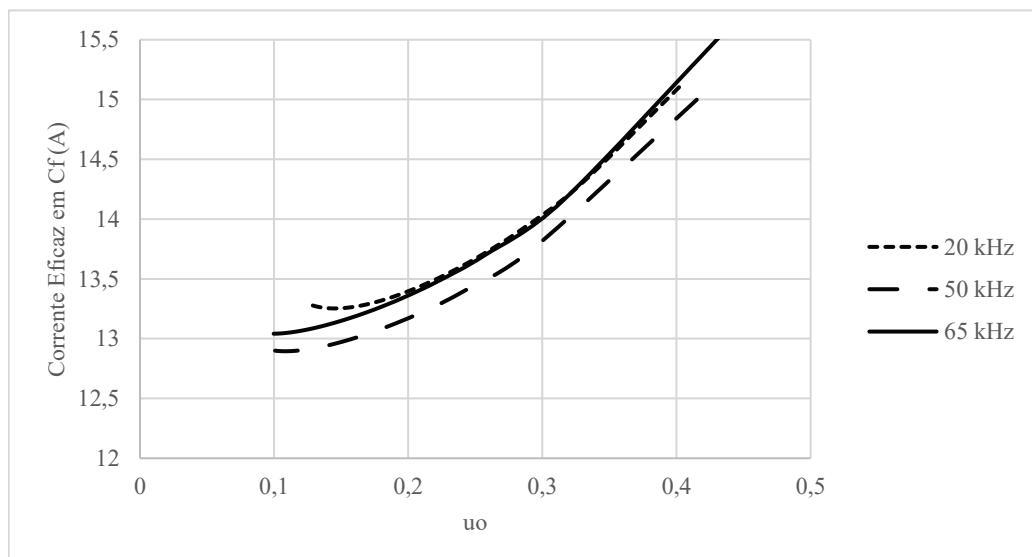
Há um mesmo padrão da variação de corrente nos 6 projetos, acima de 0,35 a relação entre as duas variáveis é praticamente linear. Já para valores abaixo de 0,35 a diminuição de corrente eficaz sofre um impacto menor. Utilizar μ_o abaixo de 0,22 gera um aumento desnecessário de capacitância, portanto são impostos os limites da inequação

(3.1).

$$0,22 < \mu_o \leq 0,35 \quad (3.1)$$

Figura 36 – Corrente eficaz em C_f para diferentes valores de μ_o em retificadores de 1 kW

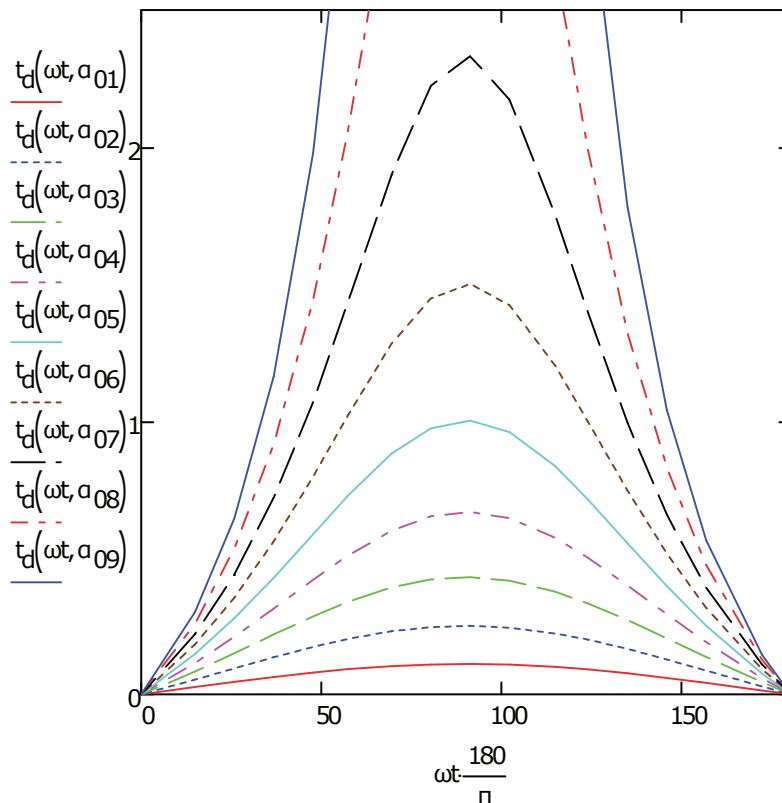
Fonte: Elaborado pelo Autor

Figura 37 – Corrente eficaz em C_f para diferentes valores de μ_o em retificadores de 3 kW

Fonte: Elaborado pelo Autor

A equação referente ao tempo de desmagnetização dos indutores L_{in} foi deduzida em (2.30), nela o ganho α varia de 0 a 0,5 conforme as tensões de alimentação e carga. Quanto menor o α , ou seja, quanto maior a tensão de saída em relação a entrada, menor é esse tempo, como apresentado na Figura 38.

Figura 38 – Tempo de desmagnetização normalizado



Fonte: Elaborado pelo Autor

A redução do tempo de desmagnetização causa diminuição no valor de corrente eficaz nos enrolamentos do indutor, diminuindo a elevação de temperatura no magnético e os gastos com cobre. O problema é que na maioria das aplicações, as tensões de entrada e de carga são dependentes da rede elétrica aonde o equipamento será usado e do conversor CC-CC/CC-CA que compõe o segundo estágio da fonte de alimentação, dificultando a possibilidade de escolher o valor de α . Mas mesmo assim, é importante deixar claro que a elevação do ganho dessa topologia impacta na economia com condutores para os indutores L_{in} .

O capacitor C_b é projetado para uma ondulação máxima de alta frequência de 5 %. O valor de capacitância é calculado para o caso de maior tensão de entrada, pois é quando a ondulação de tensão no capacitor é máxima.

O valor real da capacitância é dependente da magnitude da corrente de desmagnetização, que pode exigir associação de capacitores e um sobredimensionamento da capacitância pré calculada.

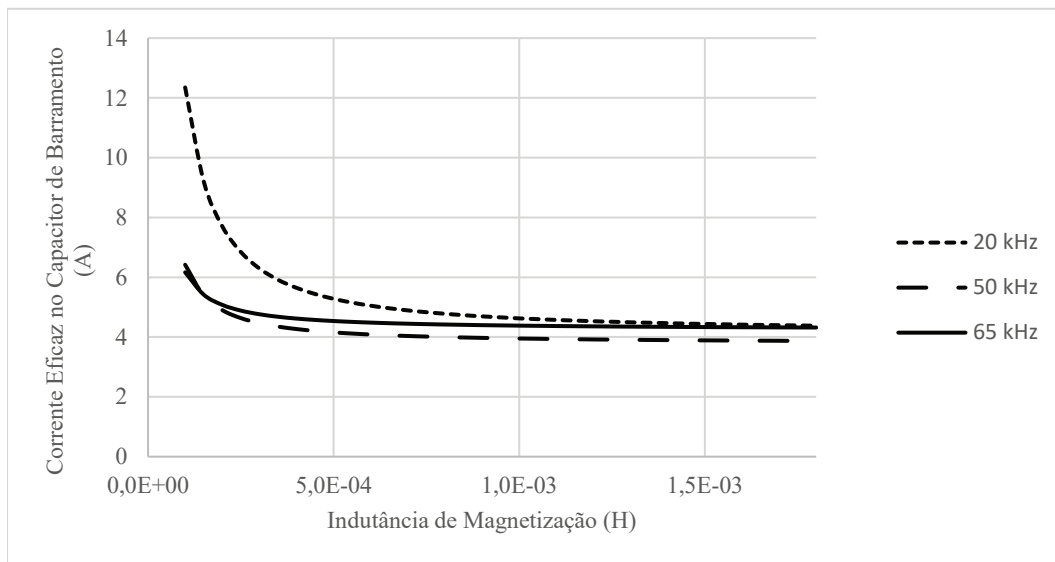
A indutância L_c é projetada a partir da ondulação de corrente na carga e tem como objetivo amenizar a corrente de modo comum gerada por C_b . Seu valor não deve ser muito pequeno pois aumentaria a bitola dos enrolamentos e o valor eficaz de corrente em C_o drasticamente, nem muito alto pois elevaria o custo de L_c e aumentaria as perdas por

condução no cobre, sem causar tanto impacto na redução da corrente eficaz de C_o .

As Figuras 39 e 40 apresentam valores de corrente eficaz de C_o para diferentes L_c . Nessas figuras fica visível que o valor de corrente eficaz em C_o sofre bastante variação até certos valores de indutância.

Analisando o impacto de corrente eficaz *versus* a indutância de magnetização é visto que para garantir um projeto otimizado, a ondulação de corrente deve ser metade ou igual ao valor médio da corrente de carga (É considerado que a ondulação de corrente seja proporcional a corrente de pico). Para os projetos analisados, é adotado que a ondulação da corrente de magnetização é proporcional a corrente de carga.

Figura 39 – Corrente eficaz em C_o para diferentes L_c nas topologias de 1 kW

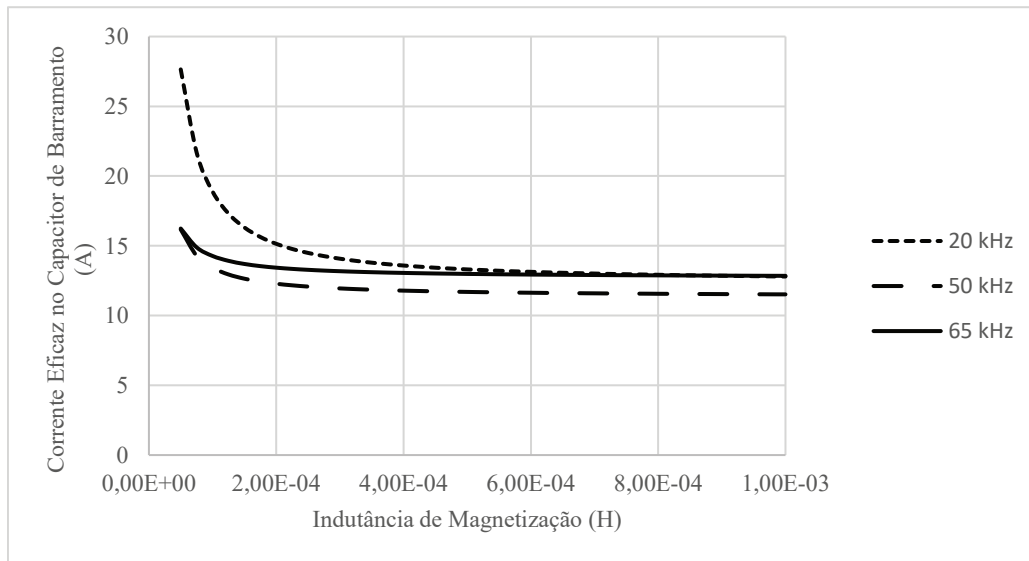


Fonte: Elaborado pelo Autor

As indutâncias de dispersão de L_c podem ser utilizadas como filtro para as componentes de modo diferencial reduzindo ainda mais a corrente eficaz em C_o sem haver necessidade de adicionar componentes extras. Mas esse ganho econômico com capacitores impacta na eficiência do retificador, elevando as perdas e a temperatura do magnético, então é importante encontrar um meio termo.

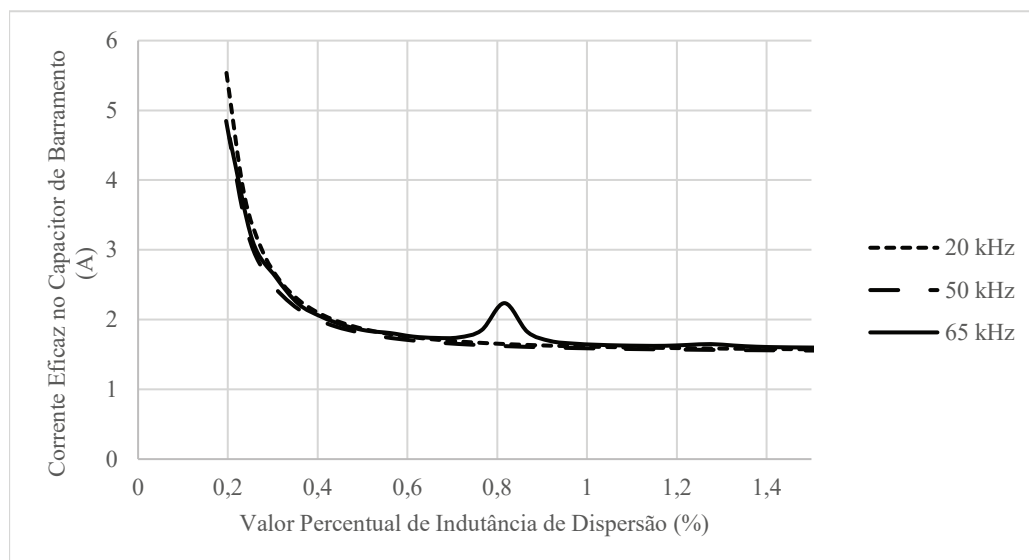
Para quantificar o impacto da indutância de dispersão $L_{c,lk}$ os mesmos projetos analisados anteriormente foram utilizados nas Figuras 41 e 42, neles, foi utilizado um valor de L_c para ondulação de corrente proporcional a corrente de carga.

A partir dos resultados obtidos, nota-se que a corrente eficaz reduz consideravelmente para valores de dispersão entre 0,5 até 1 % do valor de indutância de magnetização. A partir de 1 % o valor de corrente fica praticamente estável, portanto é importante que $L_{c,lk}$ esteja entre 0,5 e 1 % para garantir redução da corrente imposta em C_o sem que haja perdas excessivas na eficiência.

Figura 40 – Corrente eficaz em C_o para diferentes L_c nas topologias de 3 kW

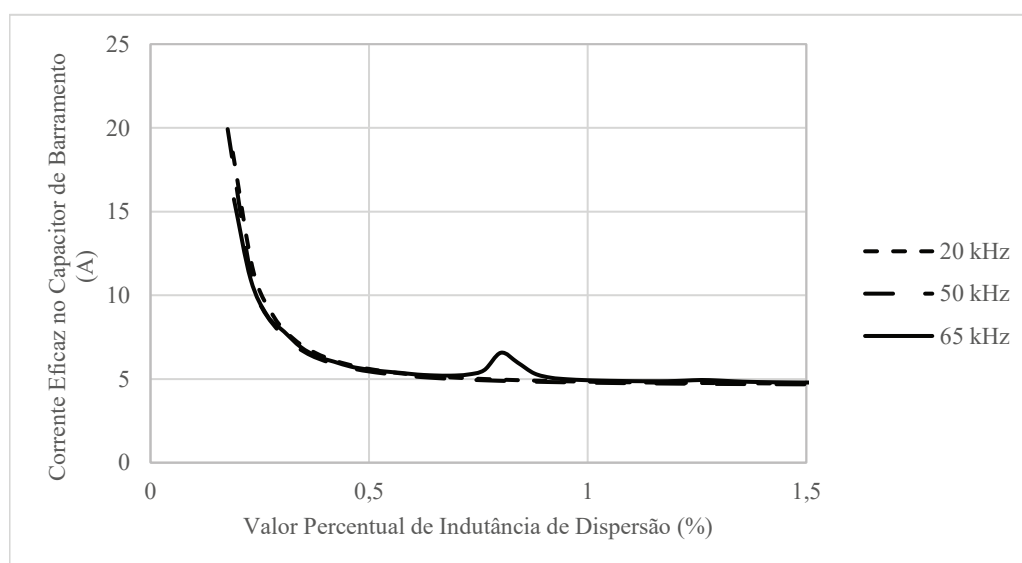
Fonte: Elaborado pelo Autor

Os novos parâmetros são apresentados na Tabela 6.

Figura 41 – Variação do valor de corrente eficaz nos capacitores de barramento em função de diferentes $L_{c,lk}$ para os projetos de 1 kW

Fonte: Elaborado pelo Autor

Figura 42 – Variação do valor de corrente eficaz nos capacitores de barramento em função de diferentes $L_{c,lk}$ para os projetos de 3 kW



Fonte: Elaborado pelo Autor

Tabela 6 – Novos Parâmetros de Projeto

Parâmetro	Resultado	Unidade
Potência de Saída	1k ou 3k	W
Frequência mínima de comutação	20k, 50k ou 65k	Hz
Fator de ressonância	0,25	–
Ondulação Máxima da Tensão do Capacitor Boost	5	%
Ondulação máxima de corrente em L_c	I_o	A
Máximo valor de dispersão em L_c	1	%

Fonte: Elaborado pelo Autor

3.2 DIMENSIONAMENTO DOS ELEMENTOS MAGNÉTICOS

O conversor é composto por três elementos magnéticos, dois indutores boost DCM e um indutor de modo comum CCM. Ambos são projetados para operar em uma temperatura ambiente de 65°C com excursão máxima de 45°C .

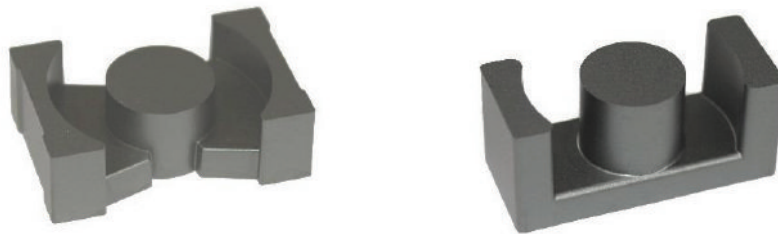
Devido a modulação em frequência é necessário utilizar núcleos de ferrite, conforme (HURLEY; WÖLFLE, 2013), eles são eficientes em aplicações de alta frequência, a variação da permeabilidade tem uma dependência maior com a elevação de temperatura e o núcleo exige valores de indução magnética baixos para causar a saturação do material, usualmente entre 0,3T a 0,5T.

Núcleos de ferrite possuem vários formatos, dentre eles podem ser destacados os núcleos E, PQ, ETD e EC, porém todos eles exigem a utilização de entreferros (*gaps*) discretos, aumentando o fluxo disperso e diminuindo a robustez do protótipo.

Nos projetos foram utilizados núcleos de ferrite da fabricante Ferroxcube, devido a

disponibilidade de compra, catálogos bem informativos e variedade de núcleos de diversos materiais. Quanto aos formatos, foi analisado a possibilidade de utilizar núcleos PQ e ETD. O núcleo PQ apresenta uma geometria circular, aonde as seções laterais do material envolvem grande parte do carretel e do enrolamento, fazendo com que haja menos fluxo disperso e diminuindo problemas de interferência eletromagnética nos componentes adjacentes. O núcleo ETD é bem similar ao núcleo E tradicional, mas a seção central é circular, diminuindo o fluxo disperso. O núcleo ETD não é tão eficiente quanto o PQ, mas custa menos e possui uma área de janela maior que o núcleo PQ para mesmos valores de seções transversais, sendo vantajoso para construção dos indutores de modo comum, onde há pouco fluxo circulando pelo núcleo e enrolamentos com bitolas maiores por causa das correntes de modo diferencial.

Figura 43 – Formato dos Núcleos Utilizados no Trabalho



(a) Núcleo PQ de Ferrite

(b) Núcleo ETD de Ferrite

Fonte: Adaptado de (FERROXCUBE, 2018)

Quanto ao tipo de ferrite, é priorizado o uso de núcleos que são formados pelos materiais 3C97 ou 3F46. Conforme (FERROXCUBE, 2018), o material 3C97 é recomendado para aplicações de média frequência de até 0,4 MHz, apresentam baixas perdas para temperaturas entre 25°C e 120°C e possuem baixa variação de permeabilidade em função do aumento de temperatura. Conforme (FERROXCUBE, 2016), o material 3F46 é desenvolvido e tem baixas perdas para aplicações em frequências acima de 0,4 MHz.

Para seleção do núcleo é utilizado o critério do produto entre a área da janela e a seção transversal do núcleo, que utiliza parâmetros geométricos disponíveis nos *datasheets*.

Para compor as espiras é utilizado fio Litz, que ajuda a minimizar efeitos pelicular e de proximidade, além de dissipar melhor o calor.

Nas subseções seguintes é explicado a metodologia utilizada no projeto do núcleo, enrolamentos e perdas.

3.2.1 Indutor Boost

3.2.1.1 Tamanho Mínimo do Núcleo

A energia armazenada em um indutor de único enrolamento, pode ser descrita em função de parâmetros elétricos ou magnéticos. Ambas as expressões são igualadas para

extração da equação simbólica do tamanho mínimo do núcleo.

$$\frac{1}{2}L_{in}I_{pk}^2 = \frac{B_{max}^2 V_c}{2\mu_r\mu_o} + \frac{B_{max}^2 V_g}{2\mu_o} \quad (3.2)$$

A mesma expressão pode ser reescrita em função do tamanho do *gap* e do contorno das linhas de campo no núcleo.

$$\frac{1}{2}L_{in}I_{pk}^2 = \frac{B_{max}^2 A_c}{2\mu_o} \left[\frac{l_c}{\mu_r} + g \right] \quad (3.3)$$

Porém, o tamanho do *gap* e o contorno das linhas de campo podem ser relacionados com a equação de Ampere.

$$NI_{pk} = H_c l_c + H_g l_g = \frac{B_{max}}{\mu_o} \left[\frac{l_c}{\mu_r} + g \right] \quad (3.4)$$

$$\frac{l_c}{\mu_r} + g = \frac{NI_{pk}}{\frac{B_{max}}{\mu_o}} \quad (3.5)$$

O número de espiras em (3.5) não é um parâmetro de projeto, então essa variável é reescrita em função da área de condução na janela do magnético e da densidade de corrente no fio. A área de condução do indutor é apresentada em (3.6).

$$W_c = NA_w = k_u W_a \quad (3.6)$$

A densidade de corrente elétrica no fio depende do valor eficaz de corrente.

$$J_o = \frac{I_{rms}}{A_w} \quad (3.7)$$

Relacionando as equações (3.6) e (3.7) obtém-se uma expressão para o número de espiras, a mesma é utilizada na equação (3.5)

$$N = \frac{k_u W_a J_o}{I_{rms}} \quad (3.8)$$

Ao manipular os termos da equação (3.5) chega-se a expressão do tamanho mínimo do núcleo para um indutor de enrolamento único. Para assegurar que não haja saturação, é determinado que somente 85% do valor máximo de indução magnética é utilizada.

$$A_c W_a = \frac{L_{in} I_{pk} I_{rms}}{0,85 B_{max} k_u J_o} \quad (3.9)$$

3.2.1.2 Entreferro

Antes de calcular o tamanho do entreferro, é preciso estimar a permeabilidade efetiva do núcleo, para isso se faz proveito das equações de energia já utilizadas em (3.3), considerando que a permeabilidade efetiva é o valor de permeabilidade equivalente entre o material magnético e o entreferro.

$$\frac{1}{2}L_{in}I_{pk}^2 = \frac{(0,85B_{max})^2 A_c l_c}{2\mu_o\mu_{eff}} \quad (3.10)$$

$$\mu_{eff} = \frac{(0,85B_{max})^2 A_c l_c}{L_{in}I_{pk}^2\mu_o} \quad (3.11)$$

O tamanho do entreferro discreto em milímetros é calculado por (3.12).

$$g = \left(\frac{\mu_i l_c - l_c \mu_{eff}}{\mu_i \mu_{eff}} \right) \times 10^3 \quad (3.12)$$

A equação pode ser simplificada caso a permeabilidade do material for bem elevada (Algo comum em núcleos de ferrite), nesse caso, o fluxo é limitado quase que exclusivamente pela relutância do entreferro e a equação (3.12) pode ser reescrita como (3.13).

$$g = \frac{l_c}{\mu_{eff}} \times 10^3 \quad (3.13)$$

3.2.1.3 Número de Espiras

Para estimar o número de espiras, é levado em consideração o fluxo magnético que atravessa a seção transversal do núcleo (3.14) e a equação de Faraday (3.15).

$$\Delta_\phi = B_{max}A_c \quad (3.14)$$

$$V_{Lin} = \frac{N\Delta_\phi}{\Delta_T} \quad (3.15)$$

Reescrevendo as equações (3.14) e (3.15) em função do fluxo magnético e as igualando obtém-se a expressão simbólica para o número de espiras em um indutor de único enrolamento.

$$V_{Lin} = \frac{NB_{max}A_c}{\Delta_T} \quad (3.16)$$

O potencial sobre os indutores boost corresponde a metade da tensão de entrada, e o tempo de magnetização é de meio período de comutação.

$$\frac{V_{in}}{2} = \frac{N0,85B_{max}A_c}{0,5T_s} \quad (3.17)$$

$$N = \frac{V_{in}}{4f_s 0,85 B_{max} A_c} \quad (3.18)$$

O pior caso para saturação do núcleo ocorre na mínima tensão de entrada, coincidindo com a menor frequência de comutação.

$$\Delta B_{max} = \frac{V_{in}}{4f_s N A_c} \quad (3.19)$$

3.2.2 Indutor de Modo Comum

3.2.2.1 Tamanho Mínimo do Núcleo

Os mesmos equacionamentos são utilizados para o indutor acoplado, havendo a modificação de alguns termos devido a presença de dois enrolamentos no núcleo.

$$\frac{1}{2} L_c I_{pkx}^2 = \frac{B_{max}^2 V_c}{2\mu_r \mu_o} + \frac{B_{max}^2 V_g}{2\mu_o} \quad (3.20)$$

O campo magnético do núcleo é proporcional a soma dos dois enrolamentos.

$$N_1 I_{pk} + N_2 I_{pk} = H_c l_c + H_g l_g = \frac{B_{max}}{\mu_o} \left[\frac{l_c}{\mu_r} + g \right] \quad (3.21)$$

A equação de Ampere é manipulada para não ficar em função do número de espiras.

$$\frac{l_c}{\mu_r} + g = \frac{N_1 I_{pk} + N_2 I_{pk}}{\frac{B_{max}}{\mu_o}} \quad (3.22)$$

$$W_c = N_1 A_{w1} + N_2 A_{w2} = k_u W_a \quad (3.23)$$

Lembrando que $N_1 = N_2 = N$ e $A_{w1} = A_{w2} = A_w$ e a bitola dos enrolamentos é reescrita em função da densidade de corrente já apresentada em (3.7).

$$N = \frac{k_u W_a J_o}{2 I_{rms}} \quad (3.24)$$

O tamanho mínimo do núcleo é dependente da corrente de magnetização, que quantifica o fluxo de modo comum que circula no núcleo.

$$A_c W_a = \frac{L_c I_{pkx}^2 I_{rms}}{0,85 B_{max} k_u J_o I_{pk}} \quad (3.25)$$

3.2.2.2 Entreferro

A permeabilidade efetiva é obtida através das equações de energia da indutância de magnetização.

$$\frac{1}{2}L_c I_{pkx}^2 = \frac{0,85B_{max}^2 A_c l_c}{2\mu_o \mu_{eff}} \quad (3.26)$$

$$\mu_{eff} = \frac{(0,85B_{max})^2 A_c l_c}{L_c I_{pkx}^2 \mu_o} \quad (3.27)$$

As equações que dimensionam o tamanho do entreferro já foram explicadas em (3.12) e (3.13), as mesmas continuam válidas para o indutor acoplado, o que altera é a permeabilidade efetiva.

3.2.2.3 Número de Espiras

A equação de fluxo magnético apresentado em (3.14) e a lei de Faraday em (3.15) são utilizadas para estimar o número de espiras. O valor de indução magnética máxima é dividida por dois, já que há dois enrolamentos com o mesmo número de espiras compartilhando o núcleo.

$$V_{L_c} = \frac{NB_{max}A_c}{2\Delta_T} \quad (3.28)$$

Cada enrolamento é magnetizado por meio período de comutação e estão sujeitos a uma tensão proporcional a metade do valor da carga.

$$\frac{V_o}{2} = \frac{N0,85B_{max}A_c}{0,5T_s 2} \quad (3.29)$$

$$N = \frac{V_o}{2f_s 0,85B_{max}A_c} \quad (3.30)$$

A condição crítica para saturação do material magnético ocorre com tensão de entrada mínima e carga nominal, condição para o menor valor de frequência de comutação.

$$\Delta B_{max} = \frac{V_o}{4f_s N A_c} \quad (3.31)$$

3.2.3 Seção do Fio e Fator de Ocupação

A mínima seção transversal do fio é calculada em mm^2 a partir do valor eficaz de corrente de cada enrolamento e do valor estimado de densidade de corrente elétrica J_o de

500 A/cm².

$$A_w = \frac{I_{rms}}{J_o} \times 100 \quad (3.32)$$

Como foi optado por utilizar fio Litz, é esperado que haverá certa quantidade de condutores em paralelo para compor a área de fio estimada em (3.32). O número de condutores em paralelo é calculado pela razão da seção obtida em (3.32) e a seção do condutor litz pré escolhido.

$$n_{cond} = \frac{A_w}{A_{wlitz}} \times 100 \quad (3.33)$$

Conforme o fabricante e a bitola do condutor, o fio Litz possui várias configurações quanto ao número de condutores em paralelo. Caso seja necessário dispor mais de um cabo de fio Litz em paralelo, o número de cabos é calculado a partir do número de condutores em paralelo por cabo Litz.

$$n_{cabolitz} = \frac{n_{cond}}{n_{fios,litz}} \quad (3.34)$$

O fator de ocupação define o valor percentual de área ocupado pelas espiras em razão da área disponível na janela do núcleo. No caso de utilização de núcleos com entreferros discretos e fio litz, (KAZIMIERCZUK, 2014) recomenda que o fator de ocupação fique em torno de 0,5 a 0,6.

$$K_u = \frac{\sum_{i=1}^x N A_{wlitz} n_{cond} 10^{-6}}{W_a} \quad (3.35)$$

Onde x é o número de enrolamentos contidos no magnético.

3.2.4 Perdas nos Enrolamentos

3.2.4.1 Perdas DC

Os enrolamentos possuem uma resistência DC equivalente que depende da geometria, temperatura e material do condutor. Essa resistência gera perdas no indutor, denominada de perdas DC.

Antes de calcular as perdas, é necessário estimar o valor da resistência elétrica do fio para a temperatura ambiente de operação do protótipo.

A equação da resistência DC é apresentada em (3.36), aonde MLT é o comprimento médio de uma espira em metros (MLT - mean length of a turn), ρ_T é a resistividade do

cobre corrigida para o valor de temperatura ambiente em regime de operação e ρ_o é a resistividade do cobre de $1,72 \times 10^{-8} \Omega m$ para uma temperatura de $20^\circ C$.

$$R_{DC} = \frac{MLT\rho_T N}{A_{wiltz} n_{cond} 10^{-6}} \quad (3.36)$$

$$\rho_T = \rho_o [1 + \alpha (T_{max} - T_{amb})] \quad (3.37)$$

$$T_{max} = T_{amb} + \Delta_{Temp} \quad (3.38)$$

As perdas DC são calculadas a partir do somatório das resistências equivalentes de cada enrolamento e seus respectivos valores de corrente eficaz.

$$P_{DC} = \sum_{i=1}^x R_{DC} I_{rms}^2 \quad (3.39)$$

3.2.4.2 Perdas AC

Correntes com componentes alternadas que circulam pelos enrolamentos induzem uma força eletromotriz (EMF - Eletromotive Force) com polaridade de tal forma que o fluxo gerado seja oposto ao fluxo da corrente do enrolamento, fato explanado pela Lei de Lenz. Essas correntes induzidas pelo fluxo contrário são conhecidas como correntes de Eddy, elas circulam pelo enrolamento cancelando uma parcela da corrente que passa pela parte central do cabo, enquanto incrementam a parcela de corrente que circula perto da superfície.

Esse fenômeno é denominado efeito *skin*, e tende a ser mais evidente conforme a frequência do sinal aumenta, diminuindo a área "útil" de circulação de corrente no condutor e gerando mais perdas de condução nos enrolamentos. A equação (3.40) quantifica a profundidade de penetração do efeito *skin* em função da bitola do fio para uma corrente senoidal.

$$\delta(f) = \sqrt{\frac{\rho_T}{\pi f_s \mu_o}} \quad (3.40)$$

Quando há mais camadas de fio no enrolamento, o mesmo efeito é propagado para os outros condutores, ou seja, cada fio começa a induzir correntes de Eddy nos condutores adjacentes, deteriorando a eficiência do indutor. Esse segundo fenômeno é conhecido como efeito de proximidade e ambos são problemas comuns encontrados em projeto de indutores de alta frequência.

Esses efeitos são minimizados utilizando condutores com seções reduzidas, assim a corrente equivalente de cada fio diminui e consequentemente a corrente induzida. A

utilização de fio litz proporciona uma redução nas perdas por efeito skin e por efeito de proximidade.

Em (HURLEY; WÖLFLE, 2013) e (KAZIMIERCZUK, 2014) são apresentadas metodologias para estimar a resistência equivalente do fio para cada harmônico de corrente e a partir disso, estimar as perdas AC do magnético.

As resistências AC são calculadas fazendo o produto entre resistência DC e um fator F_R fornecido por (KAZIMIERCZUK, 2014), que leva em consideração um enrolamento feito a partir de fio litz ou fios em paralelo.

$$R_{AC}(f) = R_{DC}F_R(f) \quad (3.41)$$

N_l é o número de camadas não inteiro, k o número de fios em paralelo por enrolamento, d_e o diâmetro equivalente do conjunto de k fios em paralelo, d_i o diâmetro do fio nú do condutor e η_o é o fator de porosidade.

$$F_R(f) = A_f \left[\frac{\sinh(2A_f) + \sin(2A_f)}{\cosh(2A_f) - \cos(2A_f)} + \frac{2(N_l^2k - 1)}{3} \frac{\sinh(A_f) - \sin(A_f)}{\cosh(A_f) + \cos(A_f)} \right] \quad (3.42)$$

$$A_f = A(f) = \left(\frac{\pi}{4} \right)^{\frac{3}{4}} \frac{d_e}{\delta(f) \sqrt[4]{k}} \sqrt{\eta} \quad (3.43)$$

$$d_e = d_e \sqrt{k} \quad (3.44)$$

$$\eta = 0,9 \frac{d_e}{d_i} \quad (3.45)$$

A potência dissipada em um enrolamento para um ciclo de rede é calculado com a equação (3.46), onde n é o número do harmônico e I_{n-rms} é o seu respectivo valor eficaz.

$$P_{AC} = \sum_{i=2}^n I_{n-rms}^2 R_{AC}(f) \quad (3.46)$$

A potência total dissipada nos enrolamentos é a soma das perdas geradas pelas resistências DC e AC para cada enrolamento que compõe o magnético.

$$P_{wire} = \sum_{i=1}^x P_{DC} + P_{AC} \quad (3.47)$$

3.2.5 Perdas no núcleo

A equação geral de Steinmetz (GSE - *Generalized Steinmetz Equation*) apresentada em (3.48) é utilizada para calcular as perdas em materiais magnéticos, aonde os parâmetros

K_c , α e β são encontrados no catálogo do fabricante para cada material em específico. O problema é que (3.48) só é válida para excitações senoidais ou com pouca distorção harmônica.

$$P_{fe} = V_c K_c f_s^\alpha B_{mean}^\beta \quad (3.48)$$

A equação (3.48) é utilizada no projeto do indutor CCM, por causa da pequena variação do nível de corrente nas etapas de magnetização a cada ciclo de comutação. Em L_{in} não é possível utilizar a mesma equação pois a distorção de corrente é muito grande, então as perdas no ferro tomam uma boa parcela da potência total dissipada no indutor.

Essas perdas acontecem por causa da elevada variação de corrente durante a magnetização, que ocasiona grande variação de campo magnético nos domínios¹ do material ferromagnético, impondo múltiplos reajustes dos *spins*² para se alinhar ao campo imposto. Esse reajuste de *spins* é um dos principais responsáveis pelas perdas no núcleo, e dependem majoritariamente do formato da corrente de excitação.

Uma abordagem interessante para cálculo de perdas em indutores PFC é apresentada em (VENKATACHALAM et al., 2002). No artigo, o autor propõe uma modificação em (3.48) e chama de *Improved Generalized Steinmetz Equation* ou iGSE.

A iGSE permite calcular as perdas no núcleo para excitações não senoidais, separando a trajetória do fluxo magnético em *loops* maiores e menores (*major loops* e *minor loops* respectivamente), sendo mais precisa que as equações MSE (*Modified Steinmetz Equation*) e GSE propostas previamente.

Em componentes magnéticos, o termo *minor loop* é definido como qualquer ciclo fechado da curva de histerese que não atinja a saturação do núcleo. Já o *major loop* é o ciclo fechado com maior excursão da curva de histerese, podendo conter diversos *minor loops*.

A equação iGSE é apresentada em (3.49), e faz uso dos coeficientes de Steinmetz e da forma de onda da densidade de fluxo $B(t)$.

$$P_v = \frac{ki(\Delta B)^{\beta-\alpha}}{T_p} \sum_m \left| \frac{B_{m+1} - B_m}{t_{m+1} - t_m} \right|^\alpha (t_{m+1} - t_m) \quad (3.49)$$

$$ki = \frac{k_c}{(2\pi)^{\alpha-1} \int_0^{2\pi} |\cos \theta|^\alpha 2^{\beta-\alpha} d\theta} \quad (3.50)$$

¹ São denominações de inúmeras regiões minúsculas, onde cada uma delas os átomos estão alinhados de forma que todos os seus campos magnéticos apontam no mesmo sentido, comportando-se como pequenos ímãs permanentes.

² É a orientação ou movimentação de átomos ao serem imersos em um campo magnético.

A perda total no núcleo é calculada pelo somatório de perdas nos *minors* e *major loop* (equação 3.51).

$$P_{fe} = V_c \cdot \left(P_{V-major} + \sum_{n=1}^{N_{minors}} P_{V-minor}(n) \right) \quad (3.51)$$

3.2.6 Elevação de Temperatura

O cálculo da elevação de temperatura exige o conhecimento da resistência térmica do magnético, variável que depende do volume do núcleo e que muitas vezes não é disponibilizada pelo fabricante, e quando disponibilizada, é a partir de dados empíricos.

Em (HURLEY; WÖLFLE, 2013) é apresentado a equação (3.52), que relaciona a resistência térmica do núcleo exclusivamente com seu volume. Devido a praticidade da equação, foi utilizada para estimar a resistência térmica dos núcleos da Ferroxcube, uma vez que essas informações não foram descritas nos catálogos. A resistência térmica R_θ é medida em $^{\circ}C/W$ para volume em m^3 .

$$R_\theta = \frac{0,06}{\sqrt{(V_c)}} \quad (3.52)$$

3.2.7 Algoritmo e Resultados de Simulação

Foi construído um algoritmo no *software* MatLab para o projeto otimizado dos indutores e os resultados são apresentados nas Tabelas 7 e 8.

Para a comparação ser justa, as mesmas técnicas de dimensionamento foram aplicadas nos 6 projetos, respeitando alguns requisitos:

1) A escolha do fator de ocupação do magnético é feita conforme explicado em (MCLYMAN, 2016), a partir do produto entre 4 fatores (cada um deles podendo variar de 0 a 1):

- *Wire Insulation*: É a razão entre a área de condução de cobre e a área total do fio (área de cobre somado a área de encapsamento). Para o fio Litz, esse fator resulta em 0,769.

- *Fill Factor*: É a forma como os fios são dispostos dentro do carretel. Considerando uma disposição do tipo quadrangular o fator fica em torno de 0,61.

- *Effective Window*: É o espaço da janela do núcleo que o carretel ocupa. No caso do algoritmo feito, a parcela ocupada pelo carretel foi descontada da área da janela de cada núcleo, então esse fator permanece unitário. Para casos em que se desconhece o carretel a ser utilizado, normalmente utiliza esse fator como 0,75 para núcleos PQ e ETD, considerando que o carretel irá ocupar aproximadamente 25 % da janela do núcleo.

- *Insulation Factor*: É a porção de área ocupada por isolamentos entre camadas. Considerando fator unitário para um indutor de único enrolamento e uma redução de 5%

para cada camada de isolante ou enrolamento extra adicionado ao magnético. No projeto dos indutores foi considerado um fator de 0,85.

A partir dessa análise é delimitado que o fator de ocupação fique entre 0,4 a 0,45 para os indutores L_{in} e L_c .

2) A densidade de corrente elétrica admissível na seção do condutor deve ficar entre 350 a 500 A/cm². A escolha foi feita levando em consideração que acima de 500 A/cm² as perdas de condução e sobreaquecimento dos condutores se tornam críticas no magnético, e abaixo de 350 A/cm² há pouca viabilidade de aplicação comercial, pois exige gastos demasiados com cobre para atender o aumento da seção dos fios.

3) Para respeitar os requisitos descritos nos dois itens anteriores, juntamente com o projeto otimizado de perdas e tamanho do núcleo, é levado em consideração associação série de magnéticos para L_{in} e em paralelo para L_c .

4) Para todos projetos foi considerado exclusivamente o uso de fio litz 22×38 AWG com revestimento de polyester, devido a disponibilidade de compra em mercado nacional, juntamente com o baixo impacto de perdas de condução AC.

5) Como descrito na seção anterior, todos os magnéticos são projetados para operar em uma temperatura ambiente de 65 °C, com excursão máxima de 45 °C, utilizando núcleos de ferrite 3C97 do tipo ETD ou PQ. Os núcleos com material 3F46 foram descartados da análise comparativa por causa do custo elevado do material, e também pela dificuldade de implementação em magnéticos que processam potência elevada, devido as dimensões físicas limitadas dos modelos comerciais de núcleos disponíveis.

6) A indutância de L_{in} é calculada para condição crítica de operação, garantindo o modo de condução descontínua com o maior valor possível de indutância. Os enrolamentos são projetados para mínima tensão de entrada (160 V), nessa condição a frequência de comutação é mínima e o tempo de desmagnetização aumenta, elevando a corrente eficaz no enrolamento a um valor maior do que em condição nominal de operação.

7) A indutância de L_c é calculada para mínima tensão de entrada para evitar a saturação do núcleo. Nessa condição a corrente de desmagnetização de L_{in} é maior, elevando o *ripple* de tensão e da corrente de modo comum em C_b .

A seção transversal do fio é projetada para condição nominal de tensão de entrada (220V), devido a parcela de corrente diferencial que circula nos enrolamentos que é maior para condição nominal de operação.

Tabela 7 – Resultados do projeto do indutor L_{in}

Parâmetro	1kW/ 20kHz	1kW/ 50kHz	1kW/ 65kHz	3kW/ 20kHz	3kW/ 50kHz	3kW/ 65kHz
Indutância(H)	147,2 μ	59 μ	45,3 μ	(2 \times 24,5 μ) 49 μ	(2 \times 9,8 μ) 19,6 μ	15,1 μ
Núcleo	PQ 35/35	PQ 32/20	PQ 26/25	2 \times PQ 50/30	2 \times PQ 35/20	PQ 35/35
Temperatura Máxima(°C)	108	100	105	105	106	111
Corrente RMS(A)	7,11	6,79	6,82	21,4	21,43	20,44
Volume do Núcleo(cm ³)	16,3	9,44	6,53	2 \times 24,5	2 \times 11,1	16,3
Volume de Cobre por Núcleo(cm ³)	3,34	1,13	1,11	2 \times 4,99	2 \times 1,985	3,43
Núcleos Associa- dos	1	1	1	2(série)	2(série)	1
Fator de Ocupa- ção	0,4	0,39	0,43	0,41	0,44	0,4
Densidade de Corrente(A/cm ²)	400	500	500	350	420	350
Cabo Litz	22 \times 38 AWG	22 \times 38 AWG	22 \times 38 AWG	22 \times 38 AWG	22 \times 38 AWG	22 \times 38 AWG
Espiras	42	19	21	13 cada	9 cada	13
Cabos Litz Asso- ciados	10	8	8	35	29	33
Perdas Nomi- nais(W)	2,25	1,52	1,46	2 \times 2,59	2 \times 1,88	2,93

Tabela 8 – Resultados do projeto do indutor L_c

Parâmetro	1kW/ 20kHz	1kW/ 50kHz	1kW/ 65kHz	3kW/ 20kHz	3kW/ 50kHz	3kW/ 65kHz
Indutância(H)	1270 μ	510 μ	392 μ	(2//850 μ) 425 μ	170 μ	131 μ
Núcleo	PQ 50/50	PQ 35/35	PQ 32/35	2//ETD 59/31/22	ETD 59/31/22	PQ 50/50
Temperatura Máxima(°C)	104	106	102	112	104	101
Corrente RMS(A)	3,31	3,31	3,31	4,93 cada	10	9,93
Volume do Núcleo(cm ³)	37,1	16,3	13,8	2×51,5	51,5	37,1
Volume de Cobre por Núcleo(cm ³)	9,18	3,63	2,99	28,34	11,48	9,2
Núcleos Associa- dos	1	1	1	2	1	1
Fator de Ocupa- ção	0,41	0,40	0,44	0,47	0,39	0,39
Densidade de Corrente(A/cm ²)	380	500	500	350	350	350
Cabo Litz	22×38 AWG	22×38 AWG	22×38 AWG	22×38 AWG	22×38 AWG	22×38 AWG
Espiras	83	57	50	74 cada	30	26
Cabos Litz Asso- ciados	5	4	4	8	16	16
Perdas Nomi- nais(W)	3,92	2,74	2,27	2×2,92	4,63	3,69

Fonte: Elaborado pelo Autor

3.3 DIMENSIONAMENTO DOS SEMICONDUCTORES

A escolha dos semicondutores foi dividida em duas etapas, em primeiro lugar é feito a filtragem dos componentes que satisfazem as limitações descritas na seção (2.6), fazendo o uso de figuras de mérito (FOM - figure of merit). Em seguida, é montado um banco de dados com os semicondutores que têm menor FOM para utiliza-los no cálculo de perdas.

3.3.1 Figuras de Mérito

Conforme (SILICONIX, 2008), as figuras de mérito são equações cuja as variáveis são retiradas dos *datasheets* de semicondutores e utilizadas para fazer uma pré-seleção dos componentes. Quanto menor for o valor da equação, melhor é o componente para a respectiva condição.

Normalmente, as figuras de méritos envolvem o produto de duas variáveis, na maioria das vezes uma dessas variáveis está relacionada às perdas de condução e a outra às perdas de comutação. Como por exemplo na escolha de MOSFETs, a figura mais conhecida e recomendada para aplicações com *hard switching* é descrita em (3.53). A equação relaciona a resistência de condução R_{ds} e a carga entre *gate* e *drain* Q_{gd} . A ideia é encontrar componentes cujo o produto dessas duas variáveis seja o menor possível, pois quanto menor for a resistência de condução, menor será as perdas de condução, assim como quanto menor for a carga entre *gate* e *drain*, mais rápido a junção entra em condução e bloqueio, significando menores perdas de comutação.

$$FOM_{SHS} = R_{ds} \times Q_{gd} \quad (3.53)$$

A equação (3.54) é mais recomendada para aplicações em que o MOSFET é acionado com ZVS, como no caso do conversor projetado. Nessa situação, a carga do *drain* não impacta tanto nas perdas de comutação e o mais importante é possuir uma carga baixa de *gate*.

$$FOM_{SS} = R_{ds} \times Q_g \quad (3.54)$$

A figura de mérito de diodos (equação 3.55) leva em consideração a queda de tensão direta (V_f - Forward Voltage) para as perdas de condução e a carga da junção (Q_c) para as perdas de comutação.

$$FOM_{D1} = Q_c \times V_f \quad (3.55)$$

Para que a comparação seja justa, é importante escolher componentes com limitações físicas semelhantes. Também é válido destacar que as variáveis utilizadas nas equações não são estáticas, e sempre estão descritas para uma certa condição de operação (Temperatura,

frequência, tensão de bloqueio, resistência de *gate...*), então é necessário utilizá-las em condições semelhantes para evitar erros ou comparações injustas.

3.3.2 Perdas no Diodo de Retificação

As perdas de condução são calculadas de acordo com (HUANG, 2006) e a equação (3.56). O artigo considera que o modelo equivalente do diodo é uma fonte de tensão V_{fd} em série com uma resistência R_d . Ambas variáveis são dependentes da temperatura de junção (T_j) e seus valores são obtidos através da linearização da curva de queda de tensão direta (V_f) *versus* a corrente direta (I_f) (equações 3.57 e 3.58).

$$P_{D_{pontec}} = i_{D_{rms}}^2 R_d + i_{D_{avg}} V_{fd} \quad (3.56)$$

As variáveis α_d , β_d , V_{fd0} e R_{d0} são valores empíricos interpolados.

$$V_{fd} = \alpha_d T_j + V_{d0} \quad (3.57)$$

$$R_d = \beta_d T_j + R_{d0} \quad (3.58)$$

As perdas de comutação são calculadas a partir da carga Q_{cj} armazenada na capacitância de junção (C_{cj}) para determinada tensão. A equação (3.59) é apresentada em (HUANG, 2006) e (KAZIMIERCZUK, 2016).

$$P_{D_{pontesw}} = Q_{cj} V_D f_s \quad (3.59)$$

A carga Q_{cj} é calculada fazendo a integração de C_{cj} de V_f até a tensão de bloqueio V_D . O valor exato de C_{cj} é extraído via interpolação da curva de tensão *versus* C_{cj} do *datasheet* (equação 3.60).

$$Q_{cj} = \int_{V_f}^{V_D} C_{cj(v)} dv \quad (3.60)$$

Ambas as expressões (3.56) e (3.59) são generalizadas para obter a potência dissipada em um período da rede (equação 3.61 a 3.64).

$$E_{D_{pontec}} = T_s (i_{D_{rms}}^2 R_d(T_j) + i_{D_{avg}} V_{fd}(T_j)) \quad (3.61)$$

$$P_{D_{pontecr}} = f_r \sum_{n=1}^{N_{Tr}} E_{D_{pontec}(n)} \quad (3.62)$$

$$E_{D_{pontesw}} = Q_{cj} V_D \quad (3.63)$$

$$P_{D_{ponte_{swr}}} = f_r \sum_{n=1}^{N_{Tr}} E_{D_{ponte_{sw}}(n)} \quad (3.64)$$

As perdas por recuperação reversa são desprezadas já que a corrente nesses diodos se anula de forma suave quando os indutores L_{in} se desmagnetizam. Como já explicado em (2.7.4), o valor de carga de portadores minoritários Q_{rr} é fortemente influenciada pela corrente instantânea na junção durante a entrada em bloqueio, como a entrada em bloqueio ocorre com corrente nula na junção, as perdas por recuperação reversa são muito baixas.

Para escolha do diodo, é considerado como prioridade componentes com baixos valores de V_f , pois a cada ciclo de comutação haverá dois diodos da ponte retificadora constantemente polarizados e gerando perdas de condução. Também é levado em consideração a capacitância da junção, que influencia majoritariamente nas perdas por comutação na entrada em condução.

Foi feito um algoritmo no MatLab interconectado ao *software* de simulação Gecko para extrair as formas de ondas dos componentes e calcular as perdas a partir das equações apresentadas.

A seguir é especificado as tomadas de decisões para seleção de componentes e uso do algoritmo para cálculo de perdas, os principais resultados foram agrupados na Tabela 9.

1) No algoritmo não foi incluso perdas por recuperação reversa devido ao modo de operação descontínua.

2) É considerado que os componentes estejam impostos a uma temperatura de junção de 100°C em condições nominais de operação.

3) São extraídos dos *datasheets* ábacos de V_f versus I_f e C_j versus V_D para diferentes temperaturas de operação, esses dados são utilizados como base nas interpolações para calcular os valores de V_f e C_j para as condições de operação do conversor.

4) Durante a escolha dos componentes, foi consultado catálogos de vendas das empresas ST, Vishay e On Semiconductors. Elas apresentam catálogos detalhados e ábacos com as informações necessárias para o funcionamento do algoritmo.

5) São selecionados diodos ultra rápidos (UF - Ultra Fast) por que possuem baixos valores de V_f , capacitâncias de junção pequenas e uma boa eficiência em aplicações onde há comutação suave no bloqueio do diodo.

Também são escolhidos diodos Schottky SiC (Silicon Carbide) pois possuem baixas perdas de comutação e por recuperação reversa, mas possuem perdas de condução relativamente alta por causa da relação linear entre V_f e I_f .

6) Prevendo o uso de dissipadores, é incluso somente componentes que possuem *packages* do tipo PTH (*plated-through holes*).

Tabela 9 – Resultados da escolha do diodo da ponte retificadora

Parâmetro	1kW/ 20kHz	1kW/ 50kHz	1kW/ 65kHz	3kW/ 20kHz	3kW/ 50kHz	3kW/ 65kHz
Corrente Média(A)	2,1	2,1	2,1	6,43	6,42	6,42
Tensão de Bloqueio(V)	423,5	423,5	423,5	423,5	423,5	423,5
Modelo Comercial	VS-8ETL06-M3	VS-8ETL06-M3	VS-8ETL06-M3	VS-ETL1506-M3	VS-ETL1506-M3	VS-ETL1506-M3
Package	TO-220	TO-220	TO-220	TO-262AA	TO-262AA	TO-262AA
Perdas Nominais(W)	2,41	2,34	2,36	7,42	7,43	7,23

Fonte: Elaborado pelo Autor

Devido a tensão de bloqueio dos diodos ser imposta pela tensão de barramento (385V mais ondulação), é selecionado diodos com tensão de bloqueio entre 600V a 750V.

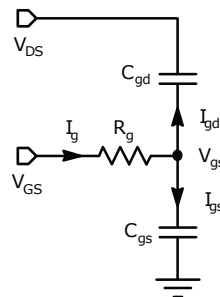
Quanto a capacidade de corrente do diodo, é escolhido diodos que suportam corrente contínua de 2 a 4 vezes o valor de corrente média máxima de cada projeto. Também deve se atentar a máxima corrente pulsada admissível em cada componente para as temperaturas de operação determinadas.

Os resultados do dimensionamento do diodo retificador são apresentados na Tabela 9.

3.3.3 Perdas MOSFET

As perdas de comutação são calculadas de acordo com (SILICONIX, 2016). O artigo analisa as entradas em bloqueio e condução com relação ao sinal de gatilho, para isso o MOSFET é representado em função das capacitâncias intrínsecas e a resistência interna de *gate* como apresentado na Figura 44.

Figura 44 – Modelo interno do mosfet

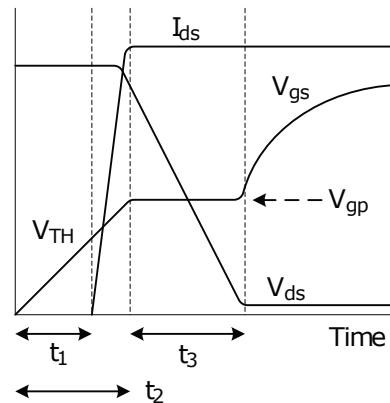


Fonte: (SILICONIX, 2016)

A Figura 45 descreve o processo da entrada em condução de um mosfet com carga

indutiva. Durante o primeiro intervalo t_1 , $v_{GS}(t)$ cresce exponencialmente, embora aparenta ter um formato linear. Nesse tempo as capacitâncias $C_{iss} = C_{gs} + C_{ds}$ e C_{gd} são carregadas até atingir a tensão de *threshold* ($v_{G(th)}$). Como C_{gs} é bem maior que C_{gd} , a corrente de gatilho flui em grande parte por C_{gs} e a carga de *gate* é considerada como Q_{gs} . Nesse intervalo, a tensão e corrente na junção *drain-source* ($v_{DS}(t)$ e $i_{DS}(t)$) não alteram.

Figura 45 – Formas de onda para entrada em condução do mosfet



Fonte: (SILICONIX, 2016)

Chegando a tensão $v_{G(th)}$, a corrente de dreno $i_{DS}(t)$ aumenta até alcançar o valor máximo no instante de tempo t_2 . Nesse momento, a tensão de *gate* está no patamar, ou *Plateau*, de Miller ($v_{GS}(t) = v_{G(pl)}$).

Em t_2 a tensão v_{DS} decresce, pois a corrente de *drain* descarrega C_{ds} . Em consequência da derivada negativa v_{DS} e da capacitância C_{gs} , a tensão no pino de *gate* mantém-se constante até que v_{DS} chegue a tensão de condução $v_{DS(on)}$. A tensão constante no pino de *gate* durante o tempo t_3 é denominada como tensão de *Plateau*.

Após $t_2 + t_3$, a tensão no pino de *gate* aumenta até a tensão do *driver* v_{GS} . A inclinação da curva de $v_{GS}(t)$ é consequência da capacitância equivalente entre C_{gs} e C_{gd} sendo carregada. Durante esse intervalo, o mosfet já está conduzindo completamente, e as perdas passam a ser contabilizadas como perdas de condução. Portanto, as perdas de comutação na entrada em condução estão contidas entre os tempos t_1 e t_3 .

Os tempos de cada etapa são equacionados para o cálculo de perdas em entrada em condução. O intervalo no qual a corrente i_{DS} cresce é denotado por t_{ir} e calculado pela equação (3.65). Na equação, $R_{G(on)}$ é a resistência equivalente no *gate* durante o processo de entrada em condução, ela é composta pela equivalência série da resistência de gatilho interna do mosfet e a resistência externa ao *gate* ($R_{G(on)} = R_{G(int)} + R_{G(ext,n)}$). A capacitância $C_{iss(VDS_{max})}$ é obtida no *datasheet* do componente nas curvas de capacitância *versus* tensão *dreno-source* no ponto onde $v_{DS}(t) = VDS_{max}$.

A tensão de *Plateau* $V_{GS(pl)}$ varia com a carga, portanto é recomendado que o valor seja retirado da curva de carga de *gate*. $V_{GS(th)}$ é a tensão de *threshold* nominal e

V_{GS} é a tensão aplicada ao *gate* pelo *driver*.

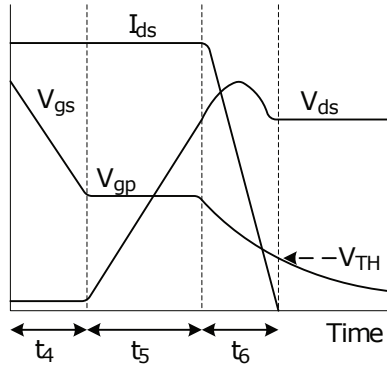
$$t_{ir} = t_2 - t_1 = R_{G(on)} C_{iss(VDS_{max})} \ln \frac{V_{GS} - V_{GS(th)}}{V_{GS} - V_{GS(pl)}} \quad (3.65)$$

O intervalo t_3 onde a tensão $v_{DS}(t)$ decresce é denotado de t_{vf} . Esse intervalo é mais trabalhoso de equacionar já que depende da capacitância de transferência reversa (C_{rss}), que varia com o valor de tensão $v_{DS}(t)$. Seu valor é calculado fazendo a integração numérica da curva de capacitância como apresentado em (3.66).

$$t_{vf} = t_3 = \frac{R_{G(on)}}{V_{GS} - V_{GS(pl)}} \int_{V_{DS(on)}}^{V_{DS}} C_{rss}(v_{ds}) dv_{ds} \quad (3.66)$$

Quando o mosfet entra em bloqueio, as etapas da tensão de *Plateau* e tensão de *threshold* ocorrem novamente, em ordem contrária, como apresentado na Figura 46. A comutação é calculada nos intervalos t_5 e t_6 .

Figura 46 – Circuito Equivalente do Mosfet para Cálculo de Perdas de Comutação



Fonte: (SILICONIX, 2016)

O intervalo de tempo que a tensão v_{DS} cresce é denotado t_{vr} , seu valor é cálculo via integração numérica da capacitância C_{rss} como é apresentado na equação (3.67), onde a resistência $R_{G(off)}$ é o resistor equivalente semelhante ao caso já explicado em t_{vf} ($R_{G(off)} = R_{G(int)} + R_{G(extoff)}$).

$$t_{vr} = t_5 = \frac{R_{G(off)}}{V_{GS(pl)}} \int_{V_{DS}}^{V_{DS(on)}} C_{rss}(v_{ds}) dv_{ds} \quad (3.67)$$

O intervalo em que a corrente de dreno decresce até anular é denominado por t_{if} e calculado em (3.68).

$$t_{if} = t_6 = R_{G(off)} C_{iss(VDS_{max})} \ln \left(\frac{V_{GS(pl)}}{V_{GS(th)}} \right) \quad (3.68)$$

As energias dissipadas nas comutações são calculadas conforme as equações (3.69) e (3.70), onde $I_{DS(on)}$ e $I_{DS(off)}$ são os valores instantâneos de corrente na junção no instante da entrada em condução e bloqueio respectivamente.

$$E_{on} = \frac{t_{ir} + t_{tvf}}{2} V_{DS} I_{DS(on)} \quad (3.69)$$

$$E_{off} = \frac{t_{if} + t_{tvr}}{2} V_{DS} I_{DS(off)} \quad (3.70)$$

A potência comutada total é calculada fazendo o somatório da energia gasta em todas as etapas de comutações durante um período da rede elétrica (equações 3.71 e 3.72).

$$P_{S(on)} = f_r \sum_{n=1}^{N_{Tr}} E_{on} \quad (3.71)$$

$$P_{S(off)} = f_r \sum_{n=1}^{N_{Tr}} E_{off} \quad (3.72)$$

Conforme descrito em (SILVA, 2019), alguns modelos de mosfet SiC apresentam tensões de *Plateau* diferentes com relação aos tempos de entrada em condução e bloqueio. O método apresentado por (AGRAWAL et al., 2017) permite levar em consideração este efeito no cálculo dos tempos t_{vr} e t_{vf} , mas como os resultados apresentados pelo artigo obtiveram erro pequeno se comparado com o método utilizado nesse trabalho, esse efeito pode ser desconsiderado.

O cálculo da potência dissipada na condução do mosfet segue a metodologia de (SOVRANI, 2019). É feito o somatório da potência de condução a cada ciclo de comutação com as equações (3.73) e (3.74).

A resistência de condução $R_{DS(on)}$ depende da temperatura da junção (T_j) e do valor instantâneo da corrente, então os valores de $R_{DS(on)}$ são calculados via interpolação numérica com a curva de dados $R_{DS(on)}$ versus i_{DS} corrigido para a temperatura de junção especificada. A potência dissipada em um período de rede é calculada pela expressão (3.74).

$$P_{S_s} = R_{DS(on)}(i_{DS}, T_j) i_{DS}^2 \quad (3.73)$$

$$P_{S_r} = f_r \sum_{n=1}^{N_{Tr}} P_{S_s(n)} T_s \quad (3.74)$$

É feito o algoritmo no MatLab interconectado ao Gecko para calcular as perdas no mosfet e no diodo intrínseco.

Em relação a metodologia aplicada no algoritmo e escolha dos componentes alguns critérios são destacados.

1) É calculado somente as perdas de condução no diodo intrínseco utilizando a metodologia já apresentada por (HUANG, 2006) na subseção (3.3.2).

As perdas de comutação no diodo intrínseco foram desprezadas devido as informações escassas nos *datasheets* em relação a capacitância da junção.

As perdas por recuperação reversa também foram desprezadas, já que o diodo entra em bloqueio por comutação suave como explicado na seção (2.7.4).

2) Foi desprezado a possibilidade de retificação síncrona, ou seja, é considerado que toda corrente que circula na junção no sentido *source - drain* passa exclusivamente pelo diodo. Como explicado na seção (2.7.3), com níveis menores de corrente haverá retificação síncrona na maioria dos mosfets comerciais escolhidos, é bem provável que na experimentação do protótipo seja encontrado uma parcela menor de perdas no diodo intrínseco em relação ao resultado estimado teoricamente.

3) Para que seja possível o cálculo de perdas de comutação e condução do algoritmo elaborado, é extraído os ábacos de C_{RSS} versus V_{DS} , R_{DS} versus I_{DS} , R_{DS} versus $T_{j-normalizada}$ e V_{SD} versus I_f . A partir desses ábacos, interpolações são feitas para reajustar os parâmetros para os níveis de corrente, tensão e temperatura pré determinados.

4) É considerado que os componentes estejam submetidos a uma temperatura de junção de 65°C em condições nominais de operação.

5) São selecionados mosfets do tipo CoolMOS e Super Junction High Voltage, devido a eficiência e custo desses componentes.

IGBT's foram descartados pois apresentam baixa eficiência em alta frequência, com entrada em bloqueio lenta, gerando elevadas perdas de comutação, problema popularmente conhecido como "corrente de cauda". E também por que a maioria dos modelos comerciais são para aplicações de alta tensão e possuem diodo intrínseco lento.

SiC's foram descartados por razões semelhantes, esses componentes possuem baixas perdas de comutação em alta frequência, mas se enquadram em aplicações de alta tensão. Em comparação aos IGBT's são componentes mais eficientes e não possuem coeficiente térmico positivo, possibilitando a associação em paralelo sem gerar desbalanceamento entre as correntes das junções.

GaN's são componentes ideais para aplicações em alta frequência e baixa tensão de bloqueio, apresentam baixas perdas de condução e comutação. Os problemas desses componentes são o preço e as dificuldades de *layout* para conter interferências causadas pela rápida comutação. Como a topologia estudada possui ZVS e ZCS, o uso desse tipo de semicondutor acaba com duas vantagens do conversor, nesse caso, seria mais interessante aplicá-lo em topologias menos complexas que operam em *hard switching* como o conversor

Tabela 10 – Resultados da escolha do MOSFET

Parâmetro	1kW/ 20kHz	1kW/ 50kHz	1kW/ 65kHz	3kW/ 20kHz	3kW/ 50kHz	3kW/ 65kHz
Corrente Média na Junção(A)	3,17	3,16	3,16	9,94	9,94	9,94
Corrente Média no Diodo(A)	0,87	0,87	0,88	2,43	2,42	2,40
Tensão de Bloqueio(V)	423,5	423,5	423,5	423,5	423,5	423,5
Modelo Comercial	IPA 65R095C7	IPA 65R095C7	IPA 65R095C7	IPW 60R024 CFD7	IPW 60R024 CFD7	IPW 60R024 CFD7
Package	TO-220 FP	TO-220 FP	TO-220 FP	TO- 247AC	TO- 247AC	TO- 247AC
Perdas Nominais S e D_s (W)	7,29	7,19	8,42	22,18	23,28	31,84

Fonte: Elaborado pelo Autor

BCCM.

6) Durante a escolha dos componentes, é consultado catálogos de vendas das empresas ST, Vishay, Infineon e On Semiconductors. Elas apresentam catálogos detalhados e ábacos com as informações necessárias para o funcionamento do algoritmo.

Os resultados do dimensionamento do MOSFET são apresentados na Tabela 10.

3.4 DIMENSIONAMENTO DOS CAPACITORES

3.4.1 Capacitores de Filme

Capacitores de filme recebem esse nome por utilizarem materiais filamentosos (normalmente plástico) como dielétrico. Eles são vastamente utilizados na eletrônica de potência em barramentos CC, filtros e *snubbers*.

Devido a espessura fina do dielétrico, é associado vários pequenos capacitores de filamento para compor um único componente capacitor de filme. O número de capacitores associados varia com o material e tensão de ruptura do componente.

Os eletrodos entre os filamentos de plástico podem ser construídos de três formas diferentes:

1) Eletrodos metalizados: São compostos por finas camadas de alumínio ou zinco. Esse eletrodo fino gera um aumento de impedância, comportando uma quantidade menor de carga e possibilitando que o componente opere sobre tensões mais elevadas ($C = Q/V$), resultando em valores maiores de energia acumulada ($E_C = CV^2/2$).

Todos os capacitores que possuem filamento metalizado têm propriedades de "auto-

cura", ou seja, na ocorrência de um curto no dielétrico, o defeito pontual entre os eletrodos metalizados vaporiza devido a alta temperatura do arco, uma vez que tanto o material plástico quanto os eletrodos metalizados no ponto de ruptura são bem finos. Quando o material é queimado, a pressão de vapor resultante afasta o arco, concluindo o processo de reestruturação em menos de $10 \mu s$, muitas vezes sem interromper a operação do capacitor afetado.

Os furos causados pelos arcos de autocura reduzem levemente a capacitância do componente, bem abaixo de 1% da capacitância total, podendo ocorrer milhares de autocuras até que o valor de capacitância seja comprometida (Normalmente o capacitor é considerado falho quando sua capacitância diminui 3% do valor nominal).

Capacitores com esse tipo de eletrodo são bastante utilizados em circuitos de filtragem, mas também podem ser empregados em barramentos CC de baixa e média potência.

2) Eletrodos com folhas metálicas: São compostos por folhas de alumínio, possuem uma impedância por metro quadrado baixa, comprometendo o componente para faixas de tensões elevadas mas sendo ideal para aplicações onde requer uma densidade de corrente maior. Não possui propriedades de "autocura". É bem comum encontrar capacitores com esse tipo de eletrodo em circuitos de *snubber* e em barramentos CC.

3) Eletrodos Híbridos: São formados a partir de filmes metalizados e folhas metálicas de forma intercalada. O objetivo é juntar as vantagens de "autocura" e alta densidade de corrente em um mesmo componente.

Quanto aos tipos de dielétricos, há três materiais empregados na grande maioria das aplicações, os dielétricos de polietileno tereftalato (PET), o polipropileno (PP) e o polietileno naftalato (PEN).

O dielétrico utilizado com mais frequência é o polipropileno (PP), porque apresenta baixo fator de dissipação (DF - Dissipation Factor), suportando valores de corrente elevados sem aquecer muito, além de possuir capacitância resistente à variações de temperatura e frequência. Já capacitores de polietileno (PET e PEN) são mais comuns em filtros, pois possuem maior fator de dissipação.

O polipropileno possui coeficiente de temperatura negativo, ou seja, conforme a temperatura aumenta, a capacitância tende a diminuir, já os dielétricos a base de poliéster possuem coeficiente de temperatura positivo, portanto é necessário cautela ao utilizar associações em paralelo desse material, já que o aumento de temperatura ocasionará na diminuição das impedâncias de cada ramo em paralelo, acarretando em correntes desiguais nos capacitores associados e sobreaquecimento dos componentes.

As vantagens dos capacitores de filme em relação aos eletrolíticos são a vida útil maior, capacidade de autocura, baixa resistência (ESR - equivalent series resistance) e indutância (ESL - equivalent series inductance) série. Como desvantagens, possuem valores

de capacitância baixos por causa do material dielétrico e deterioram facilmente se expostos a umidade.

A capacidade de corrente e tensão está relacionada com a frequência, então é necessário analisar o espectro de harmônicos para fazer a escolha do componente.

O *application note* (TDK, 2018) explica bem essa relação. Abaixo de uma frequência f_1 (região "a" da Figura 47), a tensão eficaz do capacitor é limitada pelo efeito corona nos eletrodos, ou seja, quanto maior o campo elétrico nos mesmos, maior é o potencial para romper o dielétrico gerando uma descarga elétrica. O efeito corona aumenta com a frequência do sinal, então a tensão eficaz que capacitores de filme suportam diminui com o aumento da frequência.

Entre f_1 e f_2 (região "b" da Figura 47) a tensão e a corrente são limitadas pelo potencial de dissipação de calor do componente. Essa potência é estimada a partir do fator de dissipação (DF - dissipation factor), normalmente descrito nos *datasheets* por $\tan \delta^3$. Com o aumento da frequência, a reatância capacitiva passa a ser menos efetiva por causa das indutâncias do componente, ou seja, o fator de dissipação tende a aumentar, e isso é traduzido em acréscimo nas perdas e na elevação de temperatura no componente. Esse acréscimo de perdas não é tão acentuado pois a resistência ESR diminui com o aumento de temperatura ou da frequência.

A partir da frequência f_3 (região "c" da Figura 47), a corrente eficaz que o capacitor suporta é limitada pela temperatura dos contatos entre eletrodos e pinos. Comparando os dois gráficos da Figura 47, conclui-se que a capacidade de corrente varia de forma inversamente proporcional a tensão eficaz.

3.4.2 Capacitores C_f e C_b

No conversor são utilizados capacitores de filme para C_f e C_b . A metodologia utilizada para escolha desses componentes é explicada a seguir.

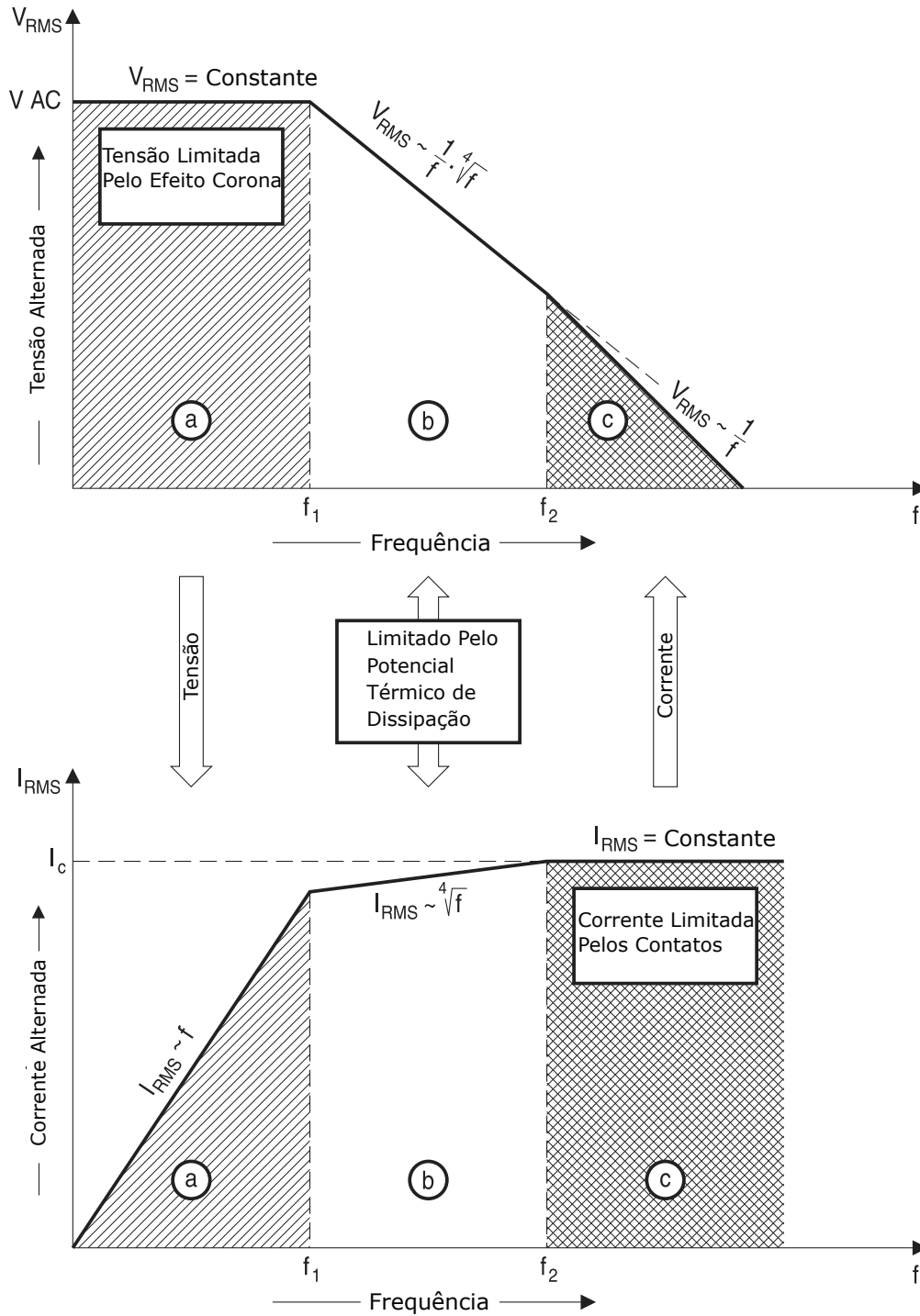
1) Os capacitores foram projetados para condição de mínima tensão de entrada, nessa situação ocorre o esforço máximo de corrente e maior ondulação de tensão em C_b , devido a diminuição da frequência de comutação e aumento do tempo de desmagnetização de L_{in} .

2) Nos projetos de 1 kW/20 kHz e 3 kW/20 kHz, C_f foi projetada para $\mu_o = 0,33$ para que a capacitância mínima não fique grande, não necessitando associar tantos capacitores. Nos demais projetos a capacitância mínima foi calculada com $\mu_o = 0,25$.

3) São escolhidos capacitores de filme da TDK do tipo MKP (Figura 48), no caso de C_f foram selecionados modelos da linha de EMI tipo X. Já C_b foram selecionados capacitores para aplicações PFC que suportam elevadas ondulações de corrente.

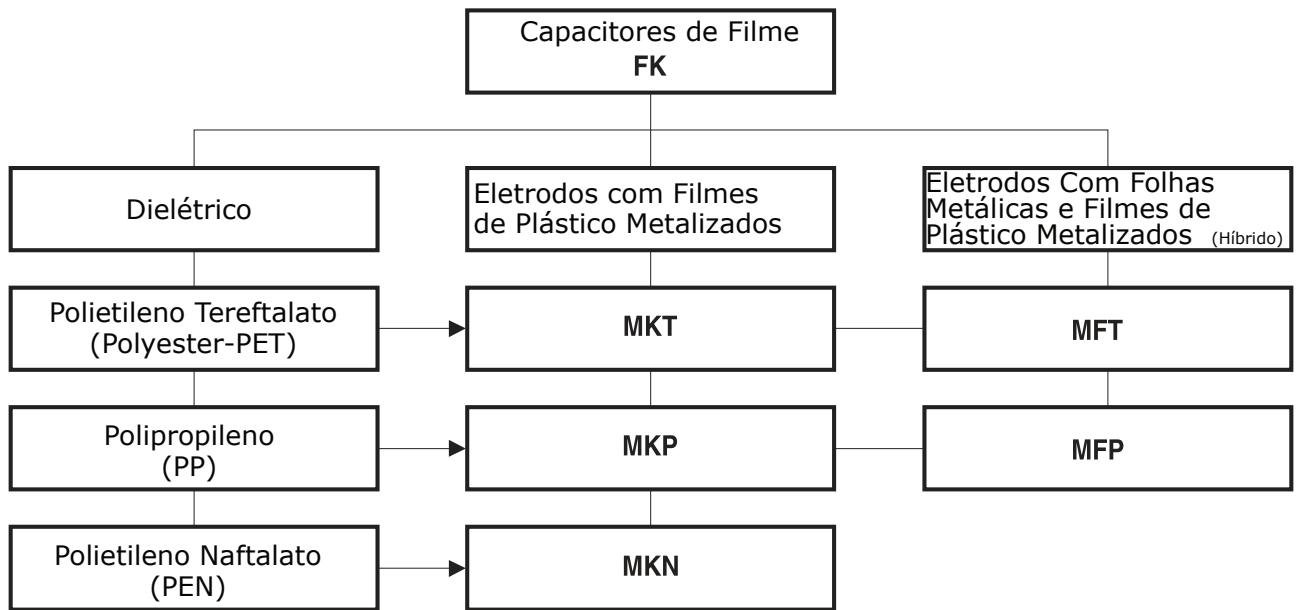
³ Quantifica a razão entre a resistência série equivalente e a reatância capacitiva do componente ($DF = \tan \delta X_c$).

Figura 47 – Tensão e Corrente Eficaz em Capacitores de Filme em Função da Frequência



Fonte: Adaptado de (TDK, 2018)

Figura 48 – Tipos de Capacitores de Filme da TDK



Fonte: Adaptado de (TDK, 2018)

4) Devido a relação capacitância *versus* corrente eficaz, é necessário fazer associação paralela para satisfazer os esforços dos projetos. Por determinação de projeto é priorizado a associação que alcança a capacitância mínima especificada utilizando o menor volume de componentes.

5) Grande parte do conteúdo harmônico da corrente de C_f e C_b está na frequência de comutação e bandas laterais. Conforme visto na Figura 47 isso é uma vantagem que contribui com a diminuição do volume de capacitores.

6) A capacidade de corrente e tensão eficaz é estimada a partir dos ábacos de capacidade explicados na Figura 47, especificados no *datasheet* para cada componente. Esses ábacos são traçados levando em conta uma forma de onda senoidal.

Para verificar a capacidade de corrente e tensão do componente, é feito a FFT (Rápida Transformada de Fourier - *Fast Fourier Transform*) dos respectivos sinais via simulação do circuito de potência.

Em seguida os valores dos harmônicos são comparados com a curva de capacidade do componente. Caso nenhum harmônico extrapole os limites delimitados no *datasheet*, o componente pode ser empregado.

7) As perdas são calculadas separadamente para os harmônicos de baixa e alta frequência (equações 3.75, 3.76 e 3.77).

$$DF = 2\pi ESRf_s C \quad (3.75)$$

$$P_{cap,low} = \frac{DF}{2\pi f_r C} I_{cap(rms)_{low}}^2 \quad (3.76)$$

$$P_{cap,high} = \frac{DF}{2\pi f_s C} I_{cap(rms)_{high}}^2 \quad (3.77)$$

O maior problema nesse cálculo é a imprecisão do resultado devido as informações precárias fornecidas pelo fabricante com relação ao DF. Na maioria das vezes o *datasheet* só fornece um valor de DF para temperatura de 20°C e frequência de 1 kHz, mas DF altera com o aumento de temperatura e frequência.

É possível calcular as perdas de baixa e alta frequência com o mesmo valor de DF, mas estando ciente que o valor real das perdas deve ser mais baixo na prática.

Outra opção é extrair a ESR na frequência de ressonância do capacitor, disponível no ábaco de impedância *versus* frequência, e calcular um DF aproximado para componentes de alta frequência.

As Tabelas ?? e ?? apresentam os resultados do dimensionamento dos capacitores C_f e C_b respectivamente.

3.4.3 Capacitores Eletrolíticos

São capacitores polarizados, cujo o ânodo (placa eletricamente positiva) é construído através de material metálico que forma uma camada de óxido isolante por eletrólise. Esse óxido isolante atua como dielétrico do capacitor e é coberto por um eletrólito que serve como cátodo (placa eletricamente negativa). Dependendo do modo como o capacitor é construído, o eletrólito pode ser sólido, líquido ou a base de gel.

Por causa da larga superfície da placa de ânodo e a fina camada de dielétrico, capacitores eletrolíticos alcançam valores de capacitância muito superiores a capacitores de filmes e cerâmicos.

Os três materiais dielétricos mais comuns são alumínio, tântalo e nióbio.

Dielétricos a base de alumínio são os mais utilizados na indústria, eles possuem uma constante dielétrica entre 7 a 10, além de possuir uma tensão de ruptura elevada, podendo formar dielétricos com espessura entre 0,0013 a 0,0015 $\mu\text{m}/\text{V}$.

Capacitores com dielétrico a base de tântalo possuem tensão de ruptura menor, são mais vulneráveis a falha se expostos a variações de temperatura e custam mais. Porém possuem um bom desempenho em alta frequência e tem uma constante dielétrica maior que o alumínio (em torno de 24), permitindo alcançar valores maiores de capacitância para um mesmo volume de material. Normalmente esses capacitores são produzidos em dimensões menores, para aplicações em filtros ou para desacoplamento.

Tabela 11 – Resultados da escolha de C_f

Parâmetro	1kW/ 20kHz	1kW/ 50kHz	1kW/ 65kHz	3kW/ 20kHz	3kW/ 50kHz	3kW/ 65kHz
Capacitância Mínima (F)	4 μ	2,8 μ	2,1 μ	11,9 μ	8,3 μ	6,4 μ
μ_o	0,33	0,25	0,25	0,33	0,25	0,25
Corrente Eficaz (A)	3,95	3,85	3,85	14,13	13,97	13,97
Máxima Tensão Eficaz (V)	132	132	132	132	132	132
Modelo Comercial	B32923 C3225+	B32923 C3155M	B32923 C3225+	B32924 C3335M	B32923 C3225+	B32924 D3335K
Capacitância do Componente (F)	2,2 μ	1,5 μ	2,2 μ	3,3 μ	2,2 μ	1,5 μ
Tensão Máxima VAC (V)	305	305	305	305	305	305
Número de Componentes Associados	2	2	1	4	4	5
Volume Total (cm ³)	22,7	14	11,34	62,36	45,34	35
ESR (Ω)	0,024	0,035	0,024	0,016	0,024	0,035
Perdas Nominais de C_f Associado (W)	0,187	0,259	0,356	0,8	1,17	1,37

Fonte: Elaborado pelo Autor

Capacitores de nióbio são concorrentes de capacitores de tântalo, sendo uma opção mais econômica para aplicações semelhantes, mas com um grau de confiabilidade menor.

3.4.4 Capacitor C_o

Na escolha dos capacitores eletrolíticos do barramento é empregado uma metodologia similar aos capacitores de filme.

1) São escolhidos capacitores eletrolíticos com dielétrico de alumínio da Nichicon. Todos os componentes tem vida útil de 3000 horas operando a 105°C.

2) O cálculo de perdas é idêntico a metodologia apresentada para capacitores de filme, a diferença é que nesse caso o harmônico de 120 Hz é predominante na dissipação de potência.

O DF fornecido pelo fabricante está sobre dimensionado para uma única condição com frequência de 120 Hz e temperatura ambiente de 20°C. Como a temperatura ambiente do projeto é de 65°C, é esperado que a resistência ESR seja mais baixa na condição de operação proposta.

Tabela 12 – Resultados da escolha de C_b

Parâmetro	1kW/ 20kHz	1kW/ 50kHz	1kW/ 65kHz	3kW/ 20kHz	3kW/ 50kHz	3kW/ 65kHz
Capacitância Mínima (F)	5,2 μ	2,1 μ	1,6 μ	15,6 μ	6,2 μ	4,8 μ
Corrente Eficaz (A)	4,33	4,13	4,13	14,474	14,47	14,47
Máxima Tensão Eficaz (V)	423,5	423,5	423,5	423,5	423,5	423,5
Modelo Comercial	B32672 P4225+	B32672 P4225+	B32672 P4105+	B32672 P4225+	B32672 P4225+	B32672 P4105+
Capacitância do Componente (F)	2,2 μ	2,2 μ	1 μ	2,2 μ	2,2 μ	1 μ
Tensão Máxima VDC/VAC (V)	450/160	450/160	450/160	450/160	450/160	450/160
Número de Componentes Associados	3	1	2	7	3	5
Volume Total (cm ³)	11	3,66	3,16	29,28	11	7,9
ESR (Ω)	0,024	0,024	0,053	0,024	0,024	0,053
Perdas Nominais de C_b Associado (W)	0,337	0,409	0,452	0,718	1,675	2,303

Fonte: Elaborado pelo Autor

A partir de experiências práticas, é suposto que a ESR dos capacitores escolhidos é um terço do valor calculado no *datasheet*.

3) É considerado a associação paralela de capacitores para alcançar a capacitância mínima estipulada, dando prioridade para a configuração mais otimizada em relação a volume e perdas.

4) São escolhidos capacitores que suportam tensão de 250 V, já que a tensão sobre C_o é metade da tensão do barramento.

Os capacitores são escolhidos conforme o parâmetro de capacidade de corrente (*Rated Ripple*) informado no *datasheet*.

Não é considerado a corrente de fuga (*leakage Current*) no cálculo de perdas ou na escolha dos componentes.

A Tabela ?? apresenta os resultados do dimensionamento de C_o .

Tabela 13 – Resultados da escolha do Capacitor C_o

Parâmetro	1kW/ 20kHz	1kW/ 50kHz	1kW/ 65kHz	3kW/ 20kHz	3kW/ 50kHz	3kW/ 65kHz
Capacitância Mínima (F)	360 μ	360 μ	360 μ	1000 μ	1000 μ	1000 μ
Corrente Efícaz (A)	2,14	2,09	2,10	5,9	5,9	5,9
Máxima Tensão Efícaz (V)	192,5	192,5	192,5	192,5	192,5	192,5
Modelo Comercial	LGW2E471 MELB25	LGW2E471 MELB25	LGW2E471 MELB25	LGW2E271 MELZ25	LGW2E271 MELZ25	LGW2E271 MELZ25
Capacitância do Componente (F)	470 μ	470 μ	470 μ	270 μ	270 μ	270 μ
Número de Componentes Associados	1	1	1	4	4	4
Volume Total (cm ³)	2,36	2,36	2,36	6,92	6,92	6,92
ESR Equivalente (Ω)	0,141	0,141	0,141	0,061	0,061	0,061
Perdas Nominais de C_o Associado (W)	0,62	0,62	0,62	2,12	2,12	2,12

Fonte: Elaborado pelo Autor

3.5 CONCLUSÕES EM RELAÇÃO AOS PROJETOS

As Tabelas 14 e 15 resumem alguns resultados relativos a percentual de perdas por componente e volume de material empregado em cada projeto.

Em todos os projetos, os interruptores são o ponto fraco no quesito dissipação de potência, sacrificando mais de 1% da eficiência para todos os casos e chegando a passar de 2% no projeto de 3kW/65kHz. Os projetos de 65kHz, mesmo tendo menor perda de condução nos interruptores, sofrem com dissipação de potência na entrada em bloqueio. Como as indutâncias L_{in} de todos os protótipos são baixas, a corrente de pico no momento de abertura dos interruptores é alta. Nos projetos de 65kHz, os interruptores estão comutando em aproximadamente 103kHz em carga nominal, então as perdas de comutação ficam ainda mais evidentes.

As perdas por condução no interruptor aumentam em uma proporção quadrática a corrente ($P = RI^2$), no caso das topologias de 3 kW, esse aumento não foi tão evidente por causa do mosfet CoolMOS com baixíssima resistência de condução selecionado.

Tabela 14 – Divisão em Percentual de Perdas para Carga Nominal por Tipo de Componente

Projeto	D(%)	S e D _s (%)	C _f (%)	C _b (%)	C _o (%)	L _{in} (%)	L _c (%)	Eficiência(%)
1kW/ 20kHz	0,964	1,457	0,037	0,034	0,284	0,450	0,392	96,508
1kW/ 50kHz	0,936	1,438	0,052	0,041	0,284	0,304	0,274	96,778
1kW/ 65kHz	0,944	1,683	0,071	0,045	0,284	0,292	0,227	96,575
3kW/ 20kHz	0,989	1,478	0,053	0,024	0,257	0,345	0,194	96,767
3kW/ 50kHz	0,991	1,552	0,078	0,056	0,257	0,251	0,154	96,770
3kW/ 65kHz	0,964	2,122	0,091	0,077	0,257	0,195	0,123	96,312

Fonte: Elaborado pelo Autor

Tabela 15 – Volume de Componentes Passivos e seus Materiais

Projeto	Cap. de Filme (cm^3)	Cap. Eletrolíticos (cm^3)	Núcleos (cm^3)	Cobre (cm^3)
1kW/ 20kHz	56,4	4,72	69,7	15,86
1kW/ 50kHz	31,66	4,72	35,18	5,89
1kW/ 65kHz	25,84	4,72	26,86	5,21
3kW/ 20kHz	154	13,84	201	48,3
3kW/ 50kHz	101,68	13,84	95,9	19,42
3kW/ 65kHz	77,9	13,84	69,7	16,06

Fonte: Elaborado pelo Autor

Os diodos de retificação utilizam comutação suave, então as topologias de 65kHz possuem as menores perdas para estes componentes. Comparando as topologias de 1 kW em relação as de 3kW, houve um aumento na mesma proporção nas perdas de condução dos diodos de retificação.

Os capacitores de filme tem uma parcela de perdas pequena para todos os projetos, então é mais interessante focar nos custos que esses componentes acrescentam.

A topologia de 1kW/20kHz utiliza o dobro de volume de capacitores de filme em relação aos projetos de mesma potência. Mencionando a topologia de 3kW/20kHz o volume é triplicado.

As topologias de 50 kHz e 65 kHz utilizam volume menor de capacitores de filme por causa da redução do valor de capacitância mínima e também por causa da redução do valor de ESR, que varia inversamente proporcional a frequência, permitindo que o componente suporte uma corrente eficaz maior, havendo uma associação menor de componentes.

As topologias de 50kHz e 65kHz utilizam volume de capacitores de filme parecido, mesmo que a topologia de 65kHz tem um volume um pouco menor, as topologias de 50kHz

associam uma quantidade menor de componentes, sendo economicamente melhor. Em ambos casos ocorre aumento do valor da frequência de ressonância, diminuindo o valor da capacitância mínima C_f .

Os capacitores eletrolíticos só diferem em relação a potência de projeto, nos projetos de 3kW o volume foi triplicado. As topologias de 1kW são melhores em relação a esses componentes pois não empregam associação de capacitores.

As topologias de 20kHz não compensam em relação a gastos com componentes magnéticos. Elas utilizam um volume muito maior de cobre e núcleo em comparação aos demais projetos. Além disso, possuem indutâncias maiores e mais perdas nesses componentes.

O aumento da potência de 1kW para 3kW resulta em indutâncias menores, mas a proporção de volume de núcleo e cobre utilizado triplicou também. Com a diminuição de indutância e aumento de potência, a amplitude da corrente de magnetização aumentou bastante, elevando as perdas no núcleo e a temperatura do material.

Para dissipar esse calor é necessário utilizar valores de densidade de corrente menores e em alguns casos associação de núcleos, isso causa o emprego de mais fios de cobre para aumentar a bitola do cabo e conseqüentemente, núcleos maiores ou associados para atender o espaço que esses enrolamentos demandam. No final das contas, o principal fator que contribuiu positivamente para a diminuição de componentes magnéticos foi o aumento da frequência mínima de comutação nos projetos de 50kHz e 65kHz.

Nas topologias de 3kW/50kHz e 3kW/65kHz, com a redução de L_{in} e aumento da corrente de pico, há necessidade de entreferros maiores para evitar saturação do núcleo, aumentando o fluxo disperso e problemas de interferência eletromagnética nos componentes adjacentes. Isso é crítico para os dois casos, já que operando em baixa carga a frequência de comutação fica superior a 300 kHz.

As topologias de 1 kW são mais vantajosas em relação ao uso de cobre, pois é possível utilizar valores maiores de densidade de corrente. Elas também são mais vantajosas com relação a perdas no núcleo, devido a amplitude da corrente, mas em compensação, possuem indutâncias maiores e geram mais perdas no cobre. De forma geral, para condição nominal de operação, as perdas nos indutores duplicaram nas topologias de 3 kW em relação as de 1kW.

As topologias de 20 kHz possuem baixas perdas no núcleo, por causa da baixa frequência e da variação menor de corrente no indutor, mas computando as perdas totais no componente ainda dissipam mais potência em relação as outras topologias devido ao valor alto de indutância.

As perdas no núcleo do indutor L_c são baixas por causa do pequeno fluxo de modo comum em relação à magnitude de corrente diferencial que circula pelos enrolamentos. O problema de L_c são os gastos com cobre nas espiras, este componente sozinho utiliza mais

volume de cobre do que os dois indutores L_{in} juntos.

A topologia de 3 kW/20 kHz tem indutores L_c associados em paralelo, elevando o gasto com cobre, por causa da necessidade de duplicar a indutância de cada componente.

Em termos de gastos, as topologias de 20kHz são descartadas por causa do preço investido com componentes passivos. No caso das topologias de 3kW, o projeto de 20 kHz tem eficiência global melhor que a topologia de 65kHz e praticamente idêntica a de 50kHz. Já para as topologias de 1kW, o projeto de 20kHz e 65kHz têm eficiências bem próximas, enquanto o projeto de 50 kHz continua sendo um pouco melhor.

As topologias de 1kW não são atrativas no ponto de vista de número e volume de componentes passivos. A Embraco já possui PFC's de 1kW que possuem eficiência acima de 97% para carga nominal, com topologia mais simples, menor número de componentes e menor volume de passivos.

O projeto de 3kW/50kHz é o mais eficiente por causa do impacto da perda de entrada em bloqueio nos interruptores e das perdas reduzidas de condução nos semicondutores e componentes magnéticos. Em relação a gastos com passivos, o volume empregado na topologia de 3kW/65kHz é um pouco menor. A topologia de 50kHz utiliza menos capacitores de filme associados. Já a topologia de 3kW/65kHz não associa núcleos para o indutor L_{in} enquanto que a topologia de 3kW/50kHz faz associação de 2 núcleos em série.

Por fim é selecionado a topologia de 3kW/50kHz para construção do protótipo. Além dos fatores citados, a dissipação de potência para menores valores de carga foi um fator importante nessa escolha.

A potência dissipada na entrada em bloqueio do interruptor toma um percentual maior nas perdas conforme a carga do conversor diminui e a frequência de comutação aumenta.

Como a aplicação do conversor visa operação em baixa carga, é importante que a eficiência se mantenha elevada para todos os modos de operação. No caso da topologia de 3kW/65kHz, a operação no pior caso de carga, ou seja em 750 W, gera um degrado de 4,84% na eficiência somente com os interruptores. Esse valor percentual diminui para a topologia de 3kW/50kHz, degradando aproximadamente 3,83%.

3.6 SPT *VERSUS* BCCM

3.6.1 Conversor BCCM

Para validação comercial do retificador SPT de 3 kW / 50 kHz é escolhido uma topologia já bem difundida na indústria para comparação. O BCCM pode não ser a melhor opção para aplicações de alta potência, mas não deixa de ser um conversor simples e eficiente.

Fazendo a comparação de perdas e componentes utilizados entre essas duas estru-

Tabela 16 – Parâmetros de projeto do conversor BCCM

Parâmetro	Valor	Unidade
Tensão de Entrada	220(160-264)	V
Tensão de Saída	385	V
Potência de Saída	3000	W
Frequência de Comutação	65k	Hz
Ondulação Máxima de Tensão no Barramento	10	%
Capacitância Mínima no Barramento	540 μ	F
Ondulação Máxima de Corrente no Indutor	40	%
Indutância Mínima	192 μ	H

Fonte: Elaborado pelo Autor

turas permite ter uma noção do potencial do SPT.

Para a comparação ser o mais justa o possível, o BCCM possui os mesmos parâmetros de tensão e potência. Quanto a frequência de comutação e ondulação de corrente no indutor, uma série de análises similares as apresentadas para o SPT são feitas para determinar parâmetros vantajosos.

O processo realizado para escolha desses parâmetros não é descrito pois o foco da análise é a comparação entre as topologias. Os equacionamentos de projeto do conversor BCCM também não são apresentados pois já são conhecidos na literatura.

A Tabela 16 apresenta os parâmetros de um conversor BCCM utilizado como referência de comparação, lembrando que esse projeto não é otimizado, ou seja, não é o ponto ótimo de operação, mas sim um projeto bom para a aplicação proposta.

Assim como nas comparações feitas para o SPT, não é levado em consideração o filtro de EMI na análise. Ele é projetado para o BCCM para utilizar diodos lentos na retificação, mas seus parâmetros não são inclusos na análise dos componentes e na eficiência da topologia.

O indutor é projetado para uma temperatura ambiente de 65°C, devendo suportar uma variação de temperatura de até 45°C. Já as perdas nos semicondutores são calculadas para $T_j = 100^\circ\text{C}$.

3.6.2 Diodos Retificadores

Conforme a Tabela 17, enquanto que o SPT precisa de quatro diodos rápidos, o BCCM utiliza quatro diodos lentos que podem ser incorporados em um único encapsulamento.

O SPT possui menos perdas por diodo, devido a baixa queda de tensão direta V_f . Em termos de eficiência, o SPT perde 0,99% da potência processada durante a retificação, enquanto que o BCCM perde 1,2%.

A capacitância de junção de VS-ETL1506-M3 é pequena, isso é vantajoso, pois

Tabela 17 – Diodos de Retificação da topologia SPT *versus* BCCM

Parâmetro	SPT 3 kW/ 50 kHz	BCCM
Corrente Média na Junção(A)	6,42	6,1
Tensão de Bloqueio (V)	423,5	375
Modelo/Empresa	VS-ETL1506-M3/Vishay	LVE1560/Vishay
Tecnologia	Diodo de Retificação Ultra rápido	Ponte Retificadora com baixo V_f
Package	TO 220AA	GSIB-5S
Máxima Tensão de Bloqueio (V)	600	600
Máxima Corrente Média (A)	15($T_j = 152^\circ\text{C}$)	15($T_c = 120^\circ\text{C}$)
Máxima Corrente de Pico não Repetitiva(A)	200($T_j = 25^\circ\text{C}$)	300($T_a = 25^\circ\text{C}$)
Queda de Tensão de Condução (V)	0,85($T_j = 150^\circ\text{C}, I_f = 15\text{A}$)	0,71($T_a = 125^\circ\text{C}, I_f = 7,5\text{A}$)
Capacitância da Junção (F)	20p(100V)	50p(100V)
Número de Componentes	4	1
Perdas de Condução por Diodo (W)	7,22	8,99
Perdas por Recuperação Reversa por Diodo (W)	0	0
Perda Total por Diodo (W)	7,43	8,99

Fonte: Elaborado pelo Autor

como descrito em (Yungtaek Jang; JOVANOVIĆ, 2013) a capacitância da junção dos diodos retificadores devem ser baixas para evitar ressonâncias entre L_{in} e C_j , que ocorrem nas etapas em que a corrente de desmagnetização é nula.

Quanto ao custo de implementação, a topologia BCCM é mais econômica, usando um único componente com quatro diodos lentos incorporados.

3.6.3 Interruptores

O esforço de corrente no interruptor do SPT é maior devido a descontinuidade da corrente de L_{in} . O baixo valor de indutância faz com que a corrente de pico aumente (quase o triplo da corrente de pico do BCCM), gerando quedas de tensão maiores. Mesmo que o BCCM possui um mosfet com resistência de condução maior, as perdas de condução são menores.

De acordo com a Tabela 18, o SPT precisa de dois interruptores, dissipando potência total de 46,56 W, deteriorando 1,68% da eficiência global da topologia.

O "diodo Boost" que faz a transferência de energia do indutor aos capacitores de barramento está incorporado nos interruptores, então uma parcela das perdas no interruptor é devido a queda de tensão do diodo durante a condução.

Tabela 18 – Interruptores do SPT *versus* BCCM

Parâmetro	SPT 3 kW/ 50 kHz	BCCM
Corrente Média na Junção (A)	9,94	6,5
Corrente Média no Diodo Intrínseco (A)	2,42	0
Corrente Eficaz (A)	21	9,63
Tensão de Bloqueio (V)	423,5	414
Modelo/Empresa	IPW60R024CFD7/Infineon	STB45N65M5/ST
Tecnologia	CoolMOS	<i>Super Junction High Voltage Mosfet</i>
<i>Package</i>	TO 247-3	TO 220
Máxima Tensão de Bloqueio (V)	650	710
Máxima Corrente Média (A)	49($T_c = 100^\circ\text{C}$)	22($T_c = 100^\circ\text{C}$)
Máxima Corrente de Pico não Repetitiva (A)	360	140
Resistência de Condução (Ω)	24m($V_{GS} = 10\text{V}, I_D = 42,4\text{A}, T_j = 25^\circ\text{C}$)	67m($V_{GS} = 10\text{V}, I_D = 17,5\text{A}, T_c = 25^\circ\text{C}$)
Carga de <i>gate</i> (C)	183n($V_{GS} = 10\text{V}, I_D = 19\text{A}, T_j = 25^\circ\text{C}, V_{DS} = 400\text{V}$)	82n($V_{GS} = 10\text{V}, I_D = 17,5\text{A}, T_c = 25^\circ\text{C}, V_{DS} = 520\text{V}$)
Número de Interruptores	2	1
Perdas por Condução (W)	11,46	7
Perdas de Comutação (W)	6,76	4,78
Perdas no Diodo Intrínseco (W)	5,06	0
Perda Total(W)	23,28	11,78

Fonte: Elaborado pelo Autor

Visando o uso eficiente do diodo intrínseco foi selecionado um MOSFET CoolMOS da série CFD7 da Infineon, que possui diodo anti-paralelo rápido e é projetado especificamente para conversores ressonantes.

O BCCM não possui perdas no diodo intrínseco, na escolha do interruptor é selecionado um MOSFET da série M5 da ST, com baixa resistência de condução e recomendado para retificadores PFC que operam em alta potência.

Quanto aos custos, o SPT sai em desvantagem já que utiliza dois MOSFETs que possuem resistência de condução menor e capacidade de corrente maior.

3.6.4 Diodo Boost

Como explicado, o diodo Boost do SPT está incorporado no interruptor, portanto as perdas apresentadas em (19) retratam uma parcela das perdas nos interruptores.

Uma desvantagem do retificador BCCM são as perdas de recuperação reversa no

diodo Boost, isso é ainda mais agravante em potência elevada e acabam prejudicando as perdas de comutação no interruptor também. Para resolver esse problema é selecionado um diodo SiC Schottky, encarecendo a estrutura em busca de uma eficiência melhor.

A queda de tensão na condução é o principal causador de perdas do diodo Boost para ambos retificadores. Diodos SiC normalmente possuem perdas de condução maiores por causa da correlação linear entre V_f e I_f , um dos motivos pelo qual as perdas de condução quase duplicaram em relação ao SPT.

O diodo intrínseco do SPT processa menos corrente, possui queda de tensão menor e a possibilidade de retificação síncrona, então os 5,06 W dissipados por diodo serão menores na experimentação prática.

As perdas somadas dos interruptores e diodos Boost representam 1,55% da eficiência do SPT e 0,73% do BCCM. Fazendo o somatório de perdas em todos semicondutores essas parcelas aumentam para 2,54% e 1,93% respectivamente.

Como há dois diodos SPT, as perdas no diodo Boost são praticamente indiferentes em ambas estruturas. Quanto aos gastos, o SPT sai na vantagem por não necessitar de diodos extras, enquanto que o BCCM necessita do uso de diodos com tecnologia SiC para manter a eficiência alta.

Se tratando de número de semicondutores, ambas as topologias ficam iguais, a diferença é que o SPT utiliza um interruptor a mais, que é mais eficiente que o diodo SiC (devido a retificação síncrona), mas em geral um gasto a mais com *driver* isolado ou circuito de *bootstrap*. O BCCM utiliza um MOSFET a menos mas necessita de um diodo SiC, que é caro e precisa ser acoplado a um dissipador.

3.6.5 Indutor Boost

No projeto do indutor do BCCM, considerando os critérios explicados em (MCLYMAN, 2016) foi utilizado fator de ocupação de 0,5 e fio AWG 24. Essas mudanças ocorreram por causa da diferença de modulação entre os retificadores, o Boost não sofre tanto com perdas AC, efeito pelicular e de proximidade como os elementos magnéticos do SPT, não necessitando o uso de fio Litz, que é mais caro e volumoso.

O indutor do SPT tem corrente de pico e eficaz maior, utiliza seções de fios maiores e necessita dissipar uma quantidade de calor maior. Mesmo com indutância mais baixa, não é o suficiente para que use volume de cobre menor. O núcleo também é mais volumoso e a densidade de corrente nos fios é reduzida visando dissipar melhor o calor do componente sem a necessidade de aumentar mais ainda as dimensões do núcleo.

As perdas do núcleo do BCCM foram desprezadas devido ao modo de condução contínua. Sabendo que há um *ripple* de 40%, essas perdas não devem ser maiores que 10% do valor de potência total encontrado, continuando sendo mais eficiente que o indutor do SPT.

Tabela 19 – Diodos Boost do SPT *versus* BCCM

Parâmetro	SPT 3 kW/ 65 kHz (Diodo I	BCCM
Corrente Média na Junção (A)	2,42	7,81
Tensão de Bloqueio (V)	423,5	414
Modelo/Empresa	IPW60R024CFD7/Infineon	STPSC20065-Y/ST
CoolMOS	SiC Schottky	
Package	TO 247-3	TO 220AC
Máxima Tensão de Bloqueio (V)	650	650
Máxima Corrente Média (A)	77($T_c = 25^\circ\text{C}$)	20($T_c = 125^\circ\text{C}$)
Máxima Corrente de Pico não Repetitiva (A)	360($T_j = 25^\circ\text{C}$)	90($T_a = 25^\circ\text{C}$)
Queda de Tensão de Condução (V)	1($T_j = 150^\circ\text{C}, I_f = 42, 4\text{A}$)	1,3($T_j = 25^\circ\text{C}, I_f = 20\text{A}$)
Capacitância da Junção (F)	–	150p(100V)
Número de Diodos	0	1
Perdas por Condução (W)	5,21	10,11
Perdas por Recuperação Reversa (W)	0	0
Perda Total (W)	5,06	10,11

Fonte: Elaborado pelo Autor

No caso do SPT, o elevado *ripple* de corrente faz com que as perdas no núcleo componham aproximadamente 42% das perdas totais do magnético.

Quanto a custos, o indutor do SPT perde em todas comparações, utilizando uma quantidade maior de cobre, núcleo mais volumoso e fio mais caro.

Em relação a eficiência, o indutor do BCCM é melhor devido as baixas perdas no núcleo. O material 3F46 não foi utilizado nessa análise por causa do preço e por ser pouco selecionado pela indústria nesse tipo de aplicação. Os resultados estão resumidos na Tabela 20.

3.6.6 Capacitor de Barramento

A elevada corrente eficaz no capacitor de barramento do SPT faz com que seja necessário a associação de vários componentes, sobredimensionando o valor de capacitância mínima em quase três vezes. Por causa disso ocupa um volume maior, mas possui baixa ESR (devido a associação em paralelo), benéfica para as perdas e sobreaquecimento.

O SPT possui baixa corrente eficaz nos capacitores de barramento devido ao indutor L_c , permitindo uma associação mais justa dos componentes.

Quanto a eficiência, o SPT sai em desvantagem devido a necessidade de dois capacitores de barramento, somando uma perda de 4,24 W.

Tabela 20 – Indutor Boost do SPT *versus* BCCM

Parâmetro	SPT 3 kW/ 65 kHz	BCCM
Corrente Eficaz (A)	20,35	13,77
Tensão Máxima (V)	423,5	316
Material do Núcleo/Empresa	3C97/Ferroxcube	3C97/Ferroxcube
Fio	Litz	AWG Comum
Indutância (H)	$(2 \times 9,8\mu) 49\mu$	192μ
Núcleo	PQ 2 \times 35/20	ETD 34/17/11
Temperatura Máxima ($^{\circ}$ C)	106	106
Volume do Núcleo (cm^3)	$2 \times 11,1$	7,64
Volume de Cobre por Núcleo (cm^3)	$2 \times 1,985$	2,51
Núcleos Associados	2(série)	1
Fator de Ocupação	0,44	0,5
Densidade de Corrente (A/cm^2)	420	500
Cabo Litz	22×38 AWG	24 AWG
Espiras	9	27
Cabos Associados	29	13
Perdas no Núcleo (W)	$2 \times 0,554$	–
Perdas no Cobre (W)	$2 \times 1,317$	1,88
Perdas Totais (W)	$2 \times 1,88$	1,88

Fonte: Elaborado pelo Autor

Em relação a custos o SPT é mais vantajoso, considerando que há dois capacitores no barramento, o número total é igual nas duas topologias. Mas os capacitores do SPT são para tensão 250 V e possuem capacitância similar aos capacitores do BCCM. Os resultados da comparação estão agrupados na Tabela 21.

3.6.7 Outros Componentes, Eficiência e Custos

Além dos componentes comparados, o SPT possui três capacitores de filme e um indutor de modo comum adicionais.

Parte dos resultados desses componentes foram apresentados durante a seleção de projeto do SPT. Os principais parâmetros, esforços e resultados foram sintetizados nas Tabelas 22, 23 e 24.

É constatado que 0,26% da eficiência do SPT é comprometida nos capacitores eletrolíticos e 0,40% nos indutores. Fazendo a mesma análise para o retificador Boost essas parcelas são de 0,11% e 0,06% respectivamente.

Para condição nominal de carga, o SPT tem eficiência de 96,76% enquanto que o Boost alcança 97,94%. A distribuição percentual das perdas nos componentes são representadas nos gráficos das Figuras 49 e 50.

Para ter noção do custo com componentes passivos, a Tabela 25 reagrupa o somatório do volume de capacitores, núcleos e cobre necessários para cada topologia. Já a Tabela 26

Tabela 21 – Capacitor de Barramento da topologia SPT versus BCCM

Parâmetro	SPT 3 kW/ 65 kHz	BCCM
Capacitância Mínima (F)	1000 μ	540 μ
Corrente Eficaz (A)	5,9	8,2
Tensão Máxima (V)	192,5	420
Ondulação de Tensão ($\Delta V_o\%$)	10	10
Modelo/Empresa	LGW2E271MELZ25/Nichicon	LGU2W221MELB/Nichicon
Capacitância do Componente (F)	270u	220u
Vida Útil (h)	3000($T = 105^\circ C$)	3000($T = 105^\circ C$)
Máxima Tensão DC (V)	250	450
Máxima Corrente (A)	1,65(120 Hz)	1,12(120 Hz)
Resistência Série (Ω)	0,737($65^\circ C$)	1,206($65^\circ C$)
Capacitores Associados	4	8
Volume Total (cm ³)	6,92	8,4
Potência (W)	2,12	3,38

Fonte: Elaborado pelo Autor

Tabela 22 – capacitor de filme C_f topologia SPT

Parâmetro	SPT 3 kW/ 50 kHz	BCCM
Corrente Eficaz (A)	13,97	–
Tensão Máxima (V)	132 (60 Hz)	–
Dielétrico/aplicação	MKP/X2	–
Capacitância Mínima (F)	8,3 μ	–
μ_o	0,25	–
Modelo/Empresa	B32923C3225K/TDK	–
Capacitância do Componente (F)	2,2 μ	–
Máxima Tensão Eficaz (V)	305	–
Capacitores Associados	4	–
Volume Total (cm ³)	45,34	–
Potência Nominal Total (W)	1,17	–

Fonte: Elaborado pelo Autor

Tabela 23 – capacitor de filme C_b topologia SPT

Parâmetro	SPT 3 kW/ 50 kHz	BCCM
Corrente Eficaz (A)	14,47	–
Tensão Máxima (V)	423,5	–
Dielétrico/aplicação	MKP/PFC	–
Capacitância Mínima (F)	6,2 μ	–
Modelo/Empresa	B32672P4225+/TDK	–
Capacitância do Componente (F)	2,2 μ	–
Máxima Tensão DC (V)	450	–
Máxima Tensão AC (V)	160	–
Capacitores Associados	3	–
Volume Total (cm ³)	11	–
Potência Total (W)	1,675	–

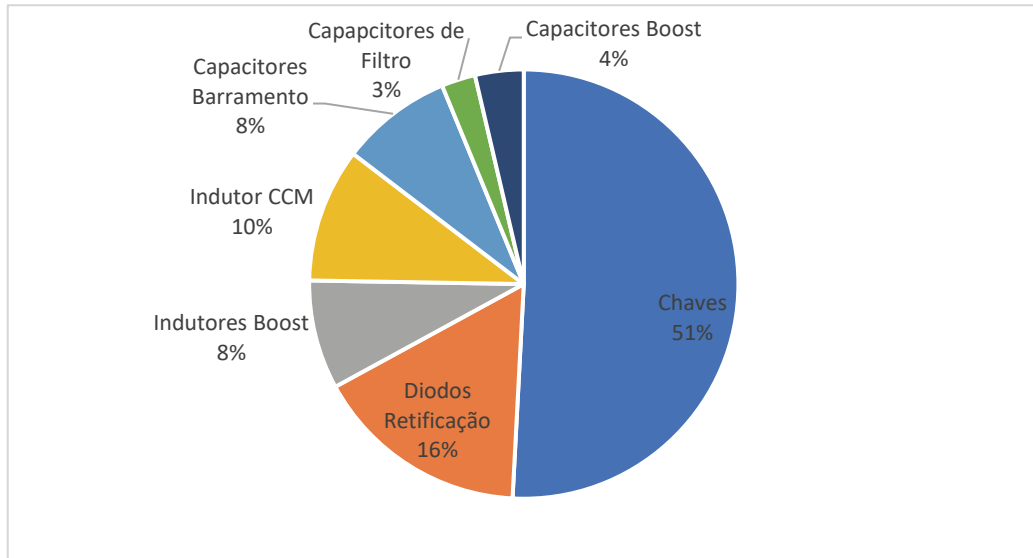
Fonte: Elaborado pelo Autor

Tabela 24 – Indutor L_c do SPT *versus* BCCM

Parâmetro	SPT 3 kW/ 65 kHz	BCCM
Corrente Eficaz (A)	9,93	–
Tensão Máxima (V)	192,5	–
Material do Núcleo/Empresa	3C97/Ferroxcube	–
Fio	Litz	–
Indutância (H)	131 μ	–
Núcleo	ETD 59/31/22	–
Temperatura Máxima (°C)	104	–
Volume do Núcleo (cm ³)	51,5	–
Volume de Cobre por Núcleo (cm ³)	11,48	–
Núcleos Associados	1	–
Fator de Ocupação	0,39	–
Densidade de Corrente (A/cm ²)	350	–
Cabo Litz	22×38 AWG	–
Espiras	30	–
Cabos Associados	16	–
Perdas no Núcleo (W)	0	–
Perdas no Cobre (W)	4,63	–
Perdas Totais (W)	4,63	–

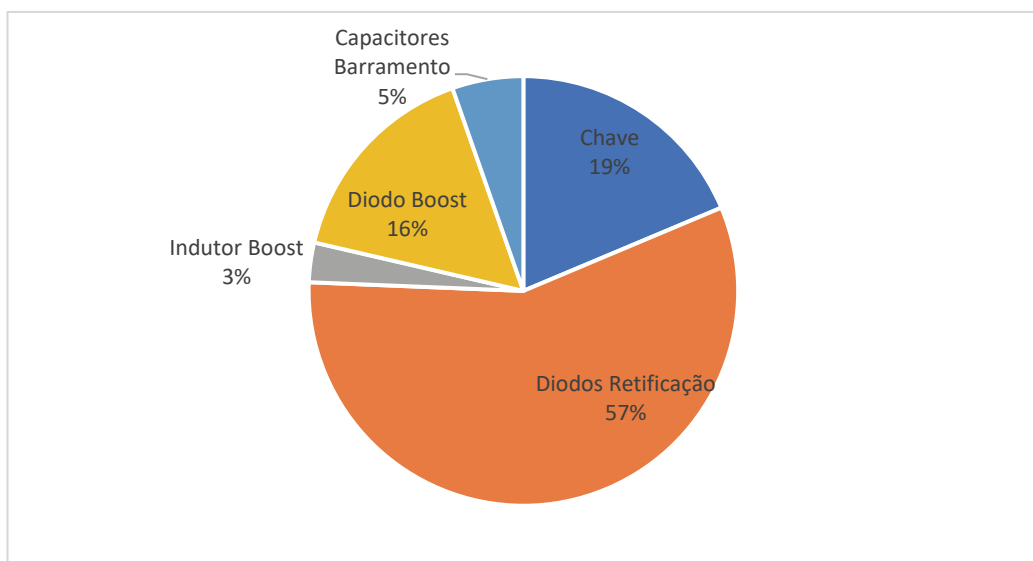
Fonte: Elaborado pelo Autor

Figura 49 – Distribuição de perdas em condição nominal de operação no SPT



Fonte: Elaborado pelo Autor

Figura 50 – Distribuição de perdas em condição nominal de operação no BCCM



Fonte: Elaborado pelo Autor

Tabela 25 – Parâmetros de projeto do BCCM

Parâmetro	SPT	BCCM
Volume de Capacitores (cm^3)	115,52	8,4
Volume de Núcleos (cm^3)	95,9	7,64
Volume de Cobre (cm^3)	19,42	2,51

Fonte: Elaborado pelo Autor

Tabela 26 – Parâmetros de Qualidade de Energia em Carga Nominal

Parâmetro	SPT	BCCM
Eficiência (%)	96,76	97,94
THD (%)	9,35	4,34
Fator de Potência	0,994	0,996

Fonte: Elaborado pelo Autor

apresenta alguns parâmetros de qualidade de energia para condição nominal de carga.

O SPT perde nos custos, quanto ao volume de capacitores, a diferença de valor se deve aos capacitores de filme, que mesmo sendo de baixa capacitância exigem um certo número de componentes para atender a elevada corrente eficaz dos indutores L_{in} .

É difícil equiparar o volume de núcleo do BCCM já que o SPT possui três indutores, onde as perdas no núcleo influenciam bastante em sua dimensão. O maior uso de cobre no SPT já era esperado devido o indutor de modo comum.

Na comparação não foi incluso os circuitos de controle, isso beneficia o BCCM pois possui malha em cascata para controlar a corrente dos indutores Boost. Além da complexidade, há custos maiores com sensores de corrente nessa faixa de potência.

Quanto a qualidade de energia, ambas estruturas tem fator de potência acima de 0,99. O BCCM tem uma THD de 4,34 %, menor que o SPT com THD de 9,35 %, embora ambos atendam as normas de compatibilidade eletromagnética e harmônica.

3.7 DIMENSIONAMENTO DOS DISSIPADORES

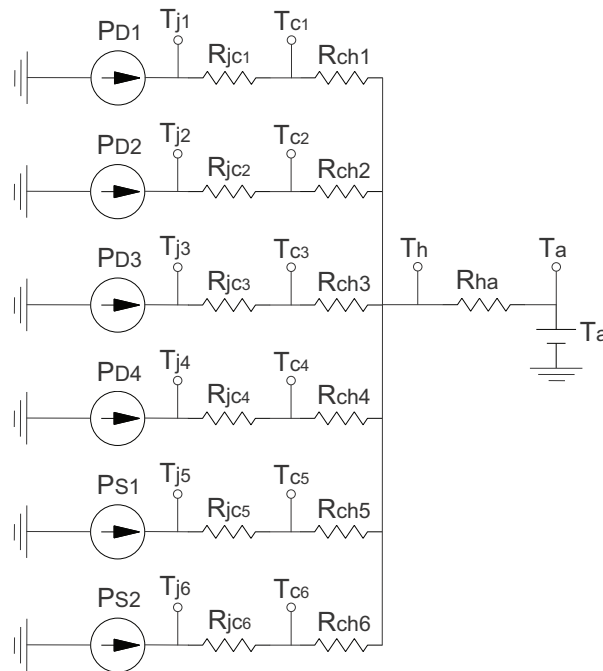
Por causa do nível de potência processada pelos semicondutores, é necessário implementar dissipadores térmicos para assegurar que a temperatura máxima de junção não seja alcançada.

O dimensionamento dos dissipadores é baseado no modelo elétrico análogo ao modelo térmico, em que a potência dissipada em cada semicondutor, as temperaturas e as resistências térmicas são representadas por fontes de corrente, tensões e resistências elétricas respectivamente. E no projeto é determinado a máxima resistância térmica do dissipador capaz de suprir o maior valor da temperatura de junção desejada.

Nesse projeto é considerado o uso de um único dissipador, contendo os diodos de retificação (D_1, D_2, D_3, D_4) e os mosfets (S_1 e S_2). O modelo elétrico análogo ao modelo

térmico está apresentado na Figura 51. $P_{(n)}$ é a potência total dissipada pelo semiconductor, T_j e T_c são as temperaturas na junção e no encapsulamento do componente. T_{amb} é a temperatura ambiente, T_h é a temperatura no dissipador. R_{jc} , R_{ch} e R_{ha} são as resistências térmicas entre junção-encapsulamento, encapsulamento-dissipador e dissipador-ambiente respectivamente.

Figura 51 – Modelo térmico



Fonte: Elaborado pelo Autor

É considerado que a máxima temperatura na junção seja de 100°C e a temperatura ambiente de 65°C . As perdas nos diodos retificadores são $P_{D1} = P_{D2} = P_{D3} = P_{D4} = 7,43\text{W}$ e nos mosfets são $S_1 = S_2 = 23,28\text{W}$. A resistência térmica entre junção-encapsulamento é de $1,3^{\circ}\text{C}/\text{W}$ para os diodos VS-ETL1506SHM3 e $0,39^{\circ}\text{C}/\text{W}$ para os mosfets IPW60R024CFD7. A máxima temperatura de junção é de 175°C e 150°C respectivamente utilizando encapsulamentos dos tipos TO-220 e TO-247-3.

Para isolar os componentes do dissipador é utilizado alumina (Isolante de óxido de alumínio cerâmico), por causa da sua baixa resistência de condução em relação a isoladores a base de mica ou polímero. A baixa resistência de condução possibilita a utilização de isoladores com espessuras maiores, diminuindo o efeito da capacitância parasita entre semicondutores e dissipadores, reduzindo correntes de fuga.

O modelo de isolador escolhido foi o 4170G da AAVID para o encapsulamento TO-220 e 4180G para o encapsulamento TO-247-3, as principais características deles são apresentadas nas Tabelas 27 e 28.

A resistência térmica inserida pelo isolante é calculada pela condutividade elétrica e pelas dimensões físicas, como especificado na equação (3.78), resultando em $R_{chD} =$

Tabela 27 – Principais características do isolador 4170G para encapsulamento TO-220

Parâmetro	Valor	Unidade
Espessura	1,78	mm
Comprimento	13,97	mm
Altura	19,30	mm
Condutividade (100°C)	14,24	W/mK
Máxima temperatura contínua	1700	°C
Tensão de ruptura	16,9	kV/mm
Constante Dielétrica (1MHz e 25°C)	8,9	–

Fonte: Elaborado pelo Autor

Tabela 28 – Principais características do isolador 4180G para encapsulamento TO-247

Parâmetro	Valor	Unidade
Espessura (E_s)	1,78	mm
Comprimento (Co)	18,80	mm
Altura Al	23,24	mm
Condutividade (σ_{al}) (100°C)	14,24	W/mK
Máxima temperatura contínua	1700	°C
Tensão de ruptura	16,9	kV/mm
Constante Dielétrica (1MHz e 25°C)	8,9	–

Fonte: Elaborado pelo Autor

0,464°C/W e $R_{chS} = 0,286°C/W$.

$$R_{ch} = \frac{1}{\sigma_{al}} \frac{E_s}{Co \times Al} \quad (3.78)$$

Em carga nominal, é estimado a temperatura no dissipador para as temperaturas de junção e ambiente escolhidas (equações 3.79 3.80).

$$T_h = T_{jD} - P_D (R_{jcD} + R_{chD}) = 86,89°C \quad (3.79)$$

$$T_h = T_{jS} - P_S (R_{jcS} + R_{chS}) = 84,26°C \quad (3.80)$$

Em seguida é determinado a máxima resistência térmica do dissipador capaz de garantir as temperaturas T_h (equações 3.81 3.82).

$$R_{haD} = \frac{T_h - T_a}{4P_D + 2P_S} = 0,287°C/W \quad (3.81)$$

$$R_{haS} = \frac{T_{hS} - T_a}{4P_D + 2P_S} = 0,253°C/W \quad (3.82)$$

É utilizado o pior caso de resistência (menor valor) como base para escolha do dissipador. Para esse projeto, a resistência térmica máxima deve ser de $R_{ha} \leq 0,253°C/W$.

É selecionado o dissipador HS 21575 (Figura 52) da empresa HS dissipadores com resistência térmica $R_{ha} = 0,56^\circ C/W'''$. De acordo com o catálogo do fabricante, a resistência térmica deve ser corrigida para a altura do dissipador e para a diferença de temperatura entre o dissipador e o ambiente. O modelo escolhido tem altura de $h = 200 \text{ mm}$ e diferença de temperatura entre ambiente e o dissipador de $\Delta T = T_h - T_a = 100 - 65 = 35^\circ C$, os fatores de correção são $K_{height} = 0,75$ e $K_{temp} = 1,21$.

$$R_{ha(HS21575)} = R_{ha}K_{height}K_{temp} = 0,51^\circ C/W \quad (3.83)$$

O dissipador selecionado insere uma resistência térmica de $0,434^\circ C/W$, devido as dimensões determinadas o valor é recalculado com a equação 3.83. Por fim é recalculado a temperatura sobre o dissipador na equação 3.84 para conferir se os requisitos iniciais foram saciados.

$$T_h = T_a + R_{ha(HS21575)}(4P_D + 2P_S) = 103,88^\circ C \quad (3.84)$$

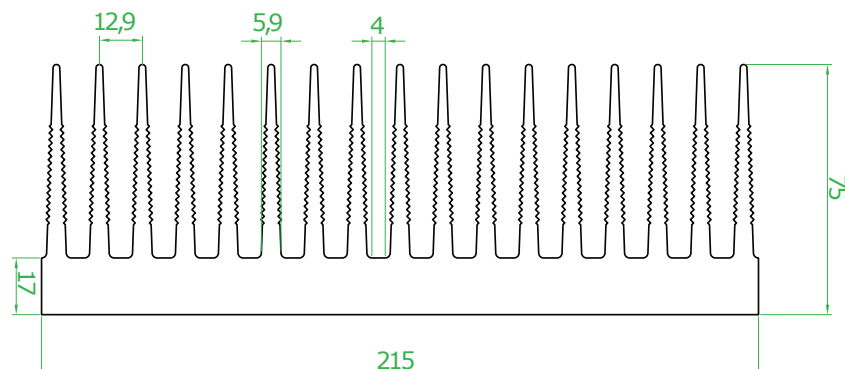
Nessas condições, as temperaturas de junções nos componentes também são recalculadas nas equações 3.85 e 3.86.

$$T_{jD} = T_h + P_D(R_{jcD} + R_{chD}) = 116,98^\circ C \quad (3.85)$$

$$T_{jS} = T_h + P_S(R_{jcS} + R_{chS}) = 119,61^\circ C \quad (3.86)$$

A temperatura nas junções ficaram em torno de $15^\circ C$ acima do valor inicial estipulado. Isso ocorre por que a resistência térmica do dissipador escolhido é um pouco acima do valor máximo pré estipulado. É decidido manter essa escolha por razões econômicas e também por que o protótipo é testado em temperatura ambiente de $25^\circ C$, então a temperatura de junção não deve alcançar os $115^\circ C$.

Figura 52 – Imagem Ilustrativa do Dissipador HS 21575



Fonte: (DISSIPADORES, 2019)

3.8 ANÁLISE DA METODOLOGIA DE CONTROLE

3.8.1 Modelagem da Planta

O modelo dinâmico do SPT é semelhante aos dos retificador Taipei e Nabae, então foi analisado as metodologias de controle empregadas nesses conversores para servir de referência.

Em (DUMS, 2005) o retificador Nabae compõe o estágio PFC de um reator eletrônico, nele é feito o controle da tensão do barramento por histerese, através da medição e comparação da potência de saída.

Em (POSTIGLIONE, 2006) foi feito controle digital com controlador proporcional, em que o valor da frequência é determinado pela tensão de barramento. Para evitar oscilações bruscas, os valores de frequência são limitados nas condições de mínima e máxima carga, além de ser criada uma rotina de espera de $530\mu\text{s}$ para controlar a rapidez com que são feitas essas mudanças no período de comutação.

Em (Yungtaek Jang; JOVANOVIĆ, 2013) o retificador Taipei é controlado de forma analógica, utilizando um TL431 para o circuito de compensação e o L6599A para modulação e *driver*, a metodologia de controle empregada não foi detalhada pelos autores.

Em (JANG et al., 2017) a topologia Taipei é modificada para diminuir a tensão de bloqueio nos interruptores, se assemelhando a um conversor NPC (*Neutral Point Clamped Converter*). Mesmo alterando o tipo de modulação, a dinâmica do conversor ainda é parecida ao do Taipei tradicional. No artigo é feito o controle digital da tensão de barramento, e a dinâmica do conversor é descrita como uma função de primeira ordem. É utilizado um controlador do tipo PI mais polo, e o sinal de compensação serve de referência para o VCO⁴ (*Voltage Controlled Oscillator*) que transcreve em uma frequência de comutação.

Como a corrente nos indutores tem um formato naturalmente senoidal seguindo a tensão de entrada, é necessário controlar somente a tensão de barramento. Por se tratar de um projeto acadêmico é optado por fazer o controle digital, pela facilidade de ajustar a frequência de comutação de forma precisa, o controle do tempo morto e variáveis do controlador.

3.8.2 Extração da Função de Transferência

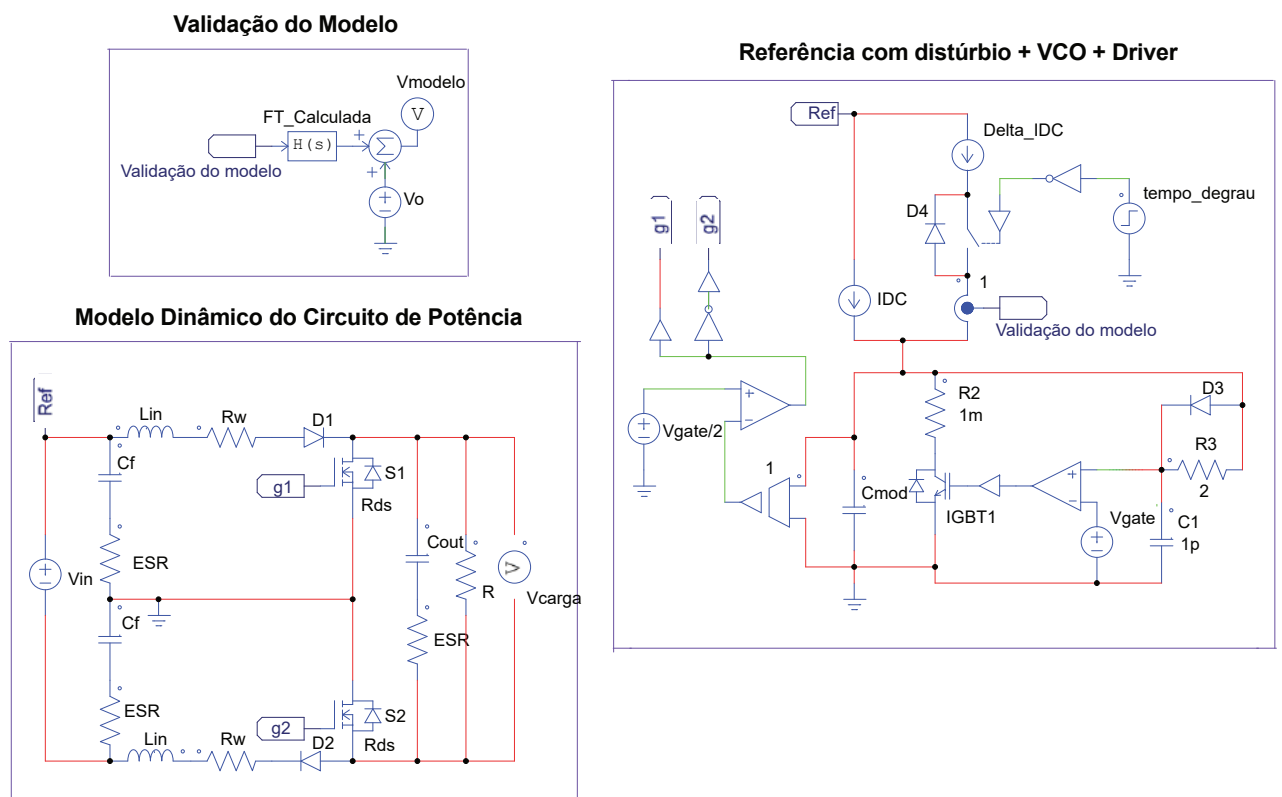
Como a variável a ser modulada para controlar a tensão de saída é a frequência, o modelo dinâmico do conversor deve ser representado por uma função transferência do tipo

⁴ É um oscilador comumente utilizado para modulações em frequência (FM - *frequency modulation*) ou em fase (PM - *phase modulation*). A tensão de entrada aplicada sobre ele determina a frequência instantânea do oscilador, ele basicamente "converte" valores de tensão em frequência através de um ganho pré estipulado pelo projetista

V_o/f_s . O modelo é extraído via simulação baseado na tese de (YANG, 2003), onde o autor faz esse procedimento para um conversor LLC *half-bridge*.

Para realização do procedimento é necessário os circuitos de VCO e *driver* além da planta a ser controlada. Então é aplicado um distúrbio senoidal juntamente com a tensão de referência no VCO, em seguida a amplitude e fase da tensão do barramento são medidos em função do sinal de distúrbio. O processo se repete para distúrbios com mesma amplitude de diversas frequências, e no final é montado o diagrama de bode e extraído a função de transferência.

Figura 53 – Sistema simulado no PSIM para obter e validar a função de transferência



Fonte: Elaborado pelo Autor

Para extrair a planta do SPT, são feitas algumas modificações nesse processo. Em vez de utilizar o circuito de potência do conversor Taipei, é utilizado a topologia Nabae no semiciclo positivo da rede, pois possui a mesma dinâmica V_o/f_s em um circuito pouco complexo.

No modelo é incluso a resistência do cobre dos indutores, a resistência de condução dos mosfets e a resistência série dos capacitores. Quanto ao ponto de operação, é escolhido para mínima tensão de entrada e com tensão de saída nominal. O circuito é simulado no PSIM e apresentado na Figura 53.

O VCO é feito com um circuito RC, em que a frequência de comutação é determinada pelo valor de corrente IDC utilizada para carregar C_{mod} , o ganho é calculado pela equação

(3.87), onde V_{gate} é a amplitude do sinal de gatilho.

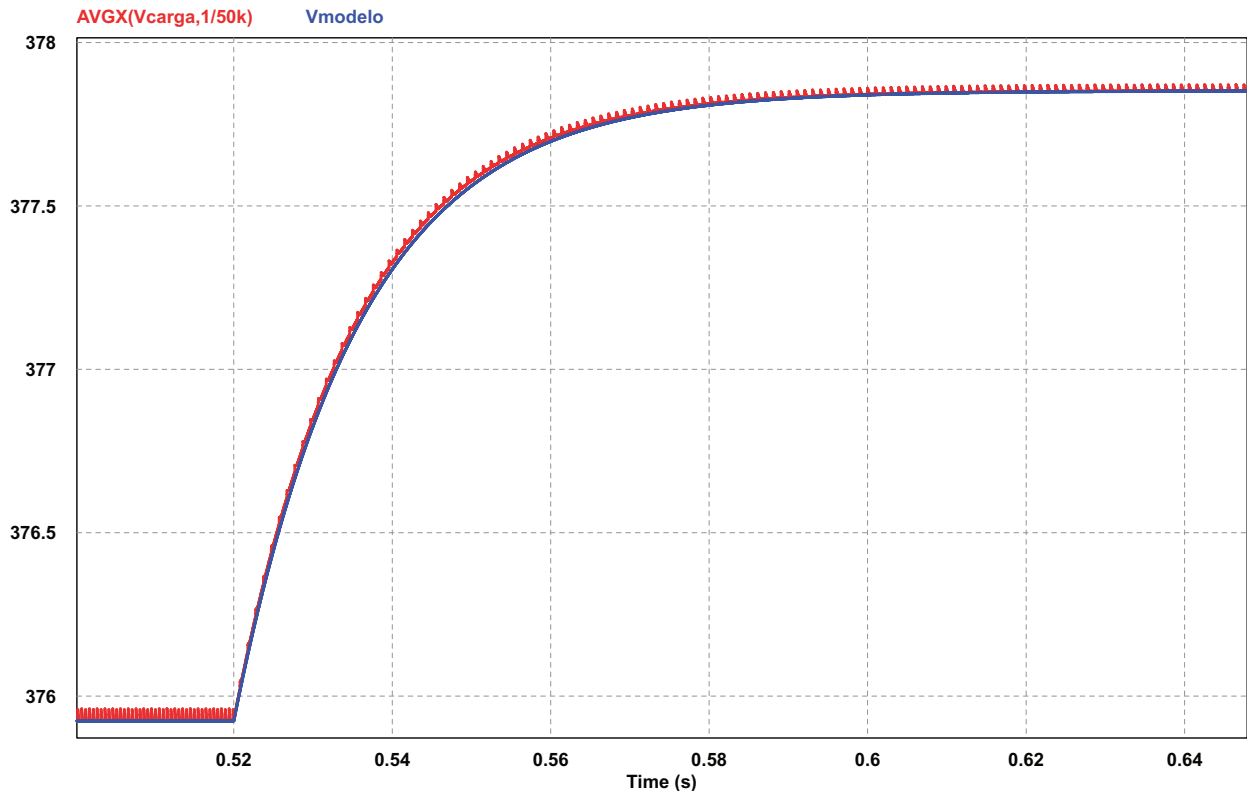
$$Ganho_{VCO} = \frac{frequência}{IDC} = \frac{1}{C_{mod}V_{gate}} = 250MHz/A \quad (3.87)$$

Ao aplicar um distúrbio de pequeno sinal (Delta IDC), é visto que a resposta V_o/f_s tem um formato de sistema de primeira ordem, portanto não é necessário extrair o diagrama de bode para montar a função de transferência, basta obter da resposta ao degrau o ganho estático K e a constante de tempo T diretamente da medição de tensão V_{carga} .

O ganho estático é a o valor diferencial de tensão entre antes e após o distúrbio, quando o sinal entra em regime. A constante de tempo é medida pelo período que o sinal de tensão leva desde quando foi aplicado o degrau até chegar em 63% do valor final. A equação (3.88) apresenta a função de transferência resultante, já a comparação entre esse modelo e a resposta V_o por f_s é apresentada na Figura 54.

$$\frac{V_o(s)}{f_s(s)} = \frac{1}{A_{degrau}} \cdot \frac{K}{Ts + 1} = \frac{1}{DeltaIDC} \cdot \frac{\Delta V_o}{Ts + 1} = \frac{-60,80M}{s + 63,085} \quad (3.88)$$

Figura 54 – Simulação no PSIM da Resposta ao Degrau do Circuito de Potência e do Modelo Estimado. É feito a média instantânea da tensão V_{carga} para facilitar a comparação

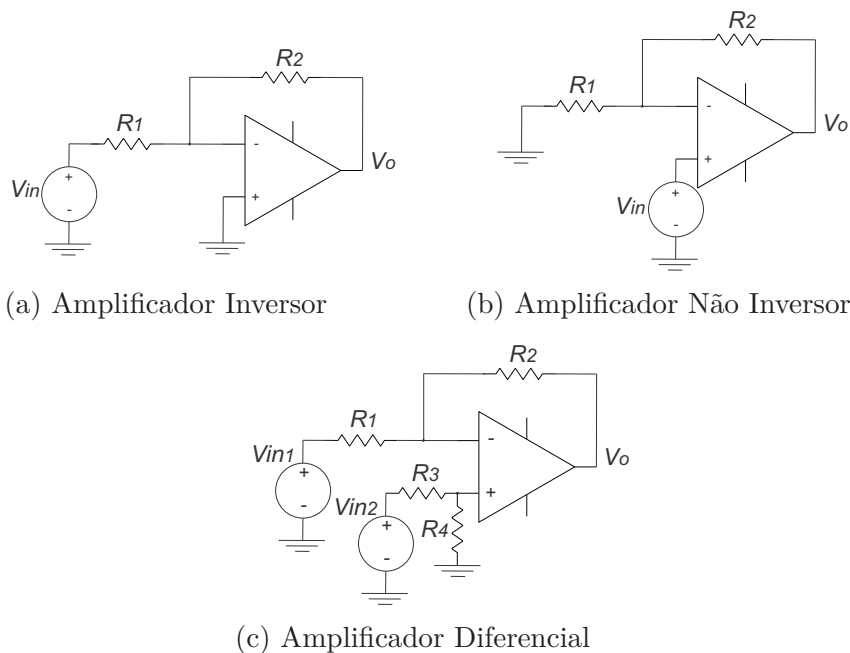


3.8.3 Condicionamento de Sinal

A medição da tensão de barramento é feita com um amplificador diferencial. Conforme (SEDRA et al., 2016), ele é o resultado da combinação do amplificador não inversor com ganho positivo de $(1 + R_2/R_1)$ e o amplificador inversor com ganho negativo de $(-R_2/R_1)$ (Figura 55). Ao juntá-los, é necessário que o ganho de ambas entradas sejam idênticas afim de rejeitar sinais de modo comum, para isso as igualdades $R_3 = R_1$ e $R_4 = R_2$ devem ser respeitadas e o ganho é ajustado pela associação entre R_1 e R_2 (equação 3.89).

$$A_d = \frac{R_2}{R_1} \quad (3.89)$$

Figura 55 – Principais Topologias de Amplificadores Operacionais



Fonte: Elaborado pelo Autor

O condicionamento é dividido em duas etapas, a primeira de medição, feita pelo componente AMC1301 da *Texas Instruments*, um amplificador isolado com ganho intrínseco de 8,2 V/V.

A medição diferencial é feita no resistor R_3 entre os pinos V_{INP} e V_{INN} , podendo variar até ± 250 mV (A partir de $\pm 302,7$ mV é acionado o circuito de proteção grampeando a tensão nesses pinos). O fabricante recomenda que seja adicionado uma resistência R'_3 com o mesmo valor de R_3 no pino V_{INN} para anular corrente de *offset* proveniente do componente e que interfere no ganho.

A tensão medida é calculada conforme a equação de divisor resistivo descrita em

(3.90), onde $R_{IN} = 18k\Omega$ é a resistência interna do componente.

$$V_{R3} = V_o \cdot \frac{R_{IN} // R_3}{(R_{IN} // R_3) + R_2 + R_1} \quad (3.90)$$

Na saída do AMC1301 é conectado o amplificador diferencial que ajusta a amplitude de tensão antes do sinal ir para o controlador digital. Para esse componente é escolhido o amppop MCP6021T da Microchip. Em (MICROSHIP, 2006) é explicado como associar o AMC1301 com amplificadores diferenciais e em (MICROSHIP, 2020) é apresentado um projeto detalhado dessa aplicação para um retificador ponte de Vienna de 20 kW.

Três filtros RC são projetados para atenuar ruídos de alta frequência provenientes do sinal medido e amplificado no AMC1301 (equações 3.91 a 3.93).

$$f_{p1} = \frac{1}{2\pi C_2 (R_4 // R_5)} = 376,2kHz \quad (3.91)$$

$$f_{p2} = \frac{1}{2\pi C_3 R_6} = 117,9kHz \quad (3.92)$$

$$f_{p3} = \frac{1}{2\pi C_5 R_7} = 23,41kHz \quad (3.93)$$

O circuito montado para condicionamento é apresentado na Figura 56, já na Tabela 29 mostra os valores dos componentes.

É preciso tomar cuidado com o valor da tensão de ruptura dos resistores R_1 e R_2 . Normalmente a medição é feita com resistores SMD (*Surface Mount Devices*), que possuem tensão de ruptura entre 60 a 100 V. Nesses casos é necessário associar mais componentes em série (mantendo a mesma resistência equivalente) para reduzir a tensão por componente. Para esse projeto em específico foi utilizado resistores SMD com *package* 0805 e tensão de ruptura de 100 V.

Para fazer o controle digital é utilizado o kit DSP LAUNCHXL-F28379D C2000 da *Texas Instruments*. A saída do amplificador MCP6021T é conectada diretamente ao pino A/D⁵ do kit.

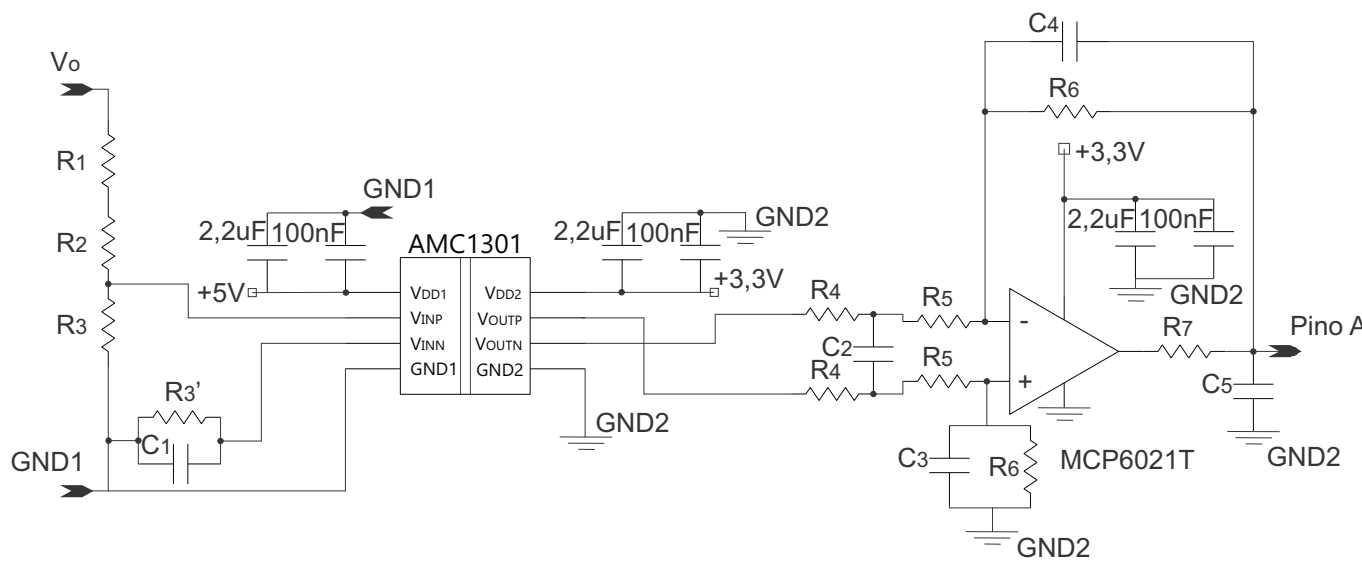
3.8.4 Driver

O sinal de gatilho é transmitido do DSP aos *drivers* UCC5390S, eles são replicados duas vezes conforme a Figura 57. O componente possui isolamento capacitiva, com pinos individuais para comando de ligar e desligar o interruptor ($R_{12} = R_{G(on)}$ e $R_{11} = R_{G(off)}$).

O *driver* pode ser desabilitado a qualquer momento pelo pino I/O EN do DSP. A tabela verdade para acionar e desligar os interruptores é apresentada na Tabela 30.

⁵ Conversor Analógico para Digital. Converte o sinal contínuo medido no pino em valores discretos.

Figura 56 – Circuito de Condicionamento de Sinal



Fonte: Elaborado pelo Autor

Tabela 29 – Componentes do Circuito de Sensoreamento

Componente	Valor
R_1	1 M Ω
R_2	1 M Ω
R_3	1 k Ω
R_3'	1 k Ω
R_4	4,7 k Ω
R_5	4,7 k Ω
R_6	7,5 k Ω
R_7	68 Ω
C_1	180 pF
C_2	180 pF
C_3	180 pF
C_4	180 pF
C_5	100 nF

Fonte: Elaborado pelo Autor

Tabela 30 – Tabela Verdade para Sinais de Gatilho no UCC5390S

IN+	IN-	OUTH	OUTL
Baixo	X	Alta Impedância	Baixo
X	Alto	Alta Impedância	Baixo
Alto	Baixo	Alto	Alta impedância

Fonte: Elaborado pelo Autor

Conforme recomendação de (INSTRUMENT, 2019) é adicionado filtros RC nos pinos IN+ e IN- para filtrar ruídos na faixa de mega hertz (equação 3.94).

$$f_{p4} = \frac{1}{2\pi C_6 R_8} = 48,23MHz \quad (3.94)$$

Também é calculado a *sink current*⁶ e a *source current*⁷ dos pinos OUTL (equação 3.96) e OUTH (equação 3.95) para garantir que as correntes de comutação do gatilho não danifiquem o *driver*.

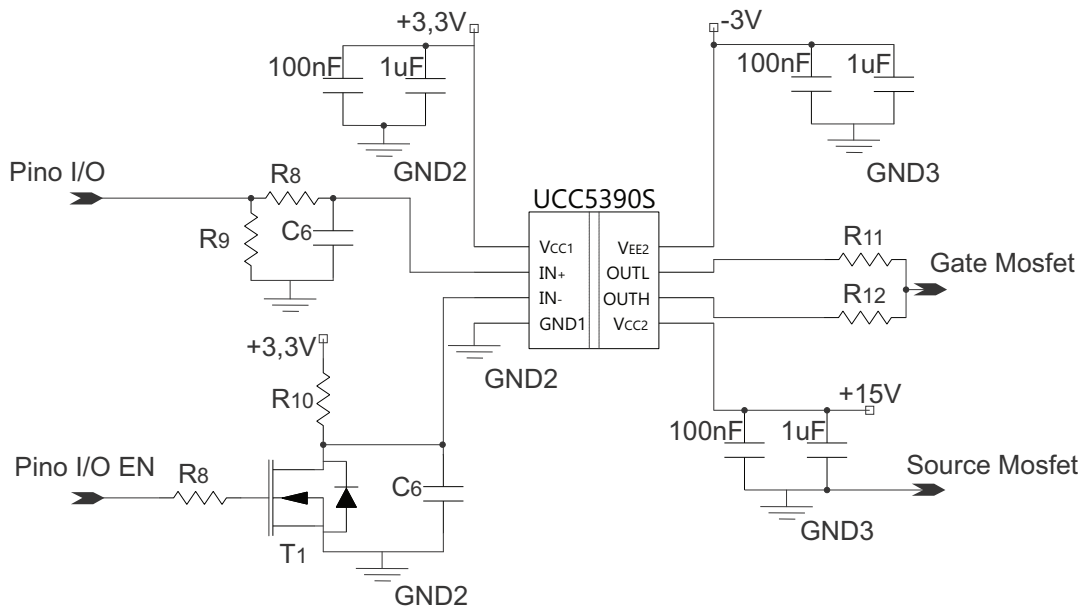
Em (INSTRUMENT, 2019) é fornecido as resistências internas do UCC5390S bem como as equações para cálculo dessas correntes ($R_{NMOS} = 0,76\Omega$, $R_{OH} = 12\Omega$, $R_{OL} = 0,13\Omega$, $R_{G(on)} = 1,8\Omega$, $R_{G(off)} = 1,8\Omega$ e $R_{G(int)} = 3,1\Omega$).

$$I_{OH} = \frac{V_{CC,ON}}{R_{NMOS} // R_{OH} + R_{G(on)} R_{G(int)}} = 1,78A \quad (3.95)$$

$$I_{OL} = \frac{V_{CC,OFF}}{R_{OL} + R_{G(off)} R_{G(int)}} = 0,99A \quad (3.96)$$

A Tabela 31 sumariza os componentes projetados para o circuito de *driver*.

Figura 57 – Circuito de *Driver* para um Interruptor



Fonte: Elaborado pelo Autor

3.8.5 Proteção para o Conversor A/D

Como o kit LAUNCHXL-F28379D C2000 tem somente duas entradas A/D, é adicionado um circuito de proteção contra sobretensão nesses pinos.

⁶ É a máxima corrente que o pino de gatilho consegue drenar.

⁷ É a máxima corrente que o pino de gatilho consegue suprir.

Tabela 31 – Componentes do Circuito de *Driver*

Componente	Valor
R_8	100 Ω
R_9	2,2 k Ω
R_{10}	680 Ω
R_{11}'	1,8 Ω
R_{12}	1,8 Ω
C_6	100 pF
T_1	2N7002

Fonte: Elaborado pelo Autor

Tabela 32 – Componentes do Circuito de Proteção do A/D

Componente	Valor
R_{13}	10 k Ω
R_{14}	1 k Ω
C_7	100 nF
D_1	BAT54SQ-7-F
T_2	BC856SF

Fonte: Elaborado pelo Autor

A forma mais simples de limitar tensão em um componente é utilizando diodos zener. Nesse caso, não é algo indicado por que na maioria das vezes em que ocorrer sobretensão no pino A/D vai ser algo transiente devido a um degrau de carga ou uma alteração brusca na tensão de entrada do conversor. Quando isso ocorrer, um diodo zener tende a drenar corrente para grampear a tensão em seu limiar, havendo possibilidade de drenar corrente do próprio pino A/D se necessário, podendo danificar o pino ou distorcer o sinal a ser amostrado.

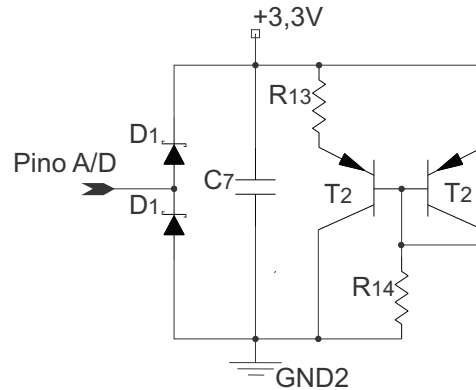
Normalmente os fabricantes recomendam utilizar dois diodos *schottky* ligados entre o pino A/D e o pino de alimentação para fazer essa proteção. Eles apresentam rápida resposta contra variações de tensões, não geram correntes de recuperação reversa e possuem baixa tensão de condução⁸.

Mas essa configuração de diodos insere um risco para a tensão de alimentação (V_{CC}), pois a corrente que circula pelos *schottkys* pode elevar a tensão de alimentação caso não haja carga o suficiente para suprir essa corrente. Por isso juntamente com a proteção com diodos é adicionado o regulador *shunt* formado pelos transistores T_2 apresentados na Figura 58, que grampeiam a tensão de alimentação.

A Tabela 32 apresenta os componentes utilizados no circuito de proteção.

⁸ Os pinos do DSP suportam tensões de $V_{CC} + 0,3$ e $V_{EE} - 0,3$. Portanto quando a sobretensão alcança o valor máximo do pino (V_{CC} ou V_{EE}) o diodo *schottky* é polarizado aderindo uma queda de tensão de aproximadamente 0,3 V, pequena o bastante para proteger o pino sem ultrapassar seu limite de tensão.

Figura 58 – Circuito de Proteção das Entradas A/D



Fonte: Elaborado pelo Autor

3.8.6 Controle Digital

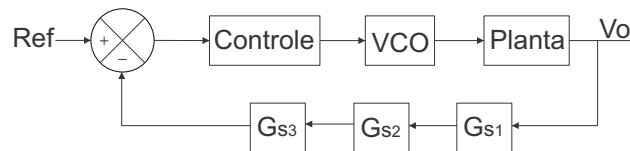
O controlador é projetado conforme o diagrama de blocos apresentado na Figura 59. Os ganhos de realimentação G_{S1} , G_{S2} e G_{S3} representam os ganhos do divisor resistivo no barramento, do AMC1301 e do MCP6021T respectivamente (equações 3.97 a 3.99). Já o ganho do VCO e a planta do conversor estão inclusos na mesma função de transferência extraída via PSIM.

$$G_{S1} = 473,45\mu V/V \quad (3.97)$$

$$G_{S2} = 8,2V/V \quad (3.98)$$

$$G_{S3} = 0,798V/V \quad (3.99)$$

Figura 59 – Diagrama de Blocos do Sistema de Controle



Fonte: Elaborado pelo Autor

O controlador é projetado conforme recomendações de (ERICKSON; MAKSIMOVIC, 2007) para garantir estabilidade:

- Erro de regime permanente nulo;
- Margem de fase $MF = \angle FTLA(j\omega) + 180^\circ$ entre $45^\circ \leq MF \leq 90^\circ$;
- Banda passante do controlador de tensão abaixo de $f_c \leq f_s/10$;
- Inclinação do módulo da curva de ganho no cruzamento por 0 dB de -20 dB/dec.

Para controlar o sistema de primeira ordem obtido na Equação (3.88), é utilizado um controlador proporcional integrador (PI) acrescido de um polo. O zero é alocado na mesma frequência do polo de (3.88), restando um integrador na origem.

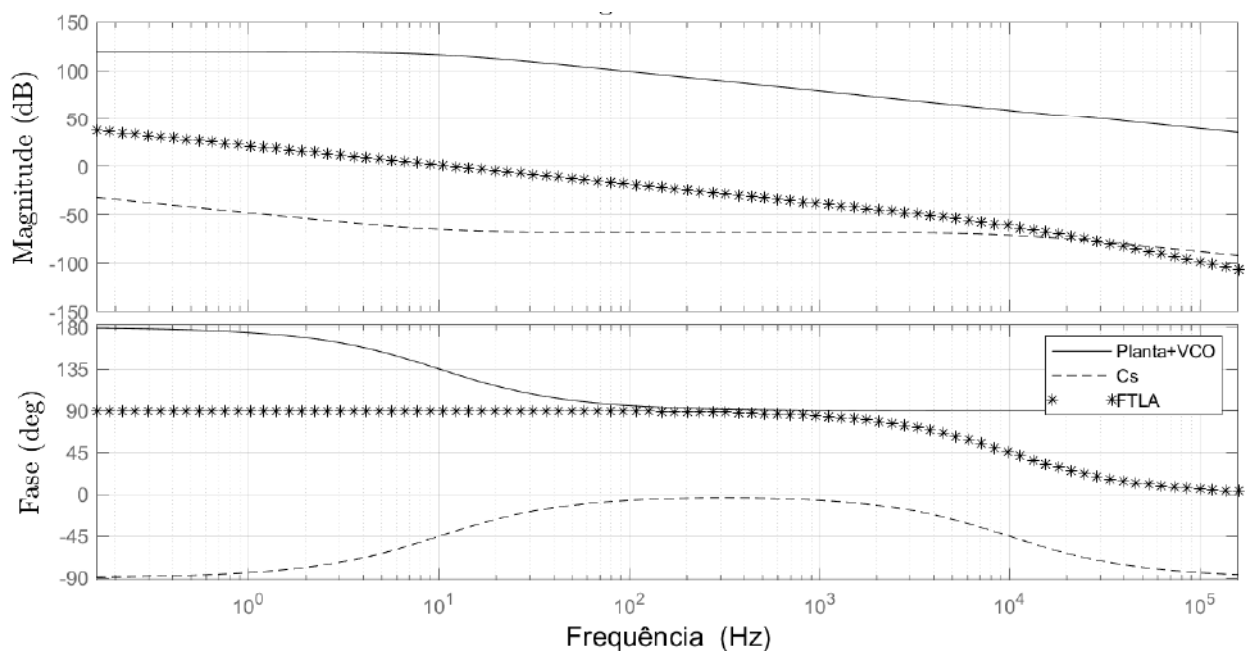
A frequência de corte é calculada para 10 Hz, é importante que o controle seja lento o bastante para não filtrar a frequência de 120 Hz do barramento. O polo acrescido no controlador é colocado acima da frequência de corte, em 10 kHz para aumentar a atenuação das frequências não controladas. A margem de fase do sistema é de 90°.

Por fim é incluso o atraso de propagação do sistema de controle, influenciado pelos tempos dos CIs AMC1301 e UCC5390S. A equação resultante é apresentada em (3.100).

$$C(s) = K_c \cdot \frac{s + z(j\omega)}{s(s + p(j\omega))} \cdot e^{-sT_{delay}} = 25,15 \cdot \frac{s + 63,08}{s(s + 62831,85)} \cdot e^{-s4,5\mu} \quad (3.100)$$

A Figura 60 mostra a resposta em frequência do modelo obtido no PSIM, do controlador e da função transferência do sistema em laço aberto (FTLA).

Figura 60 – Diagrama de Blocos do Sistema de Controle



Fonte: Elaborado pelo Autor

Por se tratar de um controle digital, o controlador obtido no plano s deve ser reescrito no plano z utilizando a transformada bilinear de Tustin⁹. Nesse caso, é utilizado a aproximação de primeira ordem apresentada na equação (3.101), que deve ser substituída em (3.100) para obter a função de transferência discretizada. A variável T_{am} é o tempo de

⁹ Transforma uma equação contínua no tempo para o domínio discreto e vice-versa

amostragem, aproximada como $T_{am} \approx T_s$. A equação discretizada no plano z do controlador é apresentada em (3.102).

$$s = \frac{2}{T_{am}} \cdot \frac{z - 1}{z + 1} \quad (3.101)$$

$$C(z) = \frac{112\mu z^3 + 58,68\mu z^2 - 166,3\mu z - 3,991\mu}{z^3 - 1,285z^2 + 0,2846z} \quad (3.102)$$

Na implementação prática do código no DSP alguns detalhes devem ser levados em consideração:

- As frequências de comutação resultante do VCO devem ser limitadas entre 50k Hz e 400 kHz para proteção do circuito de potência.
- Deve ser montado uma rotina de *soft-start*, com frequência de comutação inicial de 400 kHz que decresça linearmente até 50 kHz. Nesse meio tempo os capacitores de barramento são carregados, amenizando correntes de *Inrush* e a tensão de barramento fica alta o bastante para o controlador começar a atuar.
- Como os *drivers* UCC5390S são individuais, o tempo morto entre os sinais de gatilho é controlado pelo DSP, conforme o estudo feito na Seção (2.7.5)

3.9 FILTRO DE EMI

A comutação de semicondutores em alta frequência causa propagação de ruídos eletromagnéticos, problema conhecido como interferência eletromagnética (EMI - Electro-magnetic Interference).

Ruídos de EMI são irradiados e/ou conduzidos pelo próprio *layout* do circuito, podendo prejudicar o funcionamento de outros equipamentos elétricos próximos ou conectados a mesma rede elétrica.

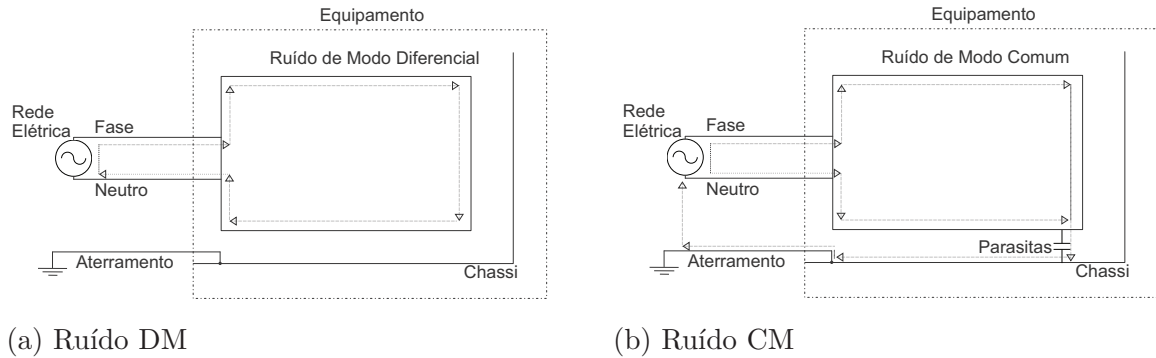
Esse trabalho foca somente no estudo do ruído conduzido do conversor, que na maioria das vezes é o mais prejudicial a rede elétrica. A EMI conduzida é dividida em ruído de modo comum (CM - Common Mode, Figura 61b) e ruído de modo diferencial (DM - Differential Mode, Figura 61a).

O ruído DM é definido pelas correntes que circulam no sentido diferencial nas linhas de alimentação, e não se propagam pelo condutor de aterramento. No caso de circuitos conectados diretamente a rede elétrica, essa corrente circula no sentido da fase para o neutro ou vice-versa. Esse ruído é gerado por elevadas derivadas de corrente (di/dt), com a entrada em bloqueio e condução de semicondutores e correntes de recuperação reversa.

O ruído CM é definido pelas correntes que circulam no mesmo sentido dos condutores de alimentação e retornam pelo condutor de aterramento ou pelo gabinete do equipamento através de capacitâncias parasitas. Esse ruído é gerado por elevadas derivadas de tensão

(dv/dt), que na presença de capacitâncias parasitas geram caminhos de corrente em alta frequência.

Figura 61 – Tipos de ruídos de EMI conduzidos



Fonte: Elaborado pelo Autor

Para diminuir a EMI é importante utilizar boas técnicas de *layout* e blindagens adequadas. Contudo, na grande maioria das vezes isso não é o bastante para passar nas normas de compatibilidade eletromagnética (EMC - Eletromagnetic Interference Compatibility).

A solução é inserir uma impedância de modo comum e de modo diferencial entre o retificador e a rede elétrica para atenuação dos ruídos, com o projeto de filtro de EMI.

Esse capítulo aborda o projeto de filtro EMI, é apresentado as técnicas utilizadas para reduzir EMI, além da modelagem dos componentes em alta frequência do retificador, prevendo a quantidade de ruído conduzido gerado pelo conversor.

Além do estudo de filtro de EMI com componentes passivos, também é proposto um filtro híbrido com o intuito de reduzir componentes magnéticos da estrutura. Os resultados apresentados são todos provenientes de simulação numérica utilizando o *software* Gecko.

3.9.1 Normas

É importante destacar que além das normas de interferência eletromagnética, o retificador também deve ser aprovado em normas que limitam a distorção harmônica da corrente de entrada e a corrente de fuga pelo condutor de aterramento.

Considerando que o retificador projetado será empregado em sistemas de refrigeração, é necessário ser aprovado na norma CISPR 14 (Tabela 33), que delimita o ruído DM e CM para uma banda de frequências entre 148,5 kHz a 30 MHz.

Para fazer as medições de EMI é utilizado uma LISN (*Line Impedance Stabilization Network*) e um analisador de impedâncias.

A LISN é um filtro passa-baixas colocado entre a rede e a fonte de ruído (conversor), criando uma impedância conhecida e sendo capaz de prover um caminho de alta frequência

Tabela 33 – Limites totais de ruídos EMI conduzidos na entrada do retificador conforme a norma CISPR 14

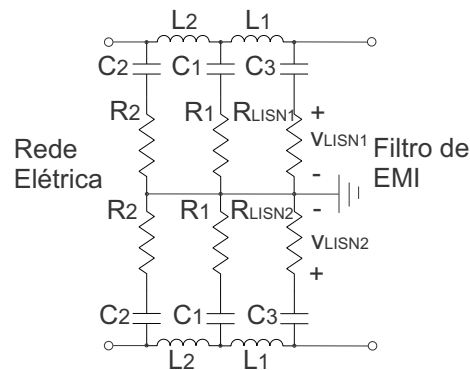
Frequências MHz	Ruídos nos terminais ligados a rede	
	Quasi-Peak dB(μ V)	Average dB(μ V)
0,15 a 0,50	66 a 56*	59 a 46*
0,50 a 5	56	46
5 a 30	60	50

*Valor decresce linearmente com o logaritmo da frequência do maior ao menor valor.

Fonte: Elaborado pelo Autor

para medição dos ruídos pelo analisador de impedância. Simultaneamente tem a função de isolar ruídos indesejados da rede elétrica que possam interferir na medição e também os harmônicos de baixa frequência do conversor, garantindo a normalidade de funcionamento.

Figura 62 – Circuito de Medição de EMI



Fonte: Elaborado pelo Autor

É necessário atender às normas relativas a harmônicos e fator de potência. O caso estudado se enquadra na classe A da norma IEC 61000-3-2 (Tabela 34), referente a equipamentos com corrente fundamental inferior a 16 A (por fase) com tensão nominal fase-neutro entre 220 V a 240 V, operando em 50 Hz ou 60 Hz.

A IEC 61000-3-2 delimita a amplitude dos primeiros 40 harmônicos múltiplos da frequência da rede conforme descrito na Tabela 34.

Em relação as normas de fuga de corrente é utilizado a IEC 60950-1 Classe I (Equipamentos estacionários plugáveis), destinada a fontes de alimentação. Dependendo do país a corrente de fuga máxima varia, por isso foi selecionado uma norma padrão de fontes de alimentação como referência para o projeto. Ela delimita 3,5 mA de corrente de fuga e o teste é feito em 110% da tensão nominal.

3.9.2 Modelos e Componentes Parasitas

O circuito de potência do conversor é simulado no *software* Gecko e através de uma LISN o ruído conduzido de entrada é medido. Mas antes de realizar a simulação é

Tabela 34 – Limite para harmônicos enquadrados na Classe A da norma IEC 61000-3-2

Harmônicos	Classe A (A_{rms})	
Harmônicos Ímpares	3	2,30
	5	1,14
	7	0,77
	9	0,40
	11	0,33
	13	0,21
	15 a 39	2,25/n
Harmônicos Pares	2	1,08
	4	0,43
	6	0,30
	8 a 40	1,84/n

Fonte: Elaborado pelo Autor

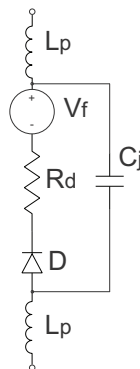
importante representar os modelos dos componentes o mais próximo o possível da realidade. Quanto mais preciso forem os modelos, maior é a semelhança do ruído conduzido com relação ao resultado experimental.

3.9.2.1 Modelo Semicondutores

O modelo de alta frequência para os diodos é apresentado na Figura 63, constituído pela resistência de condução (R_d), a queda de tensão direta (V_f), a capacitância de junção (C_j) e as indutâncias dos pinos do componente (L_p). Com exceção de L_p , os outros parâmetros podem ser obtidos via *datasheet*.

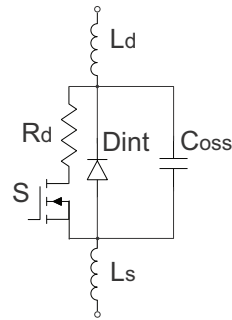
O modelo de alta frequência do MOSFET possui a resistência de condução (R_d), a capacitância entre dreno e *source* (C_{ds}) e as indutâncias dos pinos do componente (L_p). O diodo intrínseco ao MOSFET é o modelo replicado apresentado na Figura 63 com exclusão das indutâncias.

Figura 63 – Modelo de alta frequência do diodo



Fonte: Elaborado pelo Autor

Figura 64 – Modelo de alta frequência do mosfet



Fonte: Elaborado pelo Autor

Tabela 35 – Variáveis do modelo de alta frequência do diodo retificador

Parâmetro	D
R_d	10 m Ω
V_f	1,5 V
C_j	13 pF
L_p	10 nH

Fonte: Elaborado pelo Autor

Tabela 36 – Variáveis do modelo de alta frequência do mosfet

Parâmetro	S e D_s
$R_d(mosfet)$	27 m Ω
$L_p(dreno)$	10 nH
$L_p(source)$	10 nH
C_{ds}	130 pF
$R_d(diodo)$	10 m Ω
V_f	1,1 V
C_j	130 pF

Fonte: Elaborado pelo Autor

Como já explicado, os parâmetros internos dos componentes não são estáticos, variando conforme as condições de operação impostas pelo circuito. Mas como o intuito é ter noção da EMI e não a eficiência da topologia, é válido utilizar valores estáticos para essas variáveis. Contudo, é importante selecionar esses valores para condições semelhantes de operação. As Tabelas 35 e 36 apresentam os valores dos componentes parasitas dos semicondutores.

3.9.2.2 Modelo Capacitores

O modelo dos capacitores é formado pela resistência e indutância série equivalente. A ESR é obtida no *datasheet*, normalmente com um valor sobre dimensionado para uma temperatura de 25°C. É necessário tomar cuidado na seleção de valores de ESR para frequências iguais ou acima de 1 kHz, já que se trata de um modelo de alta frequência.

Tabela 37 – Variáveis do modelo de alta frequência do capacitor

Parâmetro	C_f	C_b	C_o
C	2,2 μF	2,2 μF	360 μF
ESR	0,024 Ω	0,024 Ω	737 m Ω
ESL	10 nH	10 nH	25nH

Fonte: Elaborado pelo Autor

Tabela 38 – Variáveis do modelo de alta frequência do indutor de único enrolamento

Parâmetro	L_{in}
L	9,8 μH
R_w	1,42 m Ω
C_f	14 pF

Fonte: Elaborado pelo Autor

A ESL é um parâmetro importante para análise de EMI em frequências de mega hertz pois influencia na frequência de ressonância do capacitor e na impedância total. Mas normalmente não está disponível no *datasheet*, então sempre que possível deve ser obtida experimentalmente (Figura 65 e Tabela 37).

Figura 65 – Modelo de alta frequência do capacitor

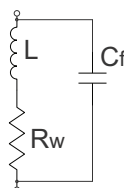


Fonte: Elaborado pelo Autor

3.9.2.3 Modelo Indutores

O modelo de alta frequência de um indutor com único enrolamento é representado pela indutância própria (L), a resistência total do enrolamento (R_w) e a capacitância entre as espiras (C_f) (Figura 66 e Tabela 38).

Figura 66 – Modelo de alta frequência do indutor de único enrolamento



Fonte: Elaborado pelo Autor

Tabela 39 – Variáveis do modelo de alta frequência do indutor de único enrolamento

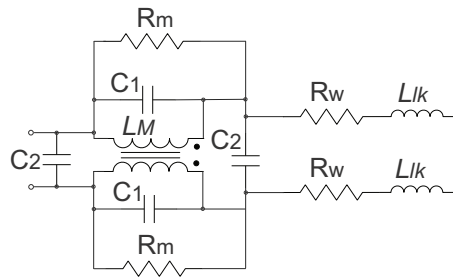
Parâmetro	L_c
L_M	170 μH
L_{lk}	1,7 μH
R_w	1 $\mu\Omega$
R_w	10 $\text{M}\Omega$
C_1	2,8 pF
C_2	105 pF

Fonte: Elaborado pelo Autor

3.9.2.4 Modelo Indutores Acoplados

O modelo do indutor acoplado é feito com base em (DEHONG; XANGUO, 2002). L_M é a indutância de magnetização, L_{lk} é a indutância de dispersão, C_1 é a capacitância entre fios de um enrolamento, C_2 é a capacitância entre enrolamentos, R_m é a resistência dielétrica entre os fios e R_w é a resistência do condutor de cobre (Figura 67 e Tabela 39).

Figura 67 – Modelo de alta frequência do indutor de único enrolamento



Fonte: Elaborado pelo Autor

3.9.2.5 Modelo de Capacitâncias Parasitas entre Dissipador e Encapsulamentos

O dissipador colocado nos diodos e MOSFETs gera corrente CM. Entre o dissipador e a superfície do componente é colocado um material dielétrico (cerâmica, mica, *polyester*...) para isolar o terminal do componente em relação ao dissipador, que normalmente é aterrado. Esse isolante é necessário na maioria das vezes por que a superfície do semicondutor disponível para conexão ao dissipador tem potencial comum a um dos terminais, no caso de diodos, normalmente a superfície é comum ao cátodo, já no caso de MOSFETs e IGBTs é comum ao dreno.

A diferença de potencial entre essa superfície do semicondutor e o dissipador forma uma capacitância parasita, no qual a corrente de fuga depende da dimensão e características físicas do isolante.

O valor dessa capacitância parasita é calculado utilizando a equação (3.103) e as informações do isolador de cerâmica descritos nas Tabelas 27 e 28. Na equação, ϵ_o é a

permissividade eletrostática no vácuo, ϵ_r é a constante dielétrica do isolante, A é a área do isolador e d a espessura do isolador.

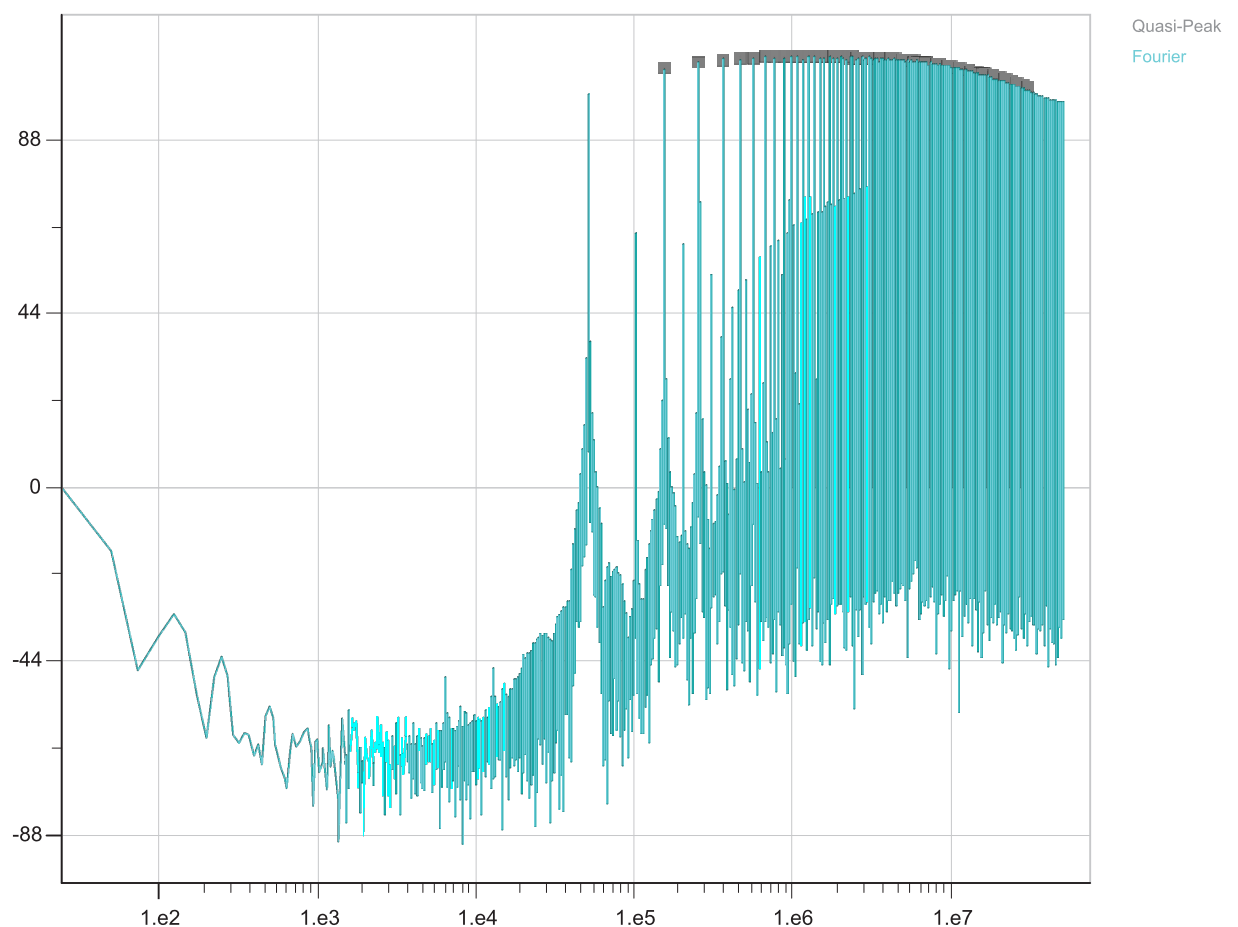
$$C = \epsilon_0 \epsilon_r \frac{A}{d} \quad (3.103)$$

O encapsulamento TO-262AA dos diodos retificadores tem capacitância parasita de 12 pF. Já o encapsulamento TO-247 dos MOSFETs tem capacitância parasita de 193 pF.

3.9.3 Estimação do Ruído de Entrada

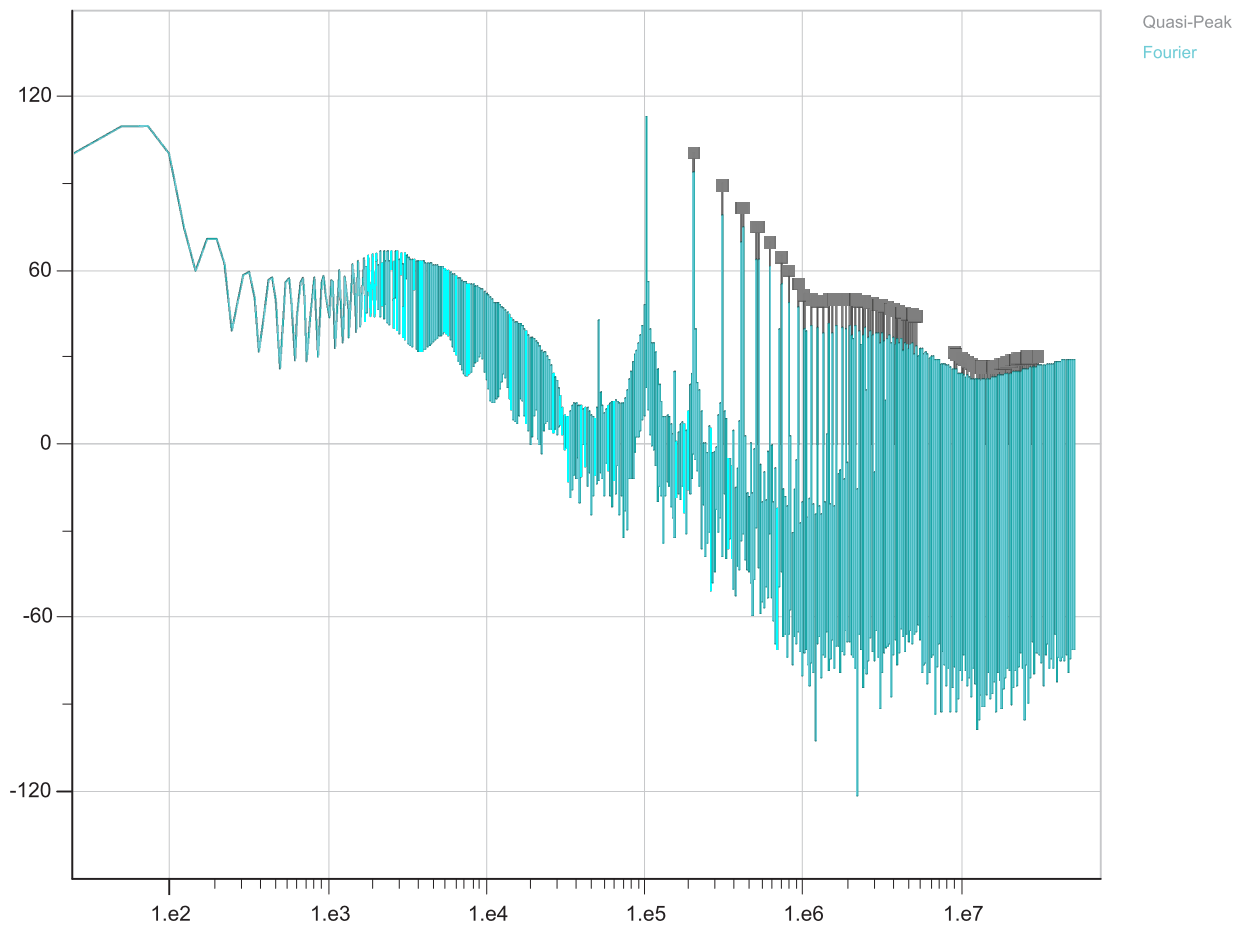
Os ruídos DM e CM do conversor são simulados e mensurados no *software* Gecko. No circuito de potência os componentes foram construídos de forma a representar seu comportamento em alta frequência conforme explanado na seção anterior. Os resultados obtidos são apresentados nas Figuras 68 e 69 para operação com mínima tensão de entrada.

Figura 68 – Ruído DM simulado nos Terminais de Entrada



Fonte: Elaborado pelo Autor

Figura 69 – Ruído CM simulado nos Terminais de Entrada



Fonte: Elaborado pelo Autor

3.9.4 Filtro de EMI passivo

O projeto dos componentes do filtro de EMI não são feitos conforme a metodologia tradicional de filtros, a partir de polos, zeros, atrasos de grupo, atenuação e ordem. Em vez disso o projeto é feito a partir da impedância, perda de inserção e atenuação.

A perda de inserção que quantifica a capacidade de atenuação do filtro de EMI, quanto maior o seu valor, maior é a atenuação.

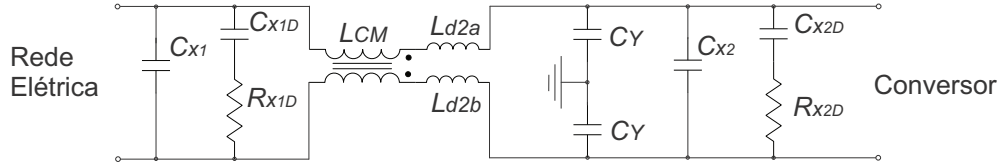
Existem diversas topologias de filtros de EMI, entre elas estão a π , T, L, LC, LCL, CL, CLC e entre outras que podem ser cascadeadas em n estágios. Para esse projeto é selecionado a topologia LC com dois estágios, uma das configurações mais comuns em retificadores PFC de baixa e média potência.

Utilizar dois estágios para atenuação de ruído é uma solução econômica em aplicações onde requer atenuações muito grande, pois um único filtro LC exigiria um indutor muito volumoso para abranger toda a banda de frequências de forma eficiente.

A Figura 70 mostra a configuração do filtro proposto. É importante destacar que o filtro de modo comum permanece sendo de um único estágio, já o filtro de modo diferencial

é repartido em dois.

Figura 70 – Filtro de EMI com dois estágios de modo diferencial e um estágio de modo comum



Fonte: Elaborado pelo Autor

O primeiro estágio é formado pelas indutâncias L_{d2a} e L_{d2b} e pela capacitância C_{x2} . O segundo estágio é formado pelo capacitor C_{x1} e pela indutância da rede ou indutância de $50\mu H$ da LISN.

Cada capacitor diferencial C_x possui um circuito de amortecimento para evitar oscilação dos ruídos que coincidem com a frequência de ressonância do filtro LC.

O estágio de modo comum, formado pelo indutor L_{CM} e os capacitores C_{y1} e C_{y2} são projetados para limitar a máxima corrente de fuga ao terra, tendo como referência a norma IEC 60950-1 Classe I.

A metodologia de projeto do filtro em geral, é detalhada em (HELDWEIN, 2008) e utiliza como base o ruídos de EMI medidos no circuito simulado no Gecko.

Os componentes são escolhidos a partir da atenuação assintótica desejada para o filtro LC de múltiplos estágios, utilizando a equação (3.104).

$$\frac{1}{A_{asympt}(f)} = \frac{|U_2(f)|}{|U_1(f)|} = (2\pi f)^{2N} \prod_{i=1}^N (L_i C_i) \quad (3.104)$$

O filtro CM é projetado primeiro, assumindo que a capacitância total $C_y = C_{y1} + C_{y2}$ deve garantir uma corrente de fuga ao terra que seja $I_{terra,rms} \leq 3,5mA$.

A capacitância máxima para C_y é estimada pela equação (3.105), considerando a frequência da rede em 60 Hz e tensão eficaz nominal de 220 V.

$$C_y = \frac{I_{terra,rms}}{1,1V_{in}2\pi f_r} = 38,36nF \quad (3.105)$$

É selecionado $C_y = 22nF$ modelo B32032A4223M000 da TDK.

Pelo espectro de ruído CM na Figura 69, verifica-se que os harmônicos múltiplos da frequência de comutação são mais críticos. Para passar na norma CISPR 14, é escolhido o harmônico de 200 kHz para atenuar (4° harmônico de f_s), pois está próximo da frequência mínima da norma (148,5 kHz).

O harmônico tem amplitude de $101 \text{ dB}\mu\text{V}$, no cálculo de atenuação são acrescidos 6 dB de margem visando outras capacitâncias parasitas CM que não foram introduzidas na simulação (equação 3.106).

$$A_{req}(f_{CM}) = 101 \text{ dB}\mu\text{V} + 6 \text{ dB}\mu\text{V} - \text{CISPR14}_{f=200 \text{ kHz}} = 42,25 \text{ dB}\mu\text{V} \quad (3.106)$$

O filtro CM deve ser capaz de atenuar $42,25 \text{ dB}\mu\text{V}$ em 200 kHz, isso é utilizado como parâmetro para o cálculo da frequência de corte e da indutância L_{CM} (equações 3.107 e 3.108).

$$f_{c,CM} = \frac{f_{CM}}{\sqrt{10^{A_{req}(f_{CM})/20}}} = 24,95 \text{ kHz} \quad (3.107)$$

$$L_{CM} = \frac{1}{4\pi^2 f_{corte}^2 C_y} = 3,73 \text{ mH} \quad (3.108)$$

É escolhido um indutor de 4 mH modelo RT8522-16-4M0 da Schaffner.

No projeto do filtro DM algumas considerações são feitas. Conforme (HELDWEIN, 2008), é importante que C_{x2} tenha uma capacitância entre $1\mu\text{F}$ a $8\mu\text{F}$ para limitar a ondulação de tensão na entrada. Mas é importante ter cautela, pois os capacitores C_x influenciam bastante no deslocamento angular do conversor, principalmente quando operado com baixa carga. Valores elevados de capacitância podem ajudar a reduzir a frequência de corte sem a necessidade de utilizar indutâncias elevadas, mas degradam significativamente o fator de potência da estrutura.

Outra consideração importante, é que o estágio 2 deve ter uma perda de inserção maior que o estágio 1 e uma frequência de corte menor, para garantir estabilidade e eficiência da estrutura. (HELDWEIN, 2008) recomenda que $A_{est2}[\text{dB}] = (0,6 \dots 0,7)A_{req}(f_{DM})[\text{dB}]$ e $f_{c,est2} \approx 0,1f_{c,est1}$.

Do espectro de ruído DM da Figura 68, é escolhido o harmônico de 150 kHz (3° harmônico de f_s) para ser atenuado.

O harmônico tem amplitude de $95 \text{ dB}\mu\text{V}$, no cálculo de atenuação são acrescidos 6 dB de margem visando outras fontes de ruído DM que não foram introduzidas na simulação (equação 3.109).

$$A_{req}(f_{DM}) = 95 \text{ dB}\mu\text{V} + 6 \text{ dB}\mu\text{V} - \text{CISPR14}_{f=150 \text{ kHz}} = 35 \text{ dB}\mu\text{V} \quad (3.109)$$

É determinado que o estágio 2 fica responsável por atenuar 60% do sinal, ou seja $A_{est2}[\text{dB}] = (0,6)A_{req}(f_{DM})[\text{dB}] = 21 \text{ dB}\mu\text{V}$.

É selecionado duas indutâncias DM em paralelo com valores $L_{D2a} = L_{D2b} = 220\mu H$ cada e modelo 1140-221K-RC.

Como a indutância do estágio 1 é $50\mu H$ da LISN, os capacitores DM dos dois estágios são escolhidos de forma a ajustar as frequências de corte (equação 3.110 a 3.113) conforme recomendado por (HELDWEIN, 2008).

É escolhido o componente B32923C3225K da TDK para $C_{x2} = 2,2\mu F$.

$$f_{c,DM2} = \frac{1}{2\pi\sqrt{2L_{d2}C_{x2}}} = 7,59kHz \quad (3.110)$$

$$f_{c,DM2} = \frac{f_{DM}}{\sqrt{10^{A_{est2}(f_{DM})/20}}} = 24,42kHz \quad (3.111)$$

O estágio 1 atenua a parcela restante, $A_{est1}[dB] = A_{req}(f_{DM})[dB] - A_{est2}[dB] = 14dB\mu V$

É escolhido o componente B32921C3473K289 da TDK para $C_{x1} = 47nF$.

$$f_{c,DM1} = \frac{1}{2\pi\sqrt{2L_{LISN}C_{x1}}} = 73,4kHz \quad (3.112)$$

$$f_{c,DM1} = \frac{f_{DM}}{\sqrt{10^{A_{est1}(f_{DM})/20}}} = 164,35kHz \quad (3.113)$$

Os circuitos de amortecimento são projetados seguindo a metodologia de (ERICKSON, 1999), na Figura 70 os pares RC formados pelos resistores R_{x1D} e R_{x2D} em série com os capacitores C_{x1D} e C_{x2D} fazem essa função.

Os capacitores de amortecimento não interferem na atenuação do filtro, assim o critério de escolha deles está relacionado com o custo benefício entre o amortecimento produzido e o tamanho do capacitor. Essa relação é mensurada pelo fator n da equação (3.114).

$$n = \frac{C_{xD}}{C_x} \quad (3.114)$$

As capacitâncias C_{xD} devem ser projetadas para ter impedância menor que os resistores R_{xD} na frequência de ressonância, e isso afeta a impedância de saída do filtro. Na escolha das capacitâncias, é bom garantir que a resistência de entrada (equações 3.115 e 3.116) tenha uma impedância bem maior que a do filtro, pelo menos para as frequências menores. A frequência de maior impedância e seu valor podem ser calculados pelas equações (3.117) e (3.118).

$$R_o = \sqrt{\frac{L_d}{C_x}} \quad (3.115)$$

Tabela 40 – Componentes do Filtro de EMI

Filtro de EMI	Parâmetro	Componente
L_{CM}	4 mH	RT8522-16-4M0
C_y	22 nF	B32032A4223M000
L_{d2}	220 μ // 220 μ H	1140-221K-RC
C_{x2}	2,2 μ F	B32923C3225K
C_{x2D}	470 nF	B32921C3473K289
R_{x2D}	35 Ω	CCF6035R7FKE36
C_{x1}	47 nF	B32921C3473K289
C_{x1D}	10 nF	B32921C3103K
R_{x1D}	170 Ω	CCF60182RFKE36

Fonte: Elaborado pelo Autor

$$f_o = \frac{1}{2\pi\sqrt{L_d C_x}} \quad (3.116)$$

$$f_{Z_o} = f_o \sqrt{\frac{2}{2+n}} \quad (3.117)$$

$$Z_o = R_o \sqrt{\frac{2(2+n)}{n}} \quad (3.118)$$

O valor da resistência ótima de amortecimento é calculada pela equação (3.119).

$$R_x = R_o \sqrt{\frac{(2+n)(4+3n)}{2n^2(4+n)}} \quad (3.119)$$

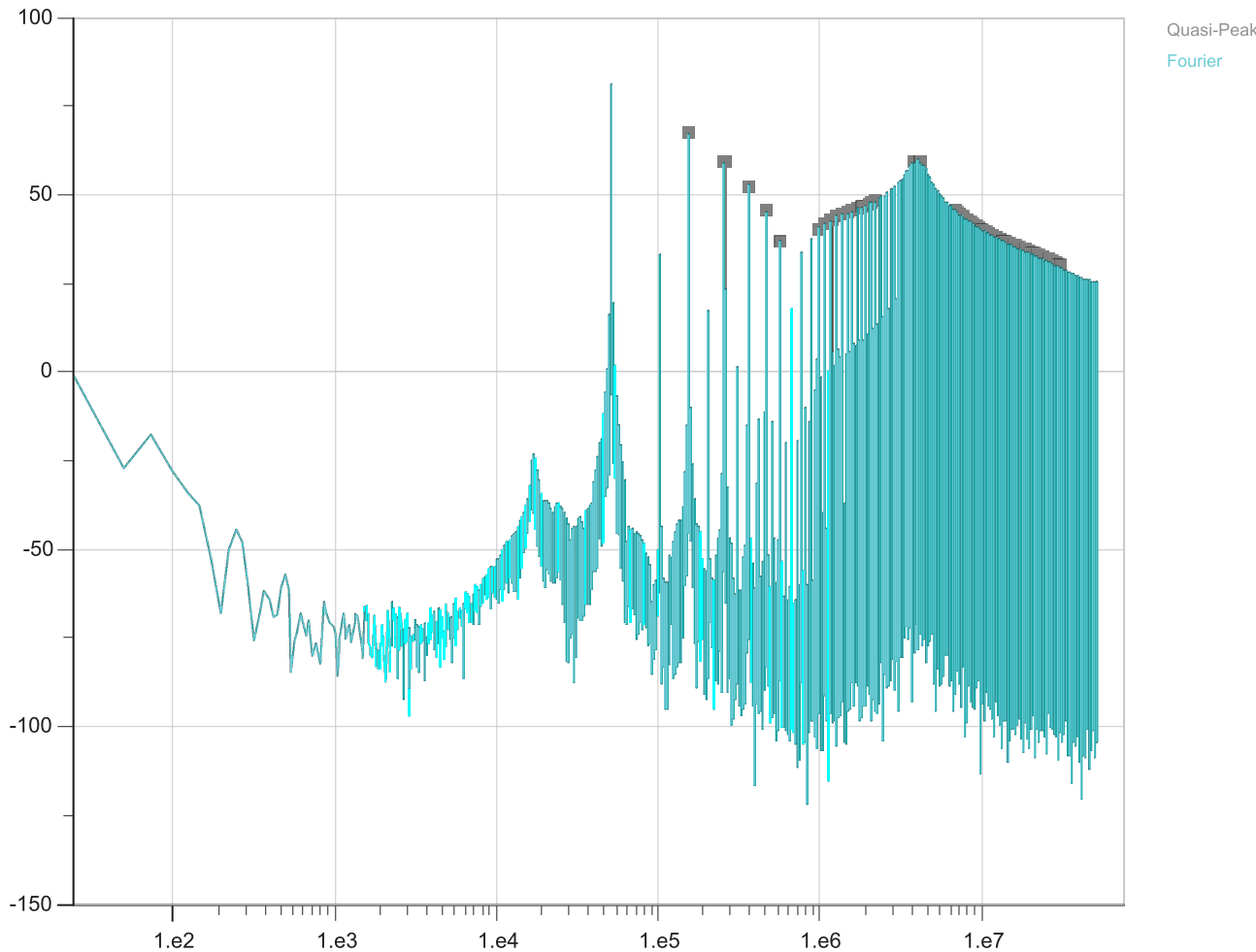
Os componentes projetados para o filtro estão sumarizados na Tabela 40 e os resultados do espectro de alta frequência da corrente DM e CM são apresentadas nas Figuras 71 e 72 respectivamente.

3.9.5 Otimização do Filtro de EMI

A forma mais comum de otimizar o filtro de EMI, é incorporar os indutores CM e DM em um único núcleo. Isso é empregado em conversores de baixa e média potência, onde o indutor CM é escolhido de forma que a sua indutância de dispersão tenha valor similar a indutância DM. Inclusive, em alguns casos ocorre o sobredimensionamento da indutância CM para que a indutância de dispersão alcance o valor projetado para o indutor DM.

Nesse tipo de projeto, a frequência de corte é determinada majoritariamente pela capacitância C_x , já que o valor de L_{DM} é bem pequeno. Portanto, quanto menor for a frequência de corte do filtro DM e maior for o ruído a ser atenuado, mais difícil é a implementação. Em ambos os casos há uma exigência de elevados valores de capacitância

Figura 71 – Filtro de EMI com dois estágios de modo diferencial e um estágio de modo comum



Fonte: Elaborado pelo Autor

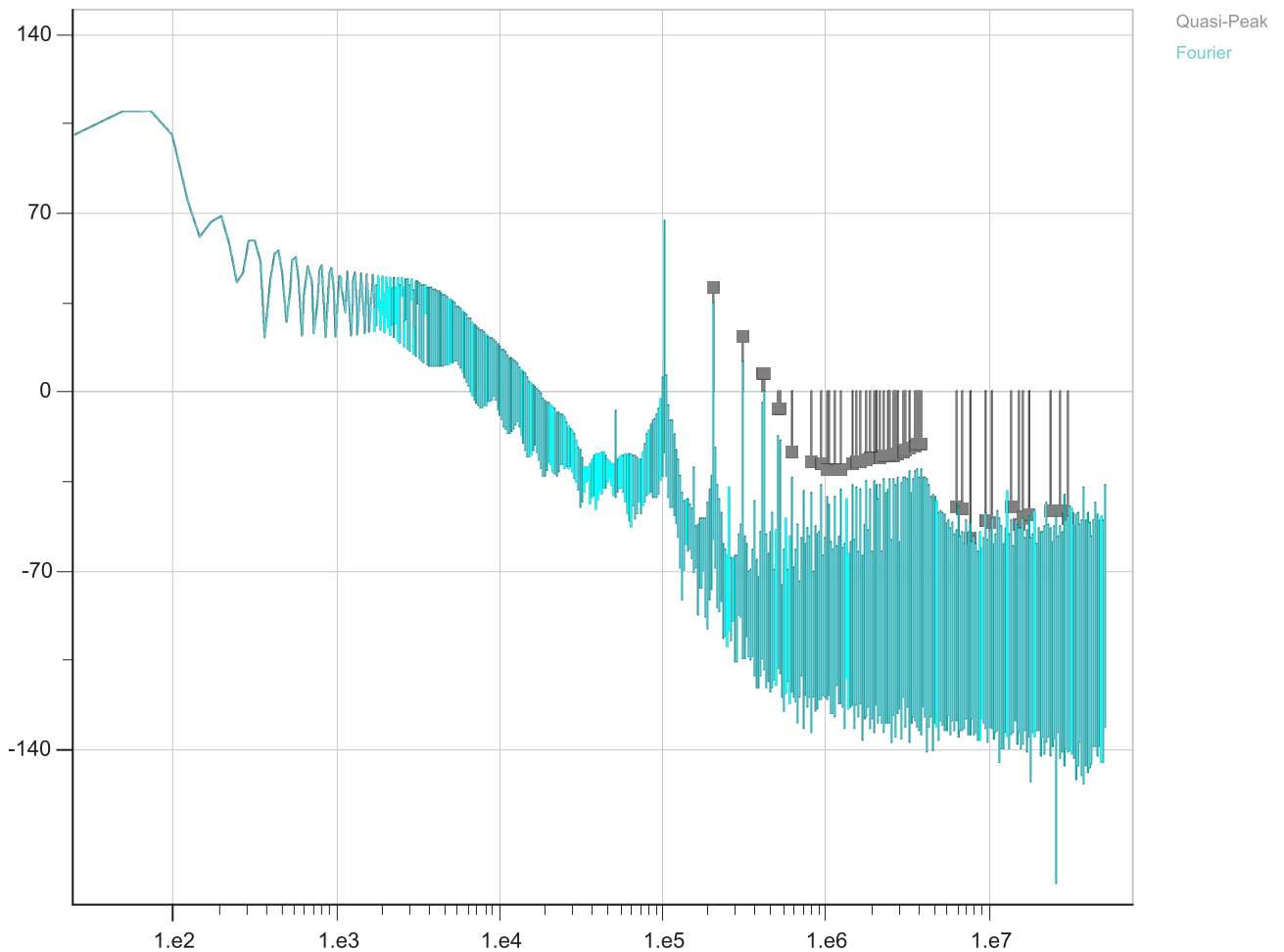
C_x , que influenciam bastante no deslocamento angular da corrente de entrada e prejudicam o fator de potência do conversor, principalmente em casos onde há variação de carga.

A otimização de componentes passivos vem sendo bastante abordada na literatura com a implementação de filtros ativos e híbridos (filtro composto por parte passiva e ativa), como apresentado por (JIANG et al., 2019), (NAJJAR; KOUCHAKI; NYMAND, 2019), (WANG et al., 2009) e (CHEN; YANG; WANG, 2006).

O foco desses estudos é reduzir os componentes passivos, ou substituir parte deles por amplificadores operacionais ou semicondutores, que simulam uma impedância de entrada e atenuam os ruídos de EMI. Para esse projeto, foi estudado soluções de filtro de EMI utilizando componentes ativos para otimização.

Conforme (SON; SUL, 2006), (POON et al., 2000), (CHEN et al., 2009) e (AMADUCCI, 2017) os filtros ativos podem ser classificados pela topologia, tipo de detecção e tipo de correção. Um estudo sobre as topologias e a eficácia delas é feito antes da seleção do filtro.

Figura 72 – Filtro de EMI com dois estágios de modo diferencial e um estágio de modo comum

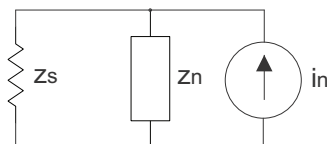


Fonte: Elaborado pelo Autor

3.9.5.1 Tipos de Filtros Ativos e Modos de Compensação

A Figura 73 simplifica o modelo de alta frequência de um sistema que contém um conversor estático. z_s é a impedância da LISN, i_n é a fonte de ruído inserida pelo comutação e z_n é a impedância interna da fonte.

Figura 73 – Circuito Equivalente de Alta Frequência de Conversores AC-CC



Fonte: Produção do Autor

É possível atenuar a fonte de ruído i_n de duas maneiras, via filtro *feedback* ou filtro *feedforward*. A diferença é que os filtros *feedback* mensuram o sinal de ruído próximo a impedância da LISN e injetam o sinal de compensação na fonte de ruído i_n , enquanto os

filtros *feedforward* fazem o contrário.

Em relação aos filtros *feedback*, a detecção do ruído pode ser feita via sensor de corrente ou tensão. A mesma ideia é válida para o sinal de compensação, o atuador pode ser uma fonte de tensão controlada ou de corrente. Isso resulta em quatro possíveis configurações:

Tipo I: Filtro de Trans impedância: Medição do ruído em corrente e correção via sinal de tensão.

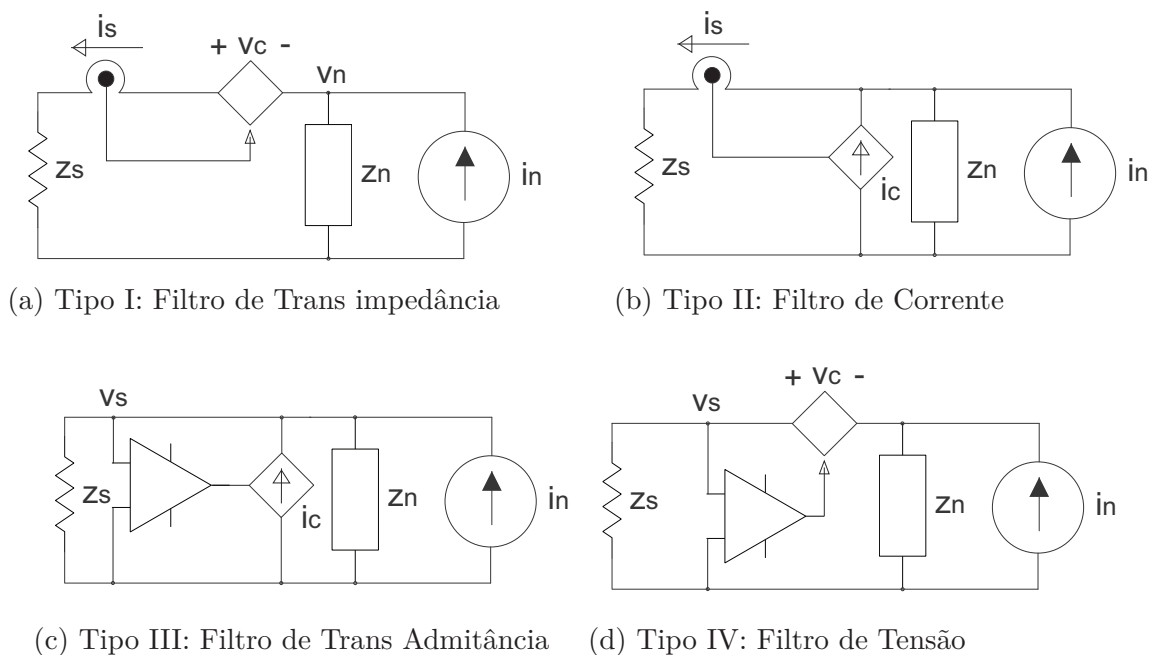
Tipo II: Filtro de Corrente: Medição do ruído em corrente e correção via sinal de corrente.

Tipo III: Filtro de Trans Admitância: Medição do ruído em tensão e correção via sinal de corrente.

Tipo IV: Filtro de Tensão: Medição do ruído em tensão e correção via sinal de tensão.

A Figura 74 apresenta o circuito equivalente em alta frequência para cada uma das possíveis configurações e a Tabela 41 sumariza as principais características.

Figura 74 – Tipos de Correção para topologias *feedback*



Fonte: Elaborado pelo Autor

Filtros ativos que empregam topologias tipo I ou III necessitam de ganhos bem superiores em relação ao valor de impedância (ou admitância) total do sistema para serem eficazes. Por exemplo, caso a fonte de ruído se comporte como uma fonte de corrente, então a impedância de entrada do conversor é altíssima (z_n é próximo de infinito), já o ganho do filtro é um valor finito, fazendo com que a topologia tipo I seja ineficaz para esse

Tabela 41 – Principais características dos filtros *Feedback*

Tipo	Ganho	Perdas de Inserção (IL)	Máximo IL	Incremento de Impedância
Tipo I	$v_c = -A_1 i_s$	$1 + \frac{A_1}{z_s + z_n}$	$A_1 \gg z_s + z_n$	A_1
Tipo II	$i_c = -A_2 i_s$	$1 + \frac{A_2 z_n}{z_s + z_n}$	$z_n \gg z_s$	$A_2 z_n$
Tipo III	$i_c = -A_3 v_s$	$1 + \frac{A_1}{y_s + y_n}$	$A_3 \gg y_s + y_n$	$-\frac{A_3 z_n^2}{1 + A_3 z_n}$
Tipo IV	$v_c = -A_4 v_s$	$1 + \frac{A_2 z_s}{z_s + z_n}$	$z_s \gg z_n$	$-\frac{A_4 z_n}{1 + A_4}$

Fonte: Elaborado pelo Autor

tipo de situação.

Filtros dos tipos II ou IV podem prover elevada atenuação independentemente da magnitude das impedâncias z_s e z_n .

Filtros do tipo II são adequados para aplicações aonde a fonte de ruído, incluindo sua impedância interna z_n tem o comportamento de uma fonte de corrente com infinita impedância interna. Nesse caso, as perdas de inserção serão proporcionais ao ganho do amplificador (equação 3.120).

$$IL \approx 1 + A_2, \text{ se } z_n \gg z_s \quad (3.120)$$

De forma contrária, filtros do tipo IV são adequados para casos onde a fonte de ruído tem um comportamento similar a uma fonte de tensão (equação 3.121).

$$IL \approx 1 + A_4, \text{ se } z_n \ll z_s \quad (3.121)$$

É importante conhecer a influência do filtro ativo no funcionamento do conversor. Na prática, é desejável que o filtro seja capaz de atenuar o ruído de alta frequência sem interferir na operação de baixa frequência do conversor.

Essa influência pode ser analisada comparando a variação de impedância gerada pelo filtro no sistema com relação a topologia original. Isso é descrito na quinta coluna da Tabela (41) onde o incremento de impedância é calculado por 3.122, onde Z_{in} é a impedância do sistema com o filtro inserido e z_n é a impedância interna da fonte de ruído sem a presença de filtro (A impedância da LISN é desconsiderada nessa análise).

$$\Delta z_n = Z_{in} - z_n \quad (3.122)$$

Na Tabela 41 é evidente que os filtros tipo I e II, com detecção em corrente aumentam a impedância do sistema proporcionalmente ao valor dos ganhos (A_1 ou A_2), ou seja, são naturalmente filtros passa-alta, onde a corrente de baixa frequência proveniente da fonte é bloqueada.

Filtros tipo III e IV empregando detecção em tensão decrescem a impedância do sistema. Conforme o ganho desses amplificadores (A_3 ou A_4) aumenta, o incremento de

Tabela 42 – Principais características dos filtros *Feedback*

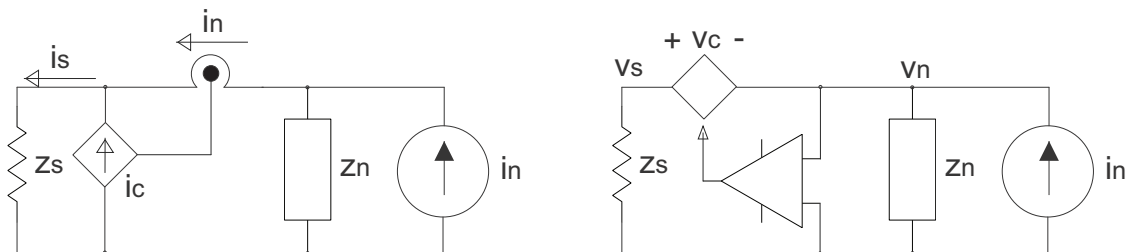
Tipo	Ganho	Perdas de Inserção (IL)	Máximo IL	Incremento de Impedância
Tipo V	$i_c = -A_5 i_n$	$\left(\frac{1}{1-A_5}\right) \cdot \left(1 - \frac{A_5 z_s}{z_s + z_n}\right)$	$A_5 = 1$	$\frac{A_5 z_n}{1-A_5}$
Tipo VI	$v_c = -A_6 v_n$	$\left(\frac{1}{1-A_6}\right) \cdot \left(1 - \frac{A_6 z_n}{z_s + z_n}\right)$	$A_6 = 1$	$-A_6 z_n$

Fonte: Elaborado pelo Autor

impedância se aproxima de $-z_n$, o que leva a um curto circuito em baixa frequência, ocorrendo sobre carga do filtro. Para evitar que isso aconteça é necessário limitar o ganho do estágio amplificador com a implementação de um filtro passa-alta no circuito de detecção e/ou de inserção, assegurando que não haja interferência do filtro de EMI no modo de operação do conversor.

Já os filtros *feedforward* possuem ganho unitário sempre. Essas topologias mensuram o ruído da fonte, defasam em 180° e injetam na LISN como sinal de compensação. Devido a essa característica, não é possível implementar filtros *feedforward* de trans condutância e trans admitância.

A vantagem de topologias *feedforward* é a velocidade de resposta na atenuação do ruído, algo atrativo para fontes com drásticas variações de carga. A Tabela 42 sumariza as principais características desse tipo de filtro.

Figura 75 – Tipos de Correção para topologias *feedforward*

(a) Tipo V: Filtro de Corrente

(b) Tipo VI: Filtro de Tensão

Fonte: Elaborado pelo Autor

A topologia tipo V é similar a II, com perdas de inserção eficaz para casos aonde a fonte de ruído se comporta como uma fonte de corrente. Nesse caso, as impedâncias z_n e z_s se tornam irrelevantes e as perdas de inserção são aproximadas por (3.123).

$$IL_5 = \frac{1}{1 - A_5}, \text{ se } z_n \gg z_s \quad (3.123)$$

A topologia tipo VI, é análoga a IV, eficaz para sistemas aonde a fonte de ruído tem um comportamento similar a uma fonte de tensão.

$$IL_6 = \frac{1}{1 - A_6}, \text{ se } z_n \ll z_s \quad (3.124)$$

Tabela 43 – Principais características dos filtros *Feedback*

Tipo	IL para ruído CM	IL para ruído DM	Comparação
Tipo I	$IL_{CM} \approx 1 + \frac{A_1}{z_{nCM}}$	$IL_{DM} \approx 1 + \frac{A_1}{100}$	$IL_{CM} < IL_{DM}$
Tipo II	$IL_{CM} \approx 1 + A_2$	$IL_{DM} \approx 1 + \frac{z_{nDM}A_2}{100}$	$IL_{CM} > IL_{DM}$
Tipo III	$IL_{CM} \approx 1 + 25A_3$	$IL_{DM} \approx 1 + z_{nDM}A_3$	$IL_{CM} > IL_{DM}$
Tipo IV	$IL_{CM} \approx 1 + \frac{25A_4}{z_{nCM}}$	$IL_{DM} \approx 1 + A_4$	$IL_{CM} < IL_{DM}$

Fonte: Elaborado pelo Autor

Tabela 44 – Principais características dos filtros *Feedback*

Tipo	Impedância do Filtro
Tipo I	A_1
Tipo II	A_2z_n
Tipo III	$A_3z_s z_n$
Tipo IV	A_4z_s

Fonte: Elaborado pelo Autor

Com relação ao incremento de impedância, o filtro tipo VI produz resultados similares aos filtros *feedback* que empregam detecção em tensão (tipo III e IV). Todos eles diminuem a impedância de baixa frequência do sistema.

Já o filtro tipo V, há diferente em relação aos filtros *feedback* com detecção em corrente (tipo I e II). Enquanto o ganho for menor que um, o filtro tipo V eleva a impedância de entrada do sistema, assim como os filtros com detecção em corrente tipos I e II. No entanto, se o ganho for maior que um, o incremento de impedância se torna negativo, portanto, se a impedância da carga for predominante resistiva em baixa frequência o ganho excessivo vai fazer com que o filtro supra a potência ativa da LISN e da carga, causando sobre carga do filtro.

Em (CHEN et al., 2009) é feito um estudo da redução dos ruídos DM e CM a partir das topologias apresentadas na Figura 74.

Na análise, é utilizado o valor da impedância da LISN conforme o tipo de ruído ($z_s = 25\Omega$ para ruídos CM e $z_s = 100\Omega$ para ruídos DM) e a partir disso as perdas de inserção são calculadas para as quatro topologias do tipo *feedback*, que possuem todas as configurações possíveis de detecção e compensação de ruído.

Com os resultados da Tabela 43 chega-se a conclusão que topologias com cancelamento em corrente são mais eficazes para atenuar ruídos de modo comum, enquanto topologias com cancelamento em tensão são mais eficazes para atenuar ruídos de modo diferencial.

Isso pode ser explicado pelos valores de impedância série equivalente dos filtros ativos, escritos em função das impedâncias z_s e z_n , apresentados na Tabela 44.

É fácil concluir que a impedância de filtros com cancelamento em corrente (Tipo

II e III) é diretamente influenciada pela impedância da fonte de ruído z_n . Já os filtros com cancelamento em tensão, a impedância é influenciada pelo ganho do amplificador exclusivamente ou também pela impedância da LISN.

Na grande maioria das vezes, a impedância do ruído de modo comum (z_{nCM}) é muito maior do que a impedância da LISN (25Ω). Enquanto que para ruídos de modo diferencial ocorre o contrário, a impedância equivalente da fonte de ruído de modo diferencial (z_{nDM}) é geralmente baixa e menor que a impedância da LISN (100Ω).

Então, filtros com cancelamento em corrente conseguem alcançar valores de impedâncias mais altos, sendo mais eficazes na supressão de ruídos CM. Já filtros com cancelamento em tensão, podem ser projetados com facilidade para superar o valor baixo de impedância de ruídos DM.

3.9.5.2 Projeto do Filtro Otimizado

A partir dos estudos de filtros ativos e pela potência do conversor, é decidido projetar um filtro híbrido mantendo o circuito escolhido em (70), mas otimizando a topologia CM para fazer a atenuação em dois estágios, parte pelo filtro ativo e parte pelo filtro LC passivo.

Como se trata de um filtro para ruídos CM e o retificador estudado tem comportamento de fonte de corrente na entrada ($z_n \gg z_s$), é apropriado implementar a topologia *feedback* tipo II em série entre o filtro LC e a entrada do conversor.

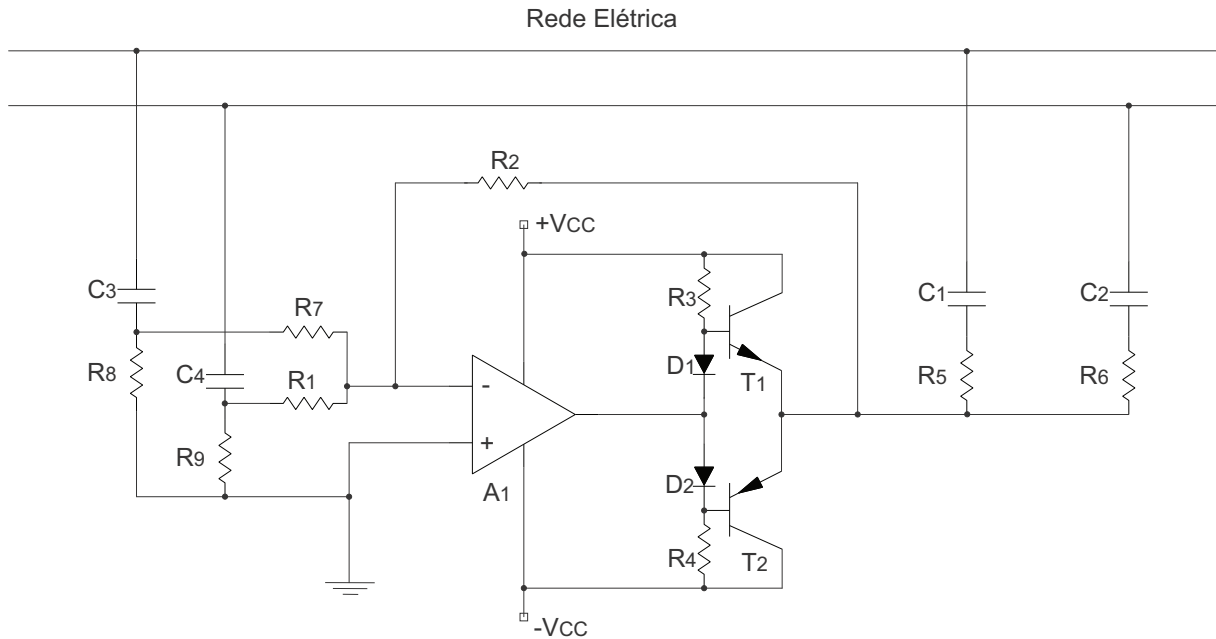
A integração de um filtro ativo DM é descartada pois exigiria o acréscimo de componentes magnéticos, não havendo custo-benefício já que as indutâncias DM são pequenas.

O circuito de potência do filtro ativo é igual ao de (SHA et al., 2018), apresentado na Figura 76. Os pares RC a esquerda compõe o circuito de detecção do sinal enquanto os da direita são de cancelamento. O ruído CM passa por um estágio de amplificação entre os pares RC, esse amplificador operacional é montado em configuração somador inversor com referência no aterramento. Devido a potência do conversor é bem provável ser necessário dar um ganho de corrente no sinal, representado pelo amplificador AB¹⁰ com BJTs.

A metodologia de projeto é similar a apresentada para o filtro LC CM. O harmônico de 200 kHz continua sendo utilizado como referência para atenuação, dessa vez, sua amplitude deve ser atenuada igualmente por cada um dos estágios CM (equação 3.125).

$$A_{req,passivo}(f_{CM}) = A_{req,ativo}(f_{CM}) = \frac{42,25}{2} = 21,125dB\mu V \quad (3.125)$$

¹⁰ Cada transistor conduz por 180° e o ganho de corrente é proporcional a $\beta + 1$ (β é o ganho intrínseco do BJT). Quando o sinal de entrada for positivo, o transistor T_1 é polarizado, acontecendo o contrário para T_2 . É adicionado diodos na base de ambos transistores para compensar a queda de tensão nas junções base-emissor ($V_{BE} \approx 0,7V$) amenizando distorções do sinal amplificado enquanto a tensão de base não for o suficiente para polarizar o BJT (popularmente conhecido como distorção de *cross-over*)

Figura 76 – Circuito Genérico do Filtro Ativo *Feedback* Tipo II

Fonte: Produção do Autor

Replicando as equações (3.107) e (3.108) o indutor CM otimizado tem frequência de corte de 59,28 kHz e indutância de 0,328 mH, considerando que as capacitâncias C_y não foram alteradas.

Para projetar os componentes do filtro ativo é necessário ter conhecimento do valor aproximado da impedância de entrada do conversor.

A impedância de entrada para ruídos CM é calculada teoricamente com auxílio do *software* Gecko utilizando a metodologia apresentada em (ZHANG et al., 2000). A ideia é inserir uma indutância CM alta (onde $z_{CM,componente} \gg z_s$) entre os terminais do conversor e a LISN, em seguida é feito a medição de ruído CM com e sem a indutância e calculado a impedância z_n com a equação (3.126), onde $z_{CM,carga}$ é a impedância da indutância inserida na frequência de medição e A_{IL} é o valor diferencial de atenuação do ruído na mesma frequência.

$$z_n \approx \frac{z_{CM,componente}}{A_{IL}} \approx 1345\Omega \quad (3.126)$$

As perdas de inserção do circuito ativo são projetadas com referência no harmônico de 200 kHz. Os pares RC de detecção e cancelamento na equação (3.127) são selecionados de forma que a frequência de corte da medição seja menor que a do cancelamento, para inibir a dissipação de potência no circuito de amplificação para harmônicos não utilizados na compensação.

$$f_{corte,RC} = \frac{1}{2\pi RC} \quad (3.127)$$

Tabela 45 – Componentes Passivos do Filtro Ativo

Componente	Valor
R_1 / R_7	51 Ω
R_2	2M Ω
R_8 / R_9	220 Ω
C_3 / C_4	10 nF
R_5 / R_6	33 Ω
C_1 / C_2	33nF

Fonte: Elaborado pelo Autor

A Tabela 45 sumariza os valores dos componentes selecionados. O circuito ativo é projetado com um ganho de 39220, tendo perda de inserção em 200 kHz de aproximadamente 90,4 dB μ V (equação 3.128). Houve sobredimensionamento do valor estipulado visando o desempenho do circuito em frequências acima de 1 MHz. Também é importante ficar atento para garantir uma margem de fase de no mínimo 90 ° para o sinal de compensação.

$$I_{L,200kHz} = 20 \log \left[1 + \frac{z_n // z_{LISN}}{Z_{C3} + R_1 // R_8} + \frac{z_n // z_{LISN} \cdot \left(1 + \frac{R_2}{R_1}\right)}{Z_{C1} + R_5} \right] = 90,4 \text{ dB}\mu\text{V} \quad (3.128)$$

Para o estágio de amplificação é selecionado o amplificador THS4001 e o buffer LME49600. Dentro do CI do THS4001 já há um ampop e um amplificador classe AB com capacidade de corrente de até 100 mA. Para dar um ganho em corrente de até 500 mA é adicionado em série o CI LME49600.

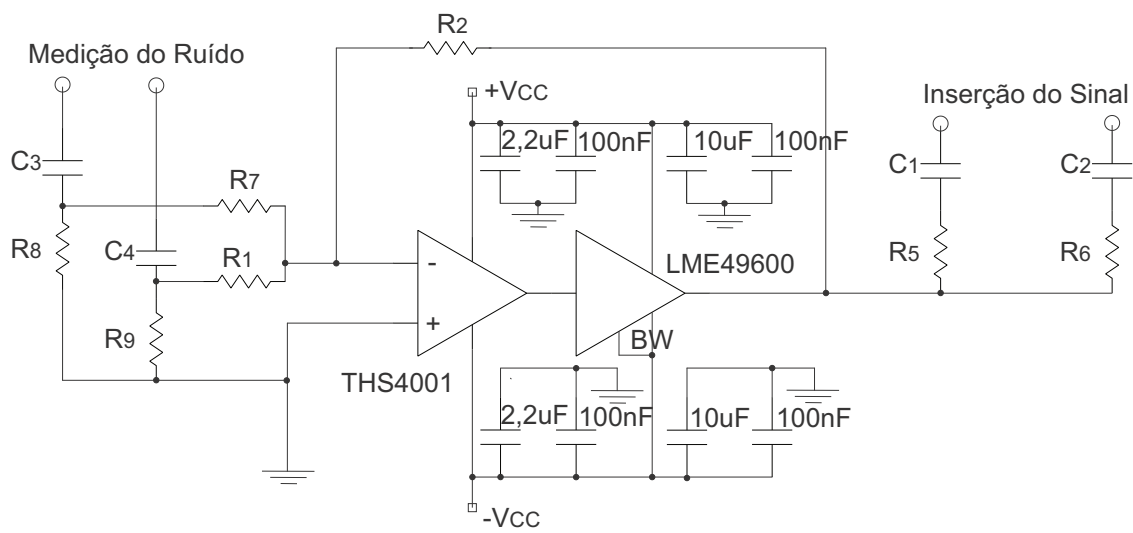
É importante se atentar a banda passante e o *slew rate*¹¹ desses componentes, por se tratar da amplificação de sinais acima de 1 MHz. No *datasheet* é informado que a banda passante é de 100 MHz e 180 MHz (quando o pino BW é ligado ao pino VEE) respectivamente. Já o *slew rate* é de 400 V/ μ s e 2000 V/ μ s.

No componente LME49600, o fabricante recomenda a utilização de capacitores de acoplamento de 10 μ F próximos aos pinos de alimentação, por causa da taxa elevada de *slew rate*.

A Figura 77 apresenta o circuito eletrônico do filtro ativo projetado juntamente com os capacitores de acoplamento.

¹¹ É a máxima taxa na qual a saída do ampop ou amplificador pode variar em V/s

Figura 77 – Circuito do Filtro Ativo Implementado



Fonte: Produção do Autor

4 RESULTADOS DO PROJETO

Esse capítulo apresenta os resultados de simulação e do protótipo para o projeto do STP de 3 kW/50 kHz.

4.1 SIMULAÇÃO DO CONVERSOR

A fim de validar os estudos apresentados sobre o SPT, é realizada a simulação numérica do conversor para condição nominal de operação do projeto de 3 kW/50 kHz.

Como os cálculos de perdas já foram simulados com MatLab no capítulo (3), o objetivo dessa análise é para validação do funcionamento da topologia. É considerado as mesmas associações de componentes a serem utilizadas no protótipo, desconsiderando não idealidades com exceção da indutância de dispersão de L_c . O filtro de EMI passivo é incluso na simulação.

A simulação numérica é feita com tensão de entrada de 220 V e 60 Hz. A carga é simulada com uma resistência de 49,41 Ω e potência de 3 kW, e para ter tensão na carga de 385 V a frequência de comutação é ajustada em 80,5 kHz.

A corrente e tensão de entrada simuladas são apresentadas na Figura 78. A corrente de entrada tem amplitude de 21,12 A e THD de 9,35%, o deslocamento angular em relação a tensão da fonte é de 2,68° e o fator de potência é de 0,994.

O conversor atende as normas 61000-3-2 Classe A, os harmônicos da corrente de entrada juntamente com os valores limites da norma estão apresentados na Figura 79.

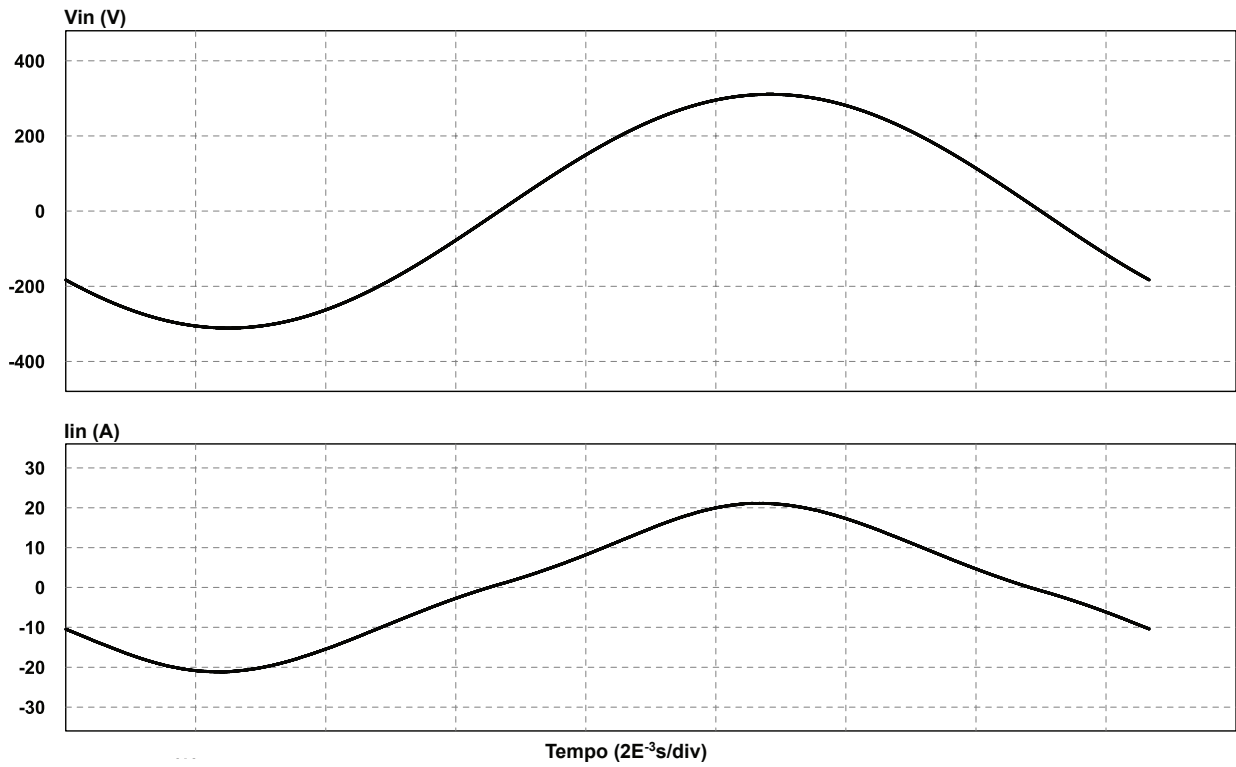
A Figura 80 apresenta algumas etapas de comutação no momento que a fonte de tensão está no valor máximo, nessa situação a tensão sobre C_f tem ondulação de tensão pico a pico de 10,13 V a cada ciclo de comutação. O capacitor C_f é composto por 4 componentes em paralelo com corrente de 2,88 A cada.

Para a construção do protótipo é feita uma alteração nos indutores L_{in} pois não foi possível comprar núcleos do tipo PQ 35/20 para associar as indutâncias de 9,8 μ H em série. O dimensionamento das indutâncias foram refeitos para utilizar um núcleo PQ 40/40 por indutor.

A Figura 81 apresenta as formas de ondas de alta frequência para L_{in} . Em condição nominal de operação a corrente de pico chega a 50,13 e existe três níveis de tensão distintos, durante a magnetização é proporcional a tensão de 155,56 V aplicada por C_f , durante a desmagnetização é proporcional a diferença de potencial entre C_f e o barramento de 229,44V e ao final da etapa de desmagnetização a tensão é nula. A tensão máxima ocorre quando a tensão em C_f chega a zero, nesse momento a tensão de desmagnetização sobre o indutor é de 385 V.

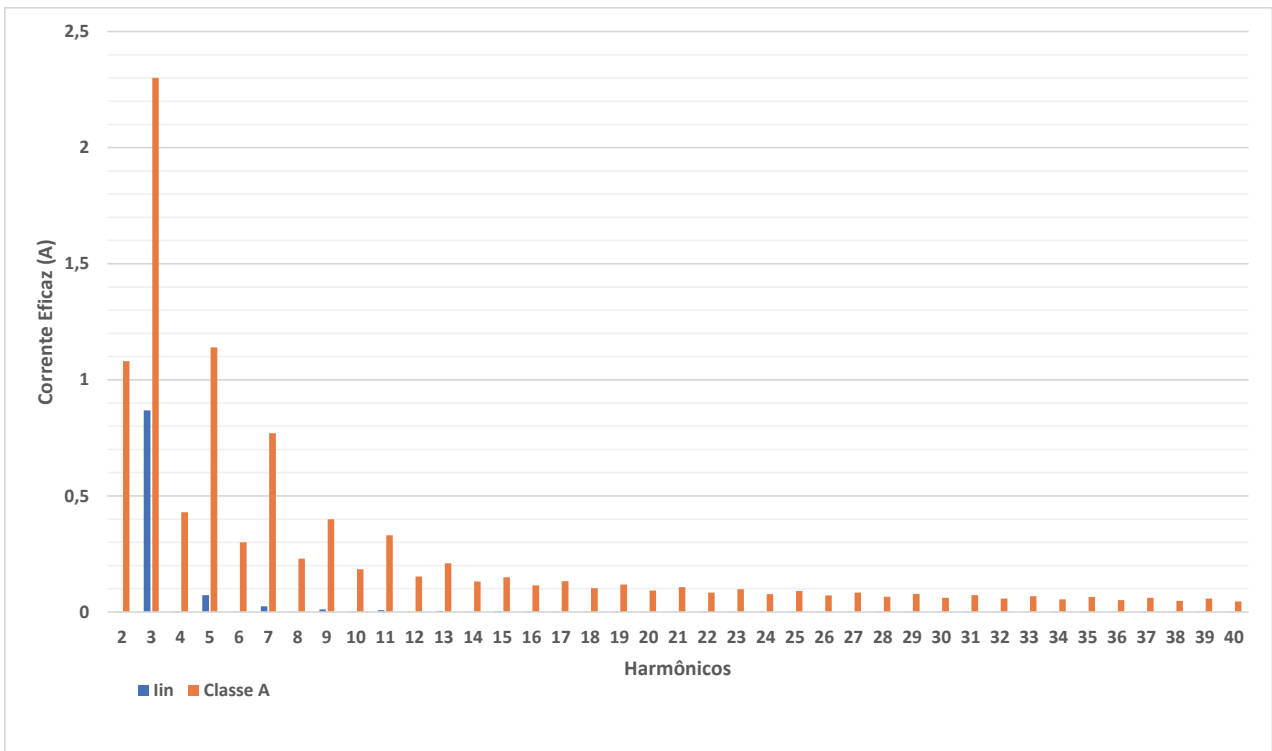
As formas de ondas do diodo de retificação são apresentadas na Figura 82. Durante

Figura 78 – Formas de Onda Simuladas para Entrada

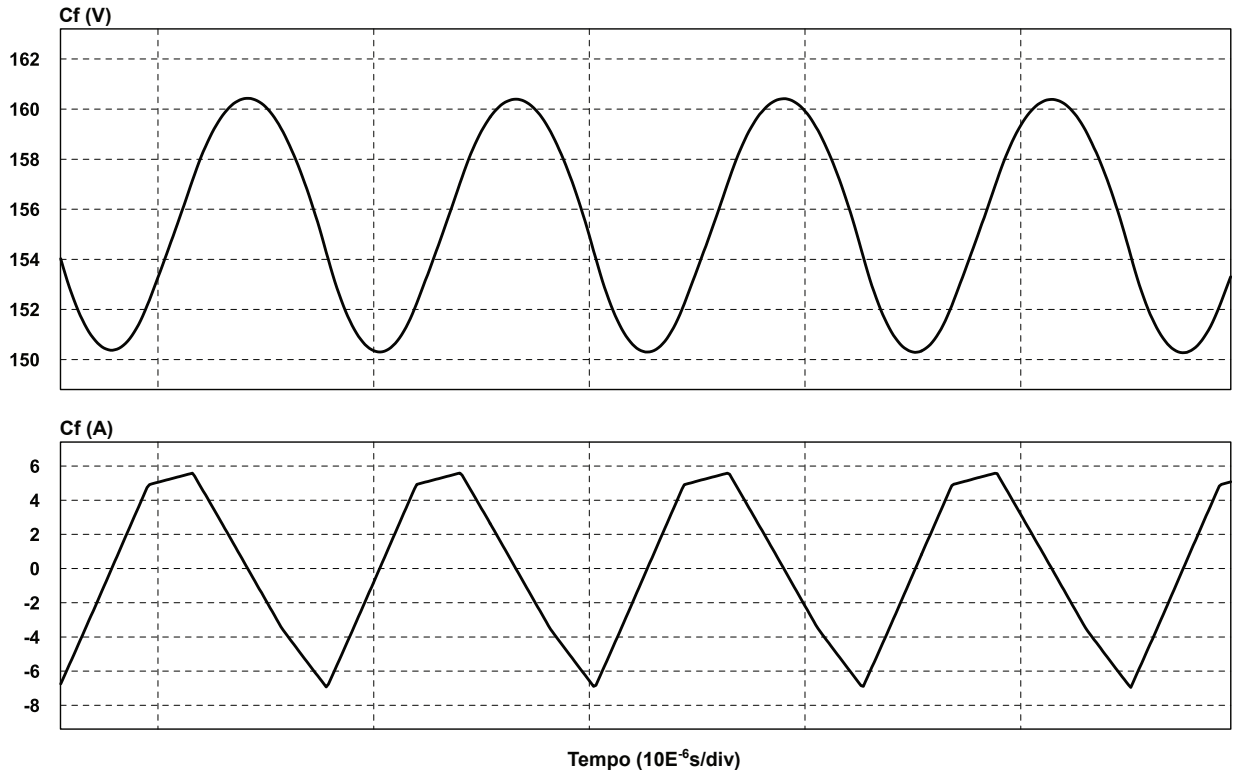


Fonte: Produção do Autor

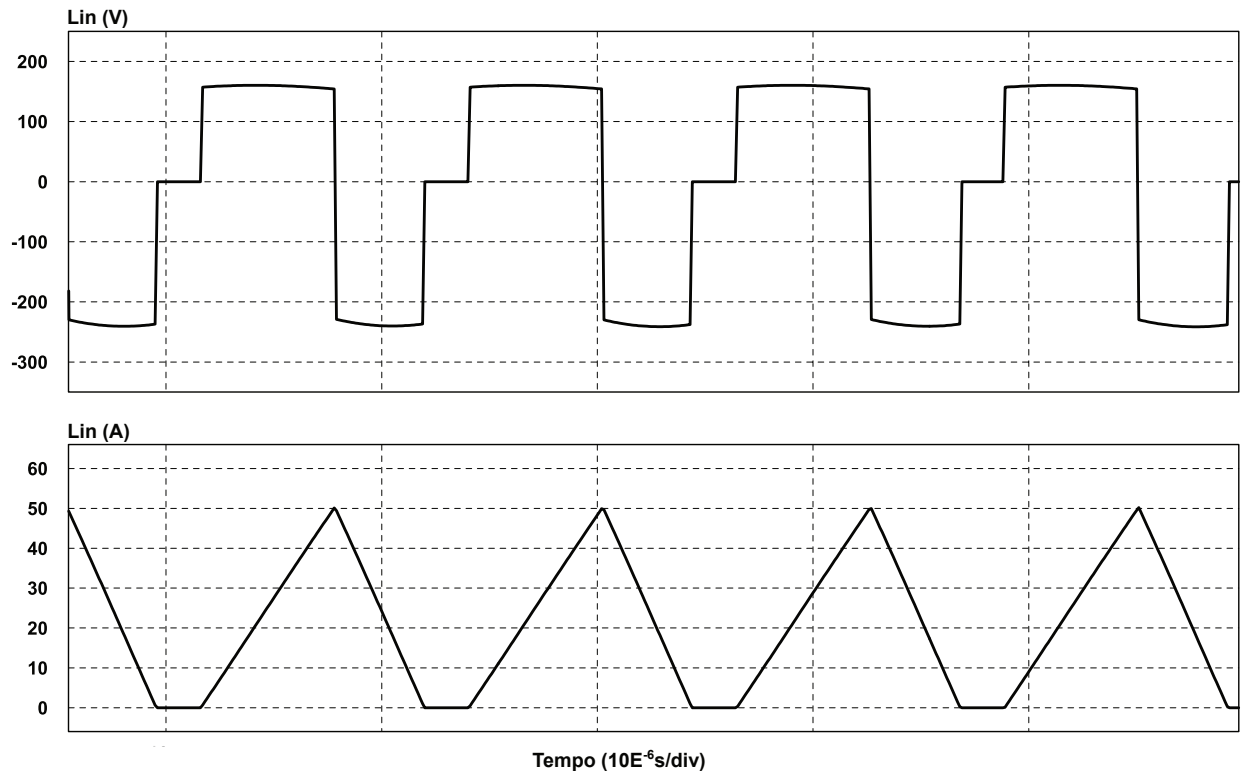
Figura 79 – Harmônicos da Corrente de Entrada com componente fundamental de 13,72 A



Fonte: Produção do Autor

Figura 80 – Formas de Onda Simuladas para C_f 

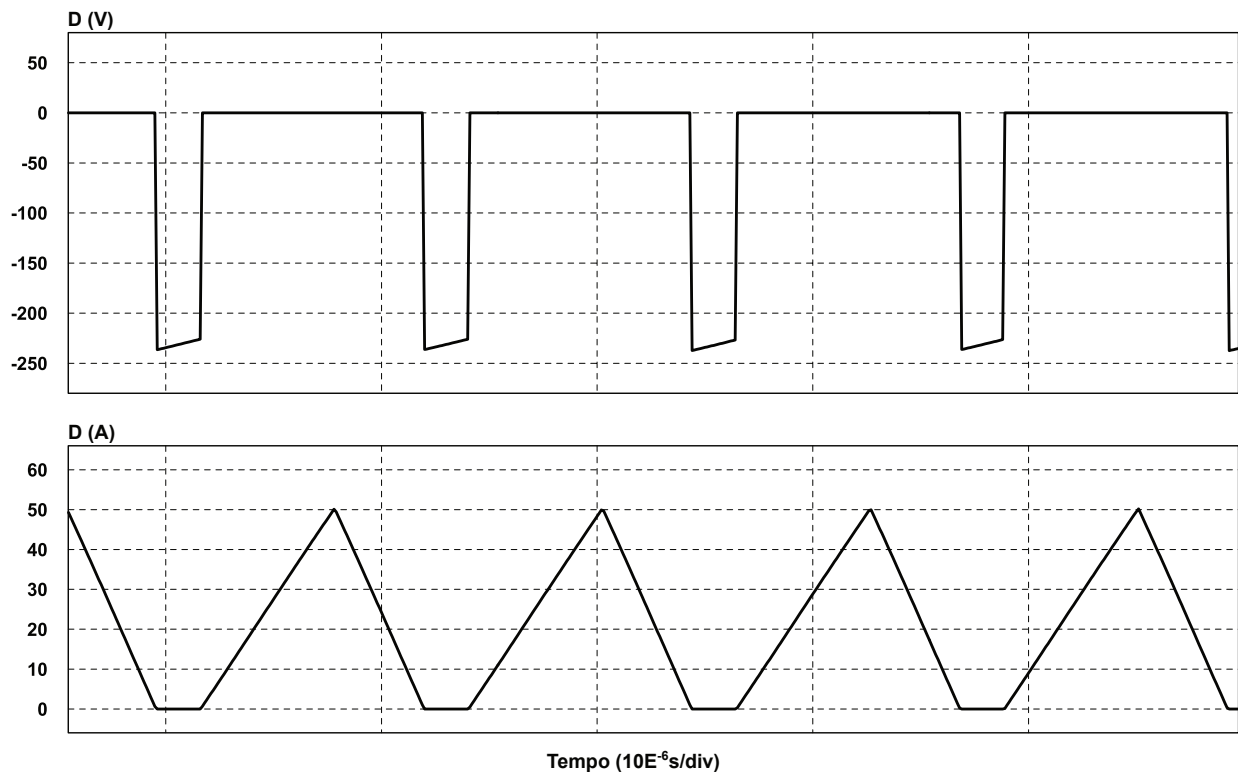
Fonte: Produção do Autor

Figura 81 – Formas de Onda Simuladas para L_{in} 

Fonte: Produção do Autor

o semiciclo em que o diodo é polarizado, a corrente é igual ao do respectivo L_{in} , entrando em bloqueio ao fim de cada desmagnetização com tensão de 229,44 V proporcional a diferença de potencial entre o barramento e C_f . A máxima tensão de bloqueio ocorre no semiciclo em que o diodo D não conduz e a tensão imposta sobre ele é igual a de barramento de 385 V aproximadamente.

Figura 82 – Formas de Onda Simuladas para D

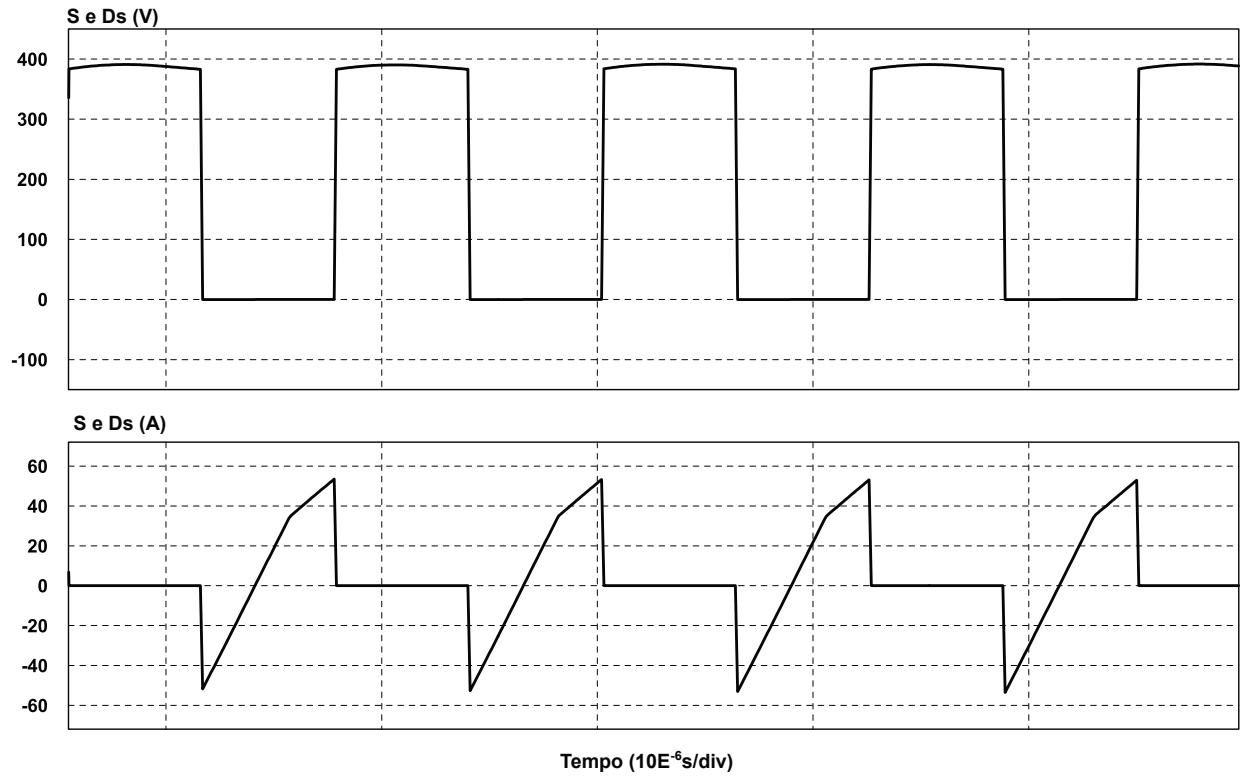


Fonte: Produção do Autor

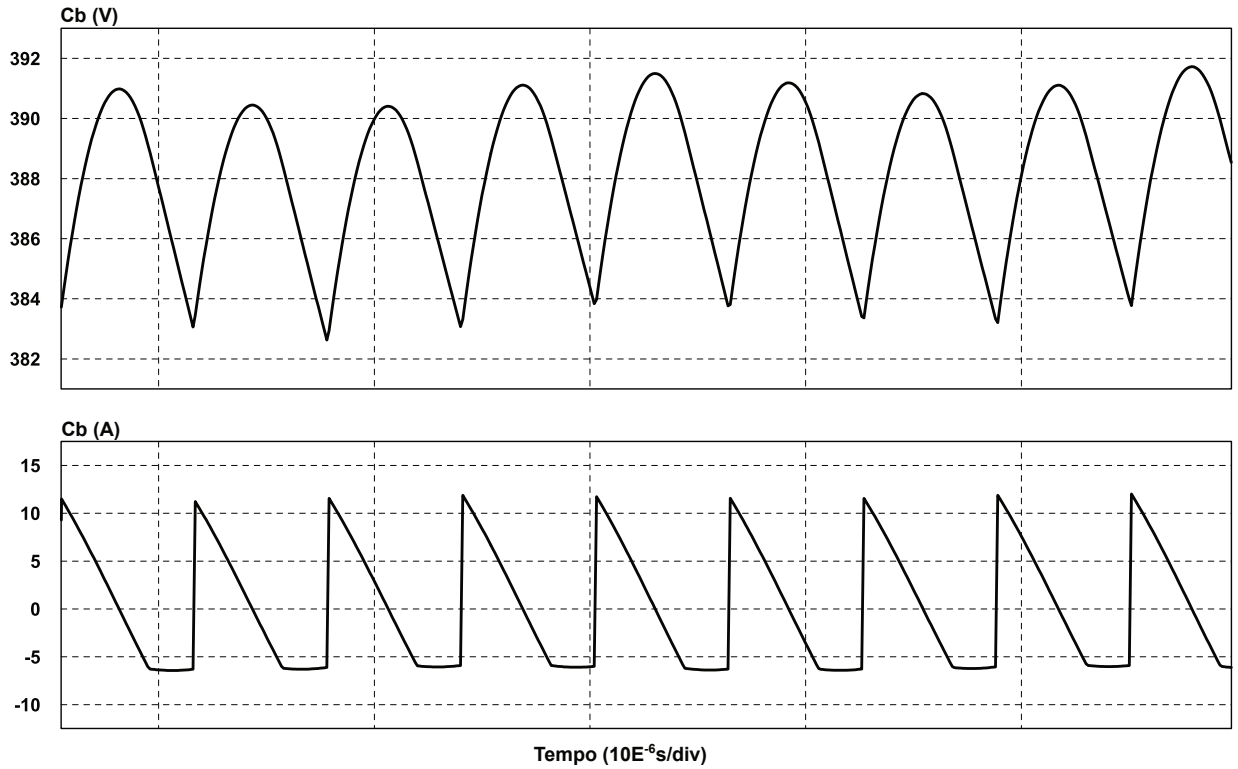
As formas de onda de S e D_s são apresentadas na mesma Figura 83. Quando o diodo intrínseco começa a conduzir, a corrente de pico nele é de 53,39 A, já no interruptor aumenta para 53,74 A. Durante o aumento da corrente no interruptor ocorre alteração na derivada quando o indutor L_{in} da célula adjacente finaliza a desmagnetização. A tensão de bloqueio de ambos componentes é de 388 V.

A Figura 84 apresenta as formas de ondas para C_b . A corrente corresponde a parcela CA da desmagnetização dos indutores L_{in} . A tensão é proporcional ao valor do barramento, com variação de alta frequência de 6,69 V. O capacitor C_b é composto por 3 componentes em paralelo com corrente eficaz de 4,18 A cada.

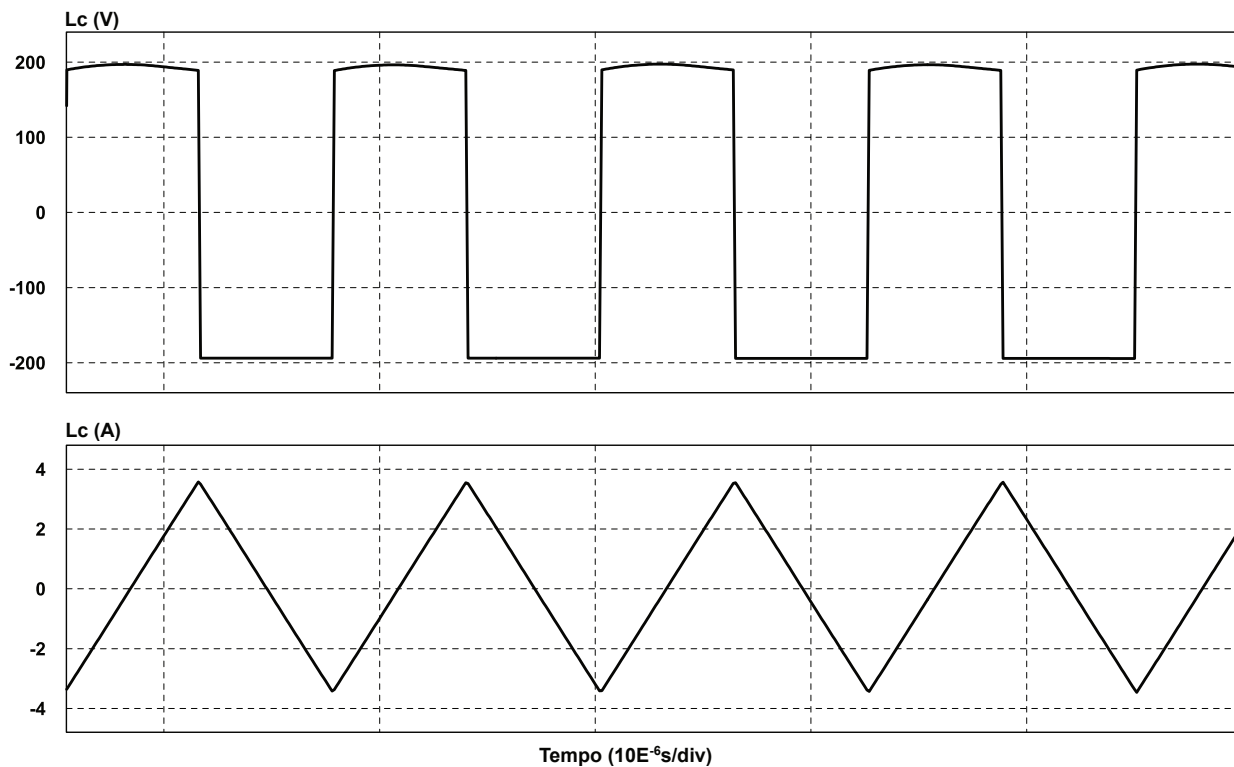
A Figura 85 apresenta a corrente de magnetização e a tensão sobre L_c . A corrente de magnetização tem amplitude de 3,75 A, manipulando a equação 2.45 a amplitude esperada para essa condição é de 3,54 A. A tensão no enrolamento varia de 194 V a -194 V a cada ciclo de comutação.

Figura 83 – Formas de Onda Simuladas para S e D_s 

Fonte: Produção do Autor

Figura 84 – Formas de Onda Simuladas para C_b 

Fonte: Produção do Autor

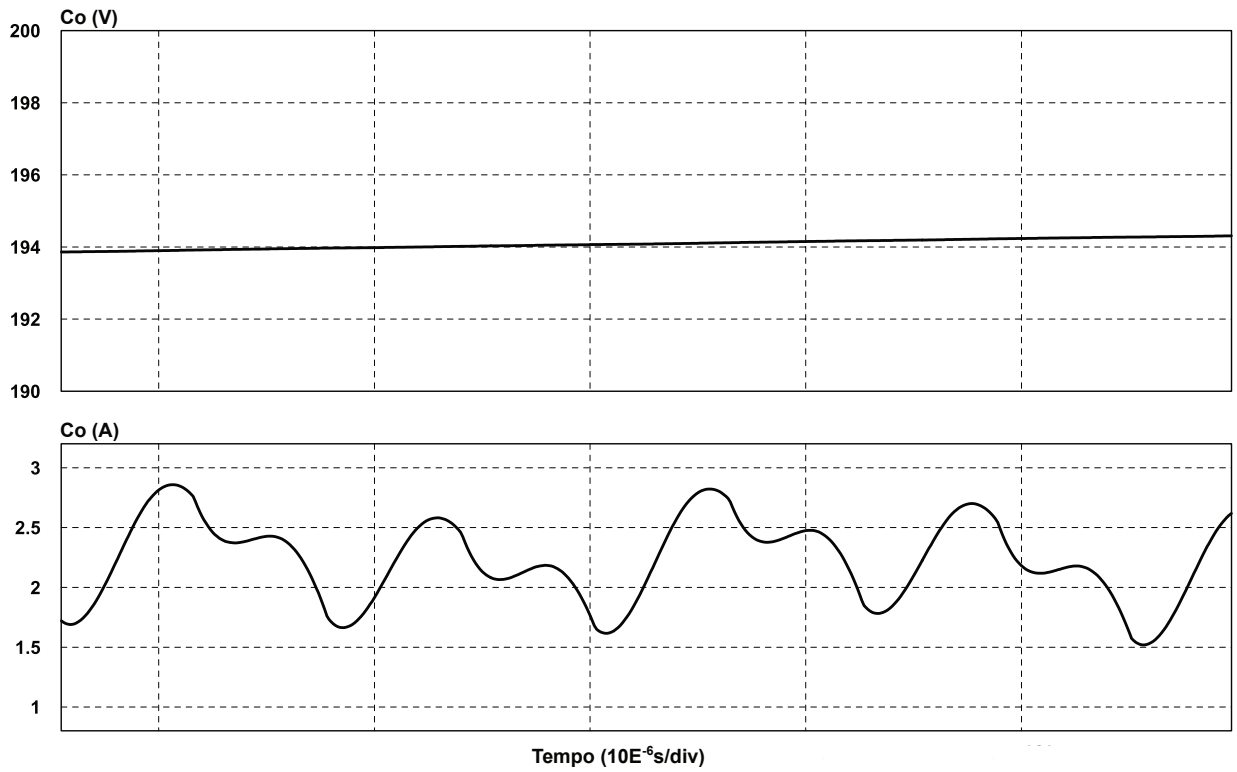
Figura 85 – Formas de Onda Simuladas para L_c 

Fonte: Produção do Autor

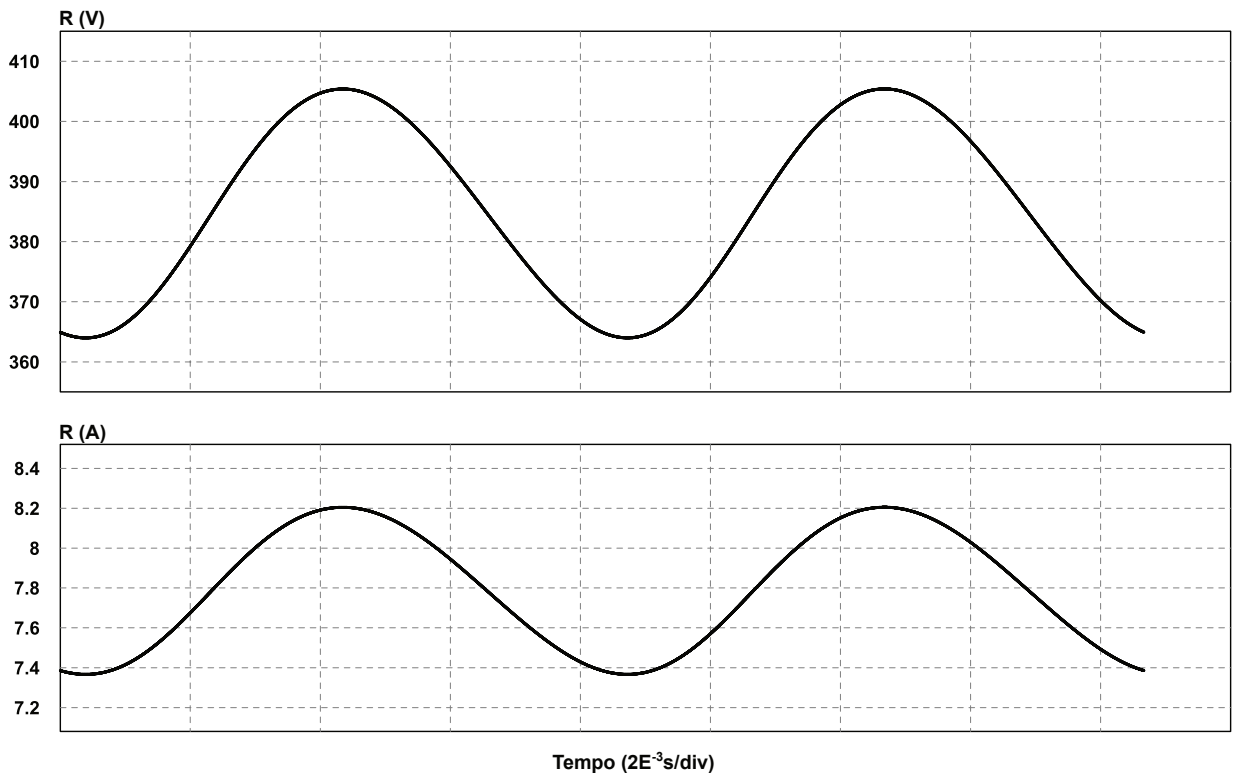
A corrente em C_o apresenta distorção, embora a componente predominante seja a de 120 Hz com valor eficaz de 1,48 A, também é composta por componentes na frequência de comutação com valor de 221 mA e bandas laterais. A tensão é de 194 V com ondulação pico a pico de 20,6 V, o capacitor C_o é composto por quatro componentes em paralelo com corrente eficaz de 1,52 A cada.

A Figura 87 apresenta as formas de onda na carga. Para potência de 3 kW e tensão de 385 V o barramento tem ondulação pico a pico de tensão de 41,20 V, o valor teórico de projeto é de 38,5 V.

Os esforços nos componentes da simulação são comparados com os resultados teóricos na Tabela 46. Há um erro de 13% nos componentes dependentes da corrente de C_f pois ele não se comporta como uma fonte de tensão constante a cada ciclo de comutação, como foi estipulado nas deduções. A variação é de 10,13 V e por causa disso há um valor de erro maior nas correntes eficazes para esses componentes.

Figura 86 – Formas de Onda Simuladas para C_o 

Fonte: Produção do Autor

Figura 87 – Formas de Onda Simuladas para R 

Fonte: Produção do Autor

Tabela 46 – Comparação Teórica e Simulada sobre os Esforços nos Componentes

Grandezas	Resultado Teórico	Resultado Simulado	Erro (%)
Tensão Máxima em C_f	155,56 V	160,70 V	3,20
Corrente Eficaz em C_f	2,51 A	2,88 A	12,85
Corrente Eficaz em L_{in}	15,50 A	18,02 A	13,98
Tensão Máxima em L_{in}	385 V	380 V	1,31
Tensão Máxima em D	404,25 V	407,90 V	0,89
Corrente Média em D	5,95 A	5,96 A	0,17
Corrente Eficaz em S	13,65 A	14,53 A	6,06
Tensão Máxima em S	404,25 V	407,90 V	0,89
Corrente Média em D_s	2,54 A	2,89 A	12,11
Tensão Máxima em D_s	404,25 V	407,90 V	0,89
Corrente Eficaz em C_b	4,03 A	4,18 A	3,59
Tensão Máxima em C_b	404,25 V	407,90 V	0,89
Corrente Eficaz em L_c	9,89 A	9,88 A	0,10
Tensão Máxima em L_c	202,12 V	203,95 V	0,90
Corrente Eficaz em C_o	1,52 A	1,52 A	0
Tensão Máxima em C_o	202,12 V	203,95 V	0,90
Corrente Média na Carga	7,79 A	7,79 A	0
Tensão Média na Carga	385 V	385 V	0

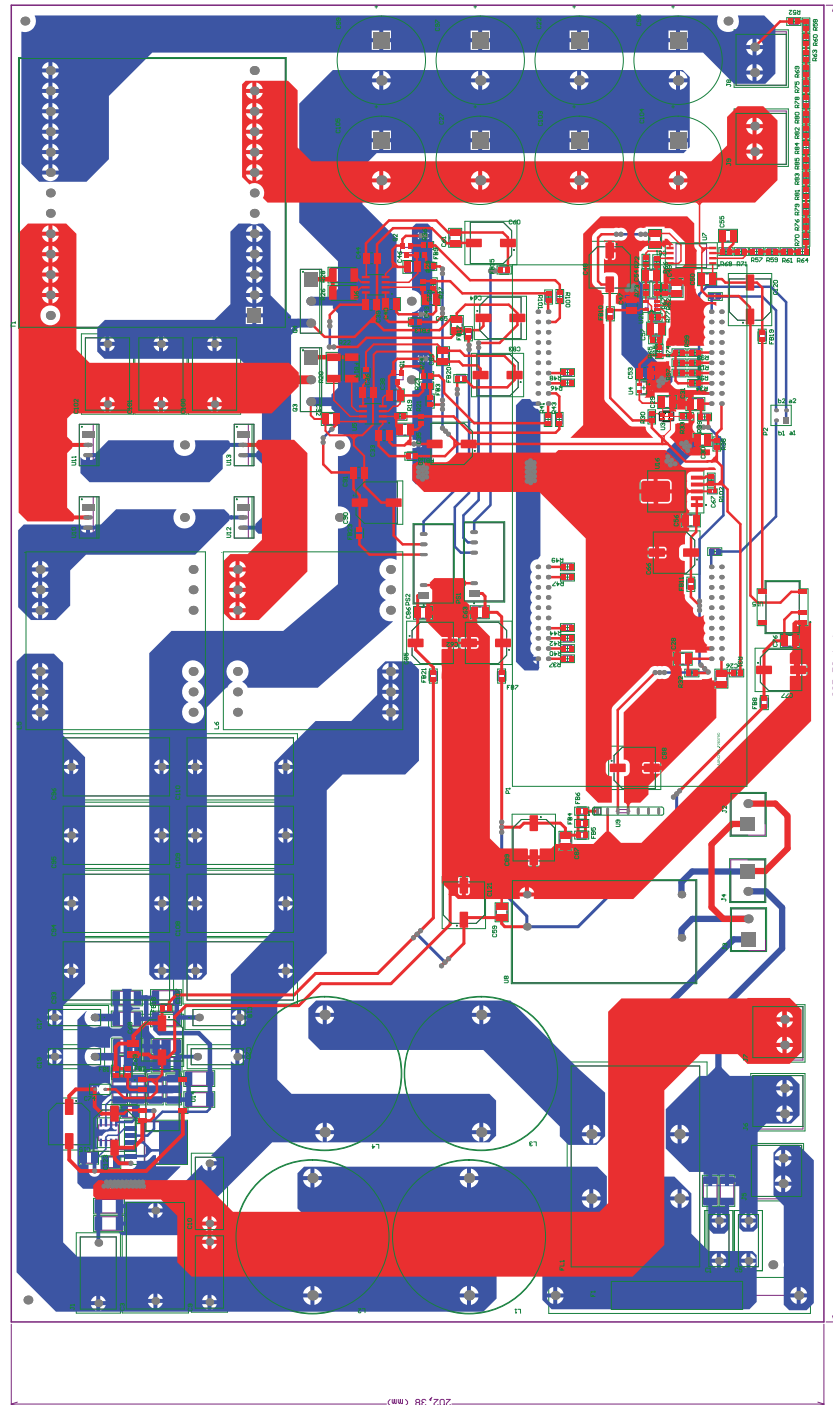
Fonte: Elaborado pelo Autor

4.2 PROJETO DE LAYOUT

A Figura 88 apresenta a placa de circuito impresso projetada para o SPT. As trilhas são dimensionadas para uma placa de 3 oz com dimensão 33x20 cm^2 . Mais detalhes sobre os componentes são encontrados nas figuras de esquemático em Apêndices.

O dissipador é colocado no lado inferior da placa e abrange uma área de 21,5x20 cm^2 .

Figura 88 – Layout



Fonte: Produção do Autor

4.3 RESULTADOS DO PROTÓTIPO

Devido a pandemia do COVID-19, não foi possível extrair os resultados experimentais antes da data de defesa da dissertação.

5 CONCLUSÕES

Esse trabalho apresentou o estudo de uma topologia monofásica para correção de fator de potência baseada nos retificadores Nabae e Taipei Trifásico. O interesse na topologia surgiu diante da simplicidade do controle, pelas características suscetíveis a baixas perdas de comutação e alta imunidade a ruídos CM.

É feito um estudo comparativo entre a topologia estudada com retificadores similares para comparar custos com componentes, e a topologia SPT se mostrou vantajosa para otimização de componentes passivos. Quanto aos semicondutores oferece baixas perdas de comutação pois utiliza ZVS nos interruptores e ZCS nos diodos.

É apresentado um estudo teórico para dimensionamento dos componentes e equacionamento dos esforços. As equações são mais tarde validadas na simulação de projeto.

Foi apresentado um estudo para determinar a faixa de operação mais indicada para a topologia. A escolha das especificações são determinadas a partir de variações paramétricas, analisando eficiência e custos. Por fim é selecionado um projeto com potência nominal de 3 kW e frequência mínima de comutação de 50 kHz para validação experimental.

São elaborados algoritmos para o dimensionamento de forma otimizada dos indutores Boost, do indutor CCM de saída e dos semicondutores.

É projetado um BCCM de 3 kW para ser comparado com o SPT, que apresenta resultados melhores levando em consideração custos e eficiência. No fator custos a principal desvantagem é a dificuldade de redução dos componentes magnéticos em operação DCM com potência elevada. Mesmo aumentando o valor da frequência de comutação mínima, a dissipação de calor que o elemento magnético tem que transferir dificulta a diminuição do núcleo e seção das espiras. A eficiência em carga nominal chega a 96,76 %, onde 51 % das perdas são causadas pelos interruptores.

É importante destacar que na análise não foi considerado os custos do circuito de controle, algo que beneficiou o BCCM já que ele possui malha de controle em cascata.

Embora não tenha superado o BCCM, o SPT apresenta bons resultados quanto a qualidade de energia, com FP de 0,994 e THD de 9,35 %.

É feito o controle digital para a tensão de barramento, modulando os interruptores em frequência com razão cíclica fixa em 50%. A planta V_o/f_s apresenta comportamento de primeira ordem e é obtida via resposta ao degrau com simulação do modelo dinâmico simplificado. A modulação em frequência é feita com um VCO.

É realizado um estudo de interferência eletromagnética conduzida, montando os modelos dos componentes com seus elementos parasitas. Então é projetado um filtro LC passivo de dois estágios DM e um estágio CM, que atende as normas CISPR 14, IEC 60950-1 e IEC61000-3-2. Também é apresentado um estudo de filtros de EMI ativos, e a

partir disso o estágio CM é otimizado em um filtro híbrido para redução do indutor.

O conversor SPT é simulado em carga nominal para o mesmo projeto do protótipo para validação do funcionamento e equações deduzidas.

O SPT provou ser uma estrutura promissora para conversores DCM, chegando a resultados próximos ao BCCM quanto a qualidade de energia e eficiência. A característica *interleaved* facilitou a otimização do filtro de EMI para redução da ondulação da corrente de entrada. Além disso, o ZVS auxilia na minimização das perdas nos interruptores, que são os principais dissipadores de potência na topologia. O ZCS nos diodos evita perdas por recuperação reversa e o uso de *snubbers*.

A simetria do circuito de potência formada pelas células Boost com o neutro virtual e o terra reduz ruídos CM. Já o circuito do controlador dispensa controle da corrente dos indutores, pois eles seguem naturalmente a tensão imposta pela rede elétrica.

REFERÊNCIAS

- AGRAWAL, B. et al. Estimating switching losses for sic mosfets with non-flat miller plateau region. p. 2664–2670, 2017. Citado na página 107.
- AMADUCCI, A. Design of a wide bandwidth active filter for common mode emi suppression in automotive systems. In: IEEE. *2017 IEEE International Symposium on Electromagnetic Compatibility & Signal/Power Integrity (EMCSI)*. [S.l.], 2017. p. 612–618. Citado na página 157.
- CHAN, C.; PONG, M. Input current analysis of interleaved boost converters operating in discontinuous-inductor-current mode. v. 1, p. 392–398, 1997. Citado na página 36.
- CHEN, W.; YANG, X.; WANG, Z. An active emi filtering technique for improving passive filter low-frequency performance. *IEEE Transactions on Electromagnetic compatibility*, IEEE, v. 48, n. 1, p. 172–177, 2006. Citado na página 157.
- CHEN, W. et al. An experimental study of common-and differential-mode active emi filter compensation characteristics. *IEEE transactions on electromagnetic compatibility*, IEEE, v. 51, n. 3, p. 683–691, 2009. Citado 2 vezes nas páginas 157 e 162.
- CORUH, N. et al. A simple and efficient implementation of interleaved boost converter. In: *2011 6th IEEE Conference on Industrial Electronics and Applications*. Beijing, China: IEEE, 2011. p. 2364–2368. ISBN 978-1-4244-8754-7. Citado na página 36.
- CREBIER, J.-C.; REVOL, B.; FERRIEUX, J. Boost-Chopper-Derived PFC Rectifiers: Interest and Reality. *IEEE Transactions on Industrial Electronics*, v. 52, n. 1, p. 36–45, fev. 2005. ISSN 0278-0046. Citado na página 39.
- DEHONG, L.; XANGUO, J. High frequency model of common mode inductor for emi analysis based on measurements. p. 462–465, 2002. Citado na página 150.
- DISSIPADORES, H. *Dissipadores de Calor*. 2019. Catálogo. Citado na página 133.
- DUMS, J. F. *Reator Eletrônico de Único Estágio e Elevado Fator de Potência, Baseado na Topologia Charge-Pump Voltage Source, Para Lâmpadas de Vapor de Sódio de Alta Pressão*. 2005. Dissertação. Citado na página 134.
- ERICKSON, R. W. Optimal single resistors damping of input filters. v. 2, p. 1073–1079, 1999. Citado na página 155.
- ERICKSON, R. W.; MAKSIMOVIC, D. *Fundamentals of power electronics*. [S.l.]: Springer Science & Business Media, 2007. Citado na página 142.
- FERROXCUBE. *3F46 Material Especification*. 2016. Datasheet. Citado na página 88.
- FERROXCUBE. *3C97 Material Especification*. 2018. Datasheet. Citado na página 88.
- GRANZA, M. H.; FONT, C. H. I.; GULES, R. Single-phase non-isolated high power factor rectifier based on an interleaved DCM boost converter in a three-level configuration. In: *2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)*. Fortaleza: IEEE, 2015. p. 1–6. ISBN 978-1-4799-8779-5. Citado na página 38.

- GU, L. et al. Means of Eliminating Electrolytic Capacitor in AC/DC Power Supplies for LED Lightings. *IEEE Transactions on Power Electronics*, v. 24, n. 5, p. 1399–1408, maio 2009. ISSN 0885-8993. Citado 2 vezes nas páginas 66 e 67.
- HELDWEIN, M. L. *EMC Filtering of Three-Phase PWM Converters*. 2008. Doctoral Thesis. Citado 3 vezes nas páginas 153, 154 e 155.
- HUANG, X. Selection guide of sic schottky diode in ccm pfc applications. aug 2006. Citado 2 vezes nas páginas 102 e 108.
- HURLEY, W. G.; WÖLFLE, W. H. *Transformers and inductors for power electronics: theory, design and applications*. [S.l.]: John Wiley & Sons, 2013. Citado 3 vezes nas páginas 87, 95 e 97.
- INSTRUMENT, T. *UCC53x0 Single-Channel Isolated Gate Drivers*. 2019. Datasheet. Citado na página 140.
- JANG, Y. et al. Three-Level TAIPEI Rectifier—Analysis of Operation, Design Considerations, and Performance Evaluation. *IEEE Transactions on Power Electronics*, v. 32, n. 2, p. 942–956, fev. 2017. ISSN 0885-8993, 1941-0107. Citado na página 134.
- JIANG, S. et al. Active emi filter design with a modified lcl-lc filter for single-phase grid-connected inverter in vehicle-to-grid application. *IEEE Transactions on Vehicular Technology*, IEEE, v. 68, n. 11, p. 10639–10650, 2019. Citado na página 157.
- KAZIMIERCZUK, M. K. *High-frequency magnetic components*. [S.l.]: John Wiley & Sons, 2014. Citado 2 vezes nas páginas 93 e 95.
- KAZIMIERCZUK, M. K. *Pulse-width modulated DC-DC power converters*. [S.l.]: John Wiley & Sons, 2016. Citado na página 102.
- LEE, P.-W. et al. Steady-state analysis of an interleaved boost converter with coupled inductors. *IEEE Transactions on Industrial Electronics*, IEEE, v. 47, n. 4, p. 787–795, 2000. Citado na página 36.
- MCLYMAN, C. W. T. *Transformer and inductor design handbook*. [S.l.]: CRC press, 2016. Citado 2 vezes nas páginas 97 e 124.
- MICROSHIP. *MCP6021 Rail-to-Rail Input/Output, 10 MHz Op Amps*. 2006. Datasheet. Citado na página 138.
- MICROSHIP. *3-Phase 30 kW Vienna PFC Reference Design*. 2020. Application Note. Citado na página 138.
- NABAE, A.; NAKANO, H.; ARAI, S. Novel sinusoidal converters with high power factor. In: *Proceedings of 1994 IEEE Industry Applications Society Annual Meeting*. Denver, CO, USA: IEEE, 1994. p. 775–780. ISBN 978-0-7803-1993-6. Citado na página 36.
- NAJJAR, M.; KOUCHAKI, A.; NYMAND, M. Evaluation of active common mode filter utilization for size optimization of a 20 kw power factor correction. p. 1–5, 2019. Citado na página 157.
- POON, N. et al. Techniques for input ripple current cancellation: classification and implementation [in smps]. *IEEE Transactions on Power Electronics*, IEEE, v. 15, n. 6, p. 1144–1152, 2000. Citado na página 157.

POSTIGLIONE, C. da S. *Fonte de Alimentação de Estágio Único com Correção do Fator de Potência*. 2006. Dissertação. Citado na página 134.

SEDRA, A. S. et al. *Microelectronic circuits*. [S.l.]: Oxford University Press New York, 2016. Citado na página 137.

SHA, Y. et al. Research of active emi suppression strategy for high power density power supply. In: IEEE. *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*. [S.l.], 2018. p. 611–614. Citado na página 163.

SILICONIX, V. *Power MOSFET Basics: Understanding MOSFET Characteristics Associated With The Figure of Merit*. 2008. Application Note. Citado na página 101.

SILICONIX, V. *Power MOSFET Basics: Understanding Gate Charge and Using it to Assess Switching Performance*. 2016. Device Application Note AN608A. Citado 3 vezes nas páginas 104, 105 e 106.

SILVA, L. da. *Redução de Capacitância em Conversor CFP Monofásico do Tipo Theta*. 2019. UDESC-CCT (Dissertação). Citado na página 107.

SON, Y.-C.; SUL, S.-K. Generalization of active filters for emi reduction and harmonics compensation. *IEEE Transactions on Industry applications*, IEEE, v. 42, n. 2, p. 545–551, 2006. Citado na página 157.

SOVRANI, E. F. *Contribuições no Estudo de Eficiência e EMC da Topologia Buck-Boost Bridgeless PFC*. 2019. UDESC-CCT (Dissertação). Citado 2 vezes nas páginas 43 e 107.

TAO, F.; LEE, F. An interleaved single-stage power-factor-correction electronic ballast. In: *APEC 2000. Fifteenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.00CH37058)*. New Orleans, LA, USA: IEEE, 2000. v. 1, p. 617–623. ISBN 978-0-7803-5864-5. Citado na página 37.

TDK. *Film Capacitors General technical information*. 2018. Application Note. Citado 3 vezes nas páginas 111, 112 e 113.

VENKATACHALAM, K. et al. Accurate prediction of ferrite core loss with nonsinusoidal waveforms using only Steinmetz parameters. In: *2002 IEEE Workshop on Computers in Power Electronics, 2002. Proceedings*. Mayaguez, Puerto Rico: IEEE, 2002. p. 36–41. ISBN 978-0-7803-7554-3. Citado na página 96.

WANG, S. et al. Investigation of hybrid emi filters for common-mode emi suppression in a motor drive system. *IEEE Transactions on Power Electronics*, IEEE, v. 25, n. 4, p. 1034–1045, 2009. Citado na página 157.

YANG, B. Topology investigation for front end dc/dc power conversion for distributed power system. *Virginia Polytechnic Institute and State University*, p. 12–30, 2003. Citado 3 vezes nas páginas 74, 75 e 135.

Yungtaek Jang; JOVANOVIĆ, M. M. The TAIPEI Rectifier—A New Three-Phase Two-Switch ZVS PFC DCM Boost Rectifier. *IEEE Transactions on Power Electronics*, v. 28, n. 2, p. 686–694, fev. 2013. ISSN 0885-8993, 1941-0107. Citado 3 vezes nas páginas 39, 122 e 134.

ZHANG, D. et al. Measurement of noise source impedance of off-line converters. *IEEE Transactions on Power Electronics*, IEEE, v. 15, n. 5, p. 820–825, 2000. Citado na página 164.

APÊNDICES

Figura 89 – Diagrama Geral do Conversor

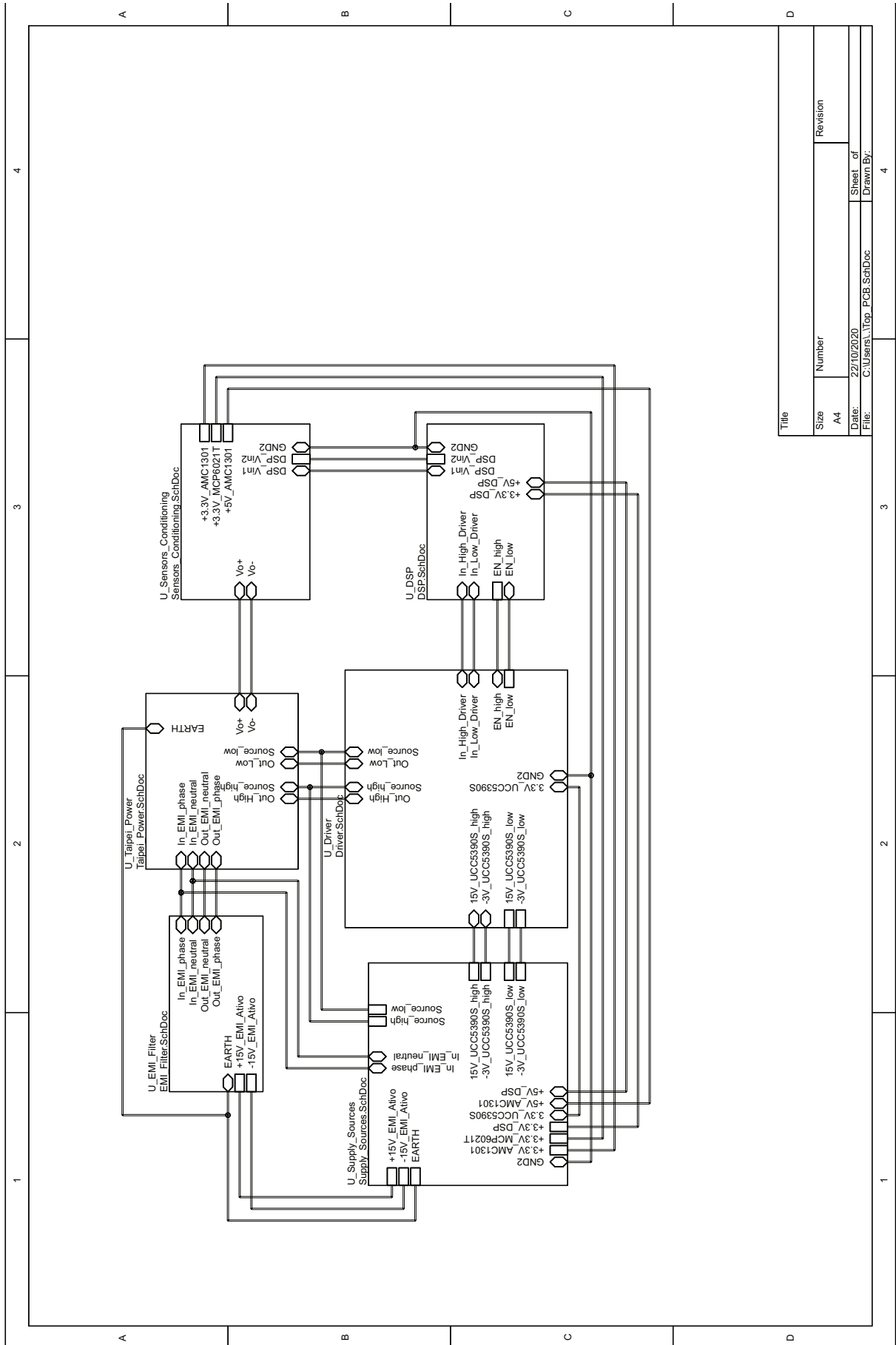


Figura 90 – Circuito de *Driver*

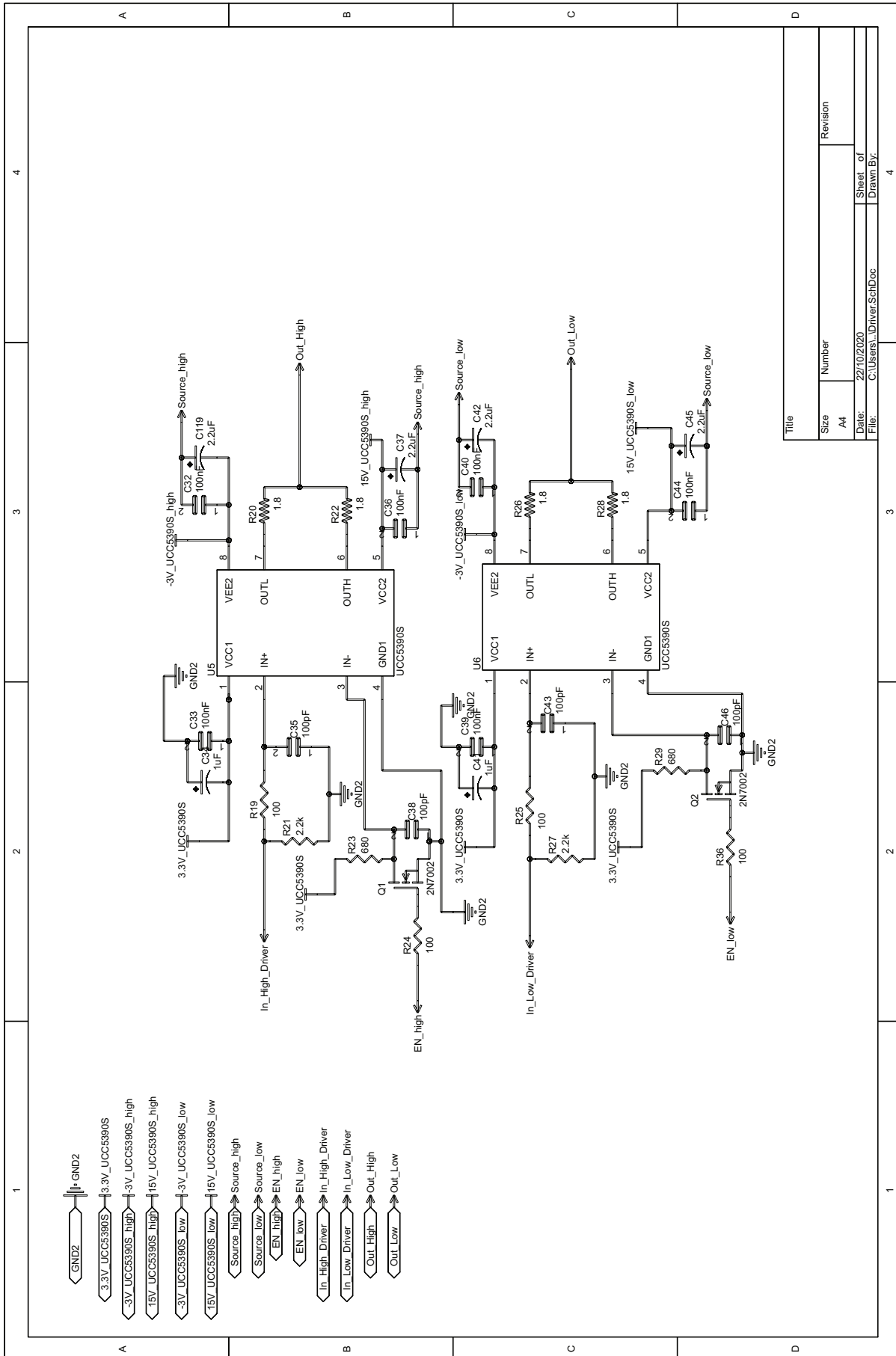


Figura 91 – Circuito de Potência

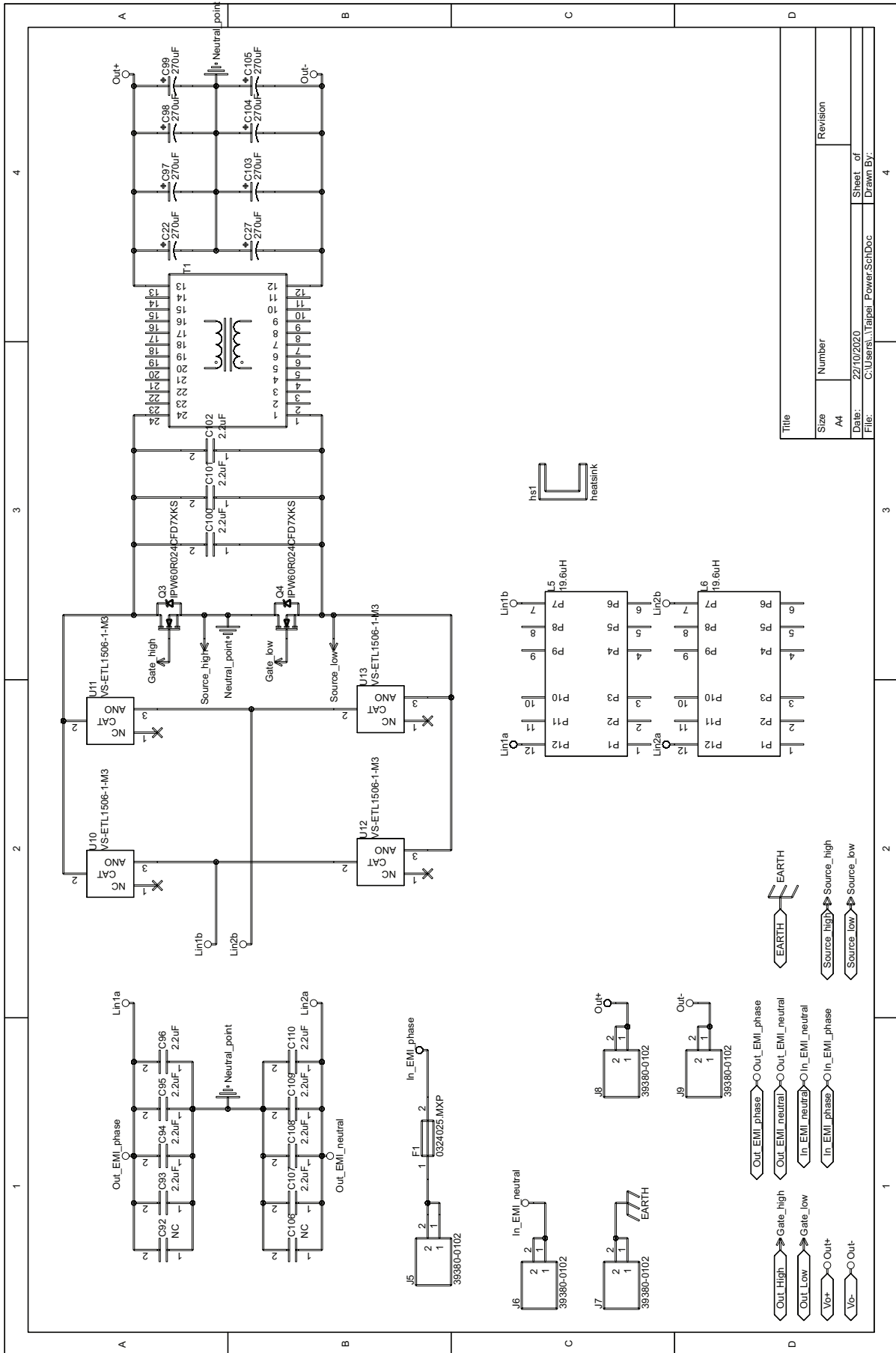


Figura 92 – Circuito de Condicionamento de Sinal

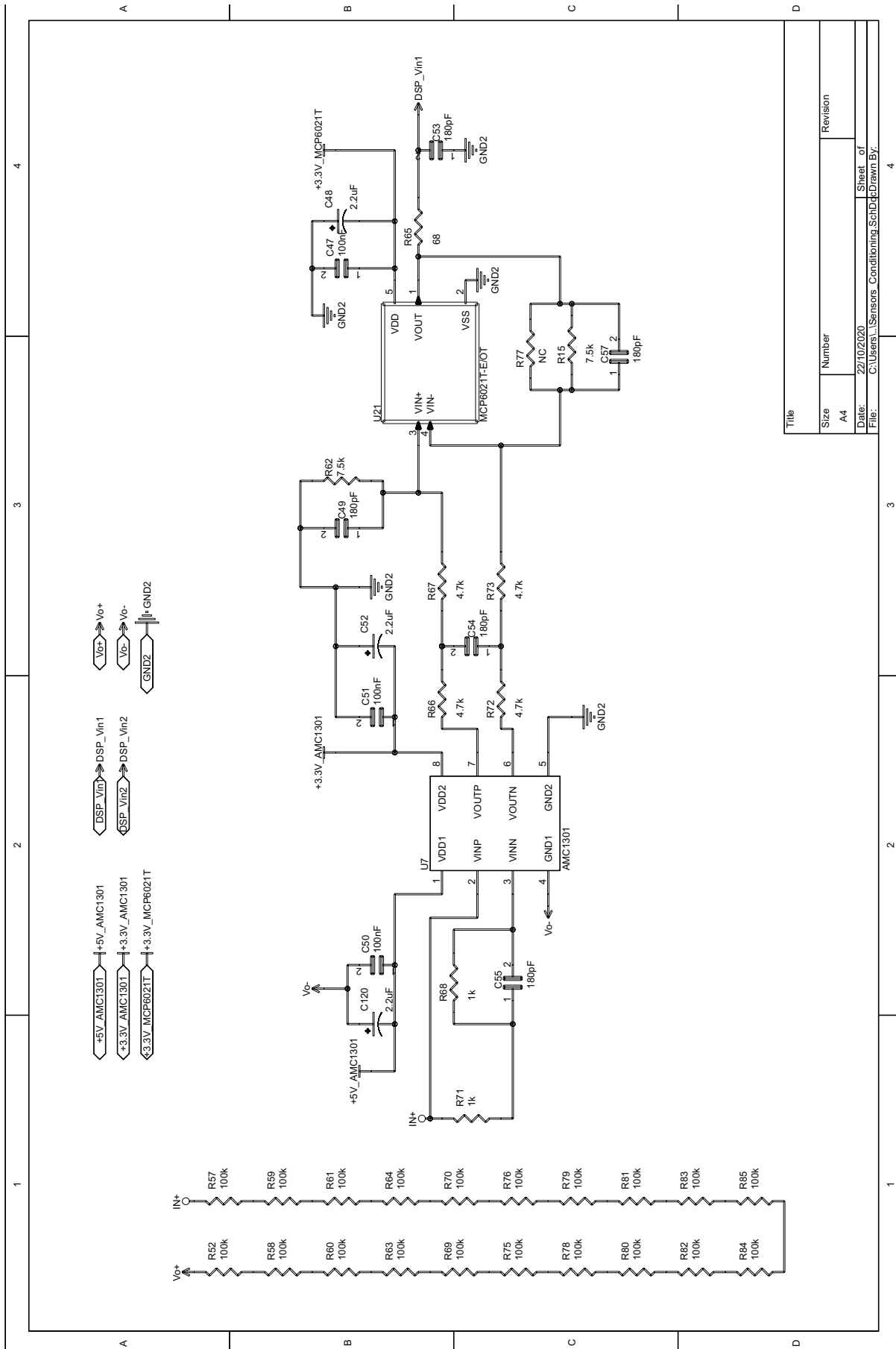


Figura 93 – Circuito do Filtro de EMI Passivo e Ativo

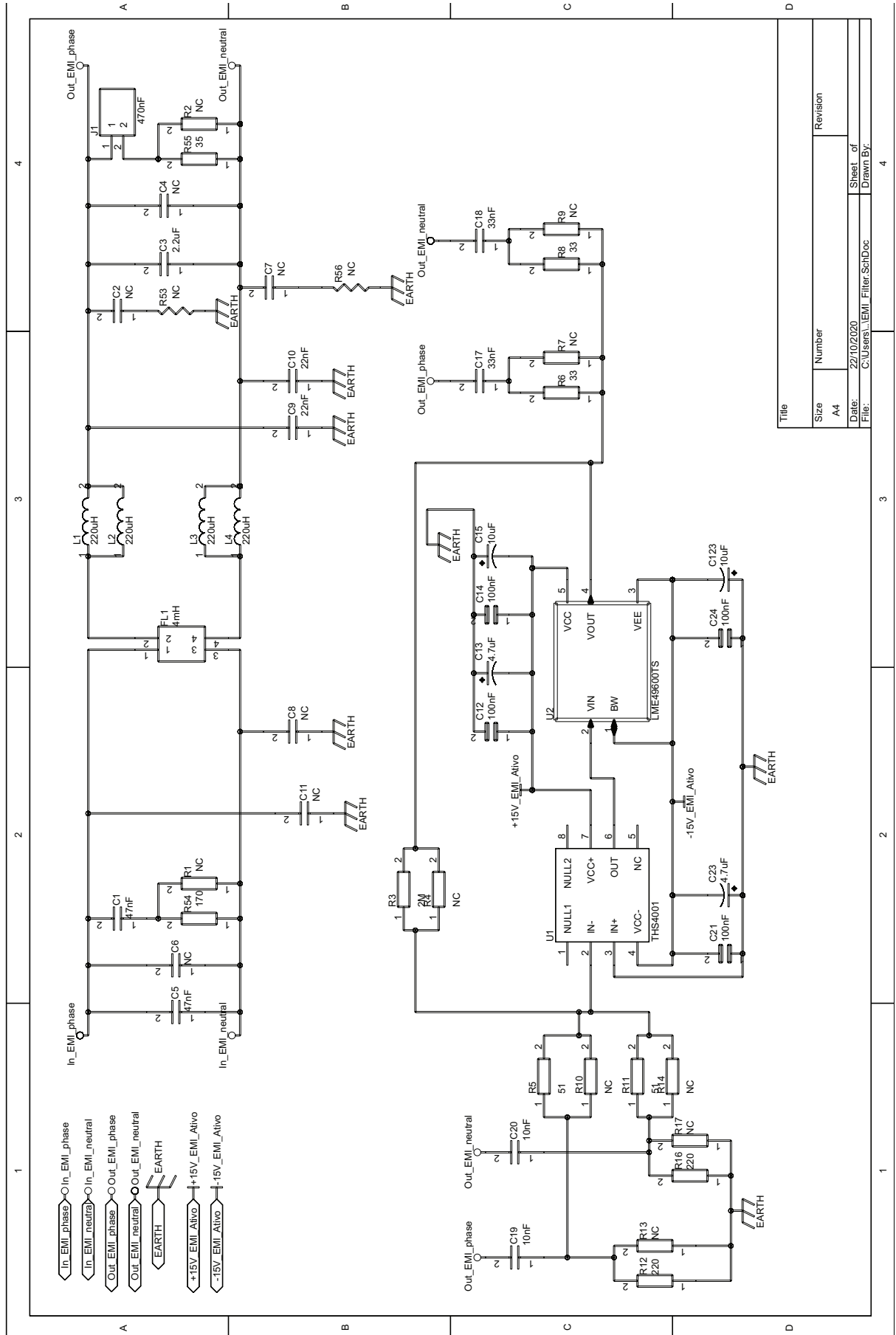
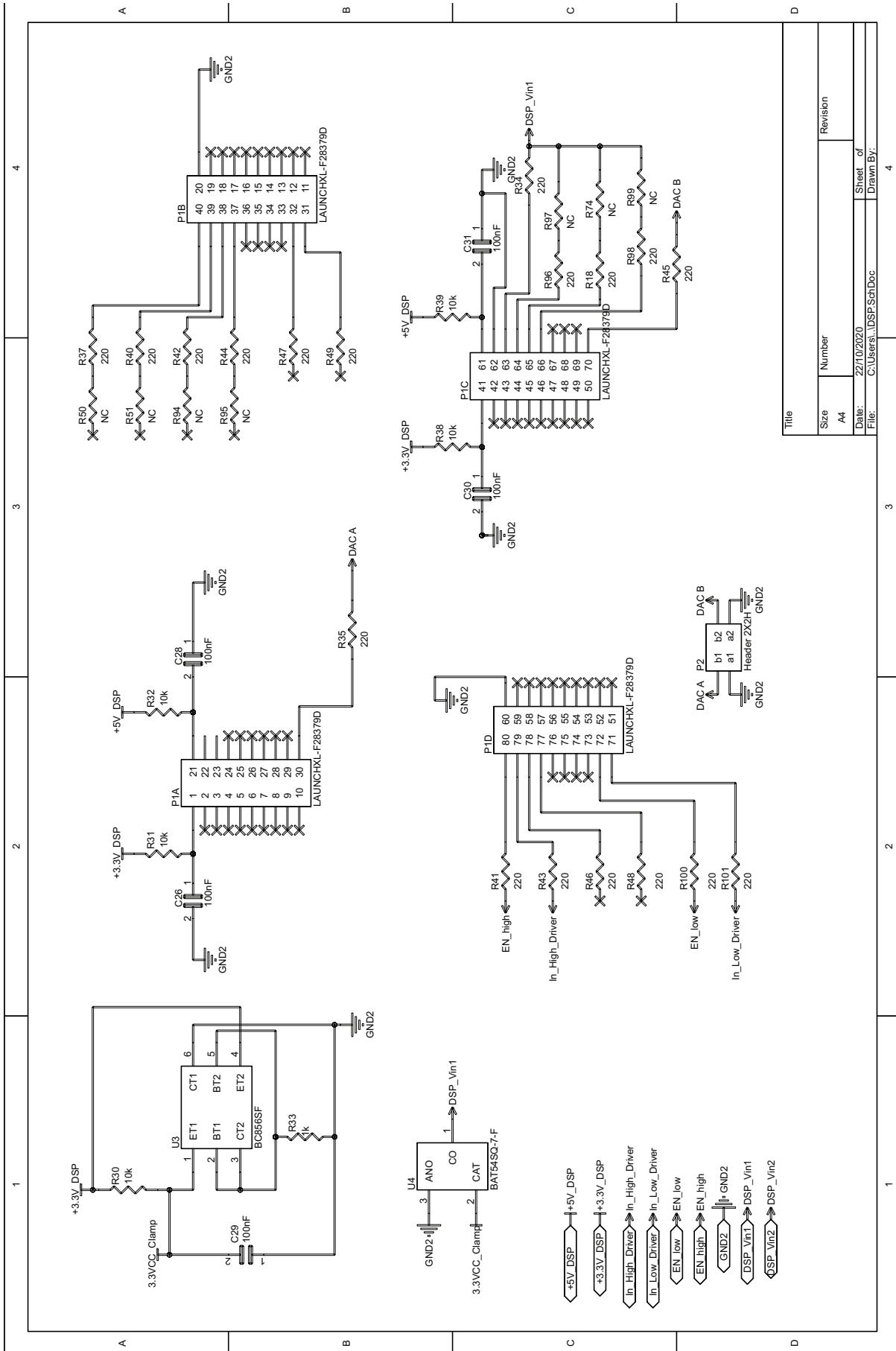


Figura 94 – Interface com o DSP



Title	
Size	Number
A4	
Date:	Revision
22/10/2020	
File:	Sheet of
C:\Users\... \DSP_SatDoc	Drawn By:

Figura 95 – Fontes Auxiliares

