

**UNIVERSIDADE DO ESTADO DE SANTA CATARINA
CENTRO DE CIÊNCIAS TECNOLÓGICAS - CCT
BACHARELADO EM ENGENHARIA ELÉTRICA**

JACKSON KOLLING GALLI

**ESTUDO E ANÁLISE DE PLACAS DE CIRCUITO IMPRESSO DE
CONVERSORES ESTÁTICOS USANDO A TEORIA DE LINHAS DE
TRANSMISSÃO**

JOINVILLE

2019

JACKSON KOLLING GALLI

**ESTUDO E ANÁLISE DE PLACAS DE CIRCUITO IMPRESSO DE
CONVERSORES ESTÁTICOS USANDO A TEORIA DE LINHAS DE
TRANSMISSÃO**

Trabalho de Conclusão de Curso apresentado ao curso de Bacharelado em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, como requisito para a obtenção do título de Bacharel em Engenharia Elétrica.

Orientador: Sérgio Vidal Garcia Oliveira, Dr

JOINVILLE

2019

JACKSON KOLLING GALLI

**ESTUDO E ANÁLISE DE PLACAS DE CIRCUITO IMPRESSO DE
CONVERSORES ESTÁTICOS USANDO A TEORIA DE LINHAS DE
TRANSMISSÃO**

Trabalho de Conclusão de Curso apresentado ao curso de Bacharelado em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, como requisito para a obtenção do título de Bacharel em Engenharia Elétrica.

Banca Examinadora:

Orientador:

Prof. Sérgio Vidal Garcia Oliveira, Dr
Universidade do Estado de Santa Catarina

Membros:

Prof. Rodolfo Lauro Weinert, Me.
Universidade do Estado de Santa Catarina

Naelton Oliveira de Souza, Me.
WEG

JOINVILLE, 28 de novembro de 2019

RESUMO

Este trabalho está voltado ao estudo da modelagem do método das linhas de transmissão para uma dimensão, conceitos de compatibilidade eletromagnética e placas de circuito impresso. Apresenta-se a formulação teórica referente à qualidade do sinal digital de alta velocidade, relacionado à parte eletromagnética e o equacionamento aplicado às PCIs. Através dos parâmetros do circuito, faz-se uma análise comparativa entre as placas comerciais e os fatores que as diferenciam no âmbito do eletromagnetismo e posteriormente são apresentados os métodos de modelagem utilizados no trabalho e suas fontes de erro. Através de um circuito genérico utilizado em *drivers* de conversores de potência projetado em uma placa comum encontrada no varejo, analisa-se características pertinentes à interferência eletromagnética na comutação de um mosfet e variação da trilha de *gate* e compara-se a um código que contém todas as discretizações formuladas.

Palavras-chave: Teoria de Linhas de Transmissão. Interferência eletromagnética. Compatibilidade eletromagnética. Modelagem eletromagnética.

ABSTRACT

The following document aims to the Transmission-Line Modeling method for one dimension, electrocompatibility concepts and printed circuit boards. It presents some theory about high speed signals quality and the equations for PCBs, through circuit parameters, a comparative analysis between the boards available in the market and their differences for electromagnetism and then it's shown the modeling method for some components and electric parts utilized later, including the error sources. With the use of a generic driver model for energy converters on a common board, while varying the gate trace width and length, this work presents some analysis over electromagnetic interference and a comparison of the results with the ones expected via code programming.

Keywords: Transmission-Line Modeling theory. Electromagnetic interference. Electromagnetic compatibility. Electromagnetic modeling.

LISTA DE ILUSTRAÇÕES

Figura 1 – Estruturas típicas de linhas de transmissão do tipo fio.	13
Figura 2 – Estruturas típicas de linhas de transmissão em PCIs.	14
Figura 3 – A linha de transmissão de dois condutores.	15
Figura 4 – Circuito equivalente simplificado de uma linha de transmissão	15
Figura 5 – Ramo do circuito da Figura 4	15
Figura 6 – Corte de PCI com trilha interplanos	18
Figura 7 – Corte de PCI com micro-tira	19
Figura 8 – Corte de PCI com tiras paralelas	20
Figura 9 – Estrutura das placas CEM-1 e FR-4.	26
Figura 10 – Estrutura de uma placa RCC	26
Figura 11 – Linha de transmissão com fonte e carga.	27
Figura 12 – Tensões incidentes e refletidas sobre o nó n.	27
Figura 13 – Equivalente de Thévenin para o nó N de uma linha com perdas.	28
Figura 14 – Equivalente para o primeiro nó.	29
Figura 15 – Último nó da linha com indutor.	31
Figura 16 – Equivalente para o último nó.	31
Figura 17 – Último nó da linha com capacitor.	32
Figura 18 – Circuito equivalente do último nó com capacitor.	33
Figura 19 – Modelagem <i>link</i> para o indutor.	34
Figura 20 – Modelagem <i>link</i> para o capacitor.	35
Figura 21 – Modelo da chave e circuito equivalente.	36
Figura 22 – Linha de transmissão com fonte, carga e filtro.	39
Figura 23 – Comparação da tensão sobre o último nó.	40
Figura 24 – Circuito proposto.	41
Figura 25 – Layout do Circuito proposto.	43
Figura 26 – Layout do circuito com os caminhos indicados.	43
Figura 27 – MOSFET e capacitâncias internas.	46
Figura 28 – Circuito analisado com a chave em condução.	47
Figura 29 – Circuito analisado com a chave em bloqueio.	47
Figura 30 – Medição da impedância das trilhas.	50
Figura 31 – Módulo e fase da trilha 1.	51
Figura 32 – Módulo e fase da trilha 2.	51
Figura 33 – Módulo e fase da trilha 3.	52
Figura 34 – Comportamento da impedância através da primeira trilha.	53
Figura 35 – Comportamento da impedância através da segunda trilha.	54
Figura 36 – Comportamento da impedância através da terceira trilha.	54
Figura 37 – Circuito utilizado no simulink.	57
Figura 38 – Sinal referente à trilha 1.	58

Figura 39 – Sinal referente à trilha 2.	58
Figura 40 – Sinal referente à trilha 3.	59
Figura 41 – Sinal obtido através do código para a trilha 1.	60
Figura 42 – Tensão refletida pelo capacitor.	61
Figura 43 – Tensão refletida pelo capacitor para o segundo caso.	61
Figura 44 – Resposta do sinal na trilha 1.	63
Figura 45 – Resposta do sinal na trilha 2.	64
Figura 46 – Resposta do sinal na trilha 3.	64
Figura 47 – Subida do sinal na trilha 1.	65
Figura 48 – Subida do sinal na trilha 2.	66
Figura 49 – Subida do sinal na trilha 3.	66
Figura 50 – Descida do sinal na trilha 1.	67
Figura 51 – Descida do sinal na trilha 2.	68
Figura 52 – Descida do sinal na trilha 3.	68
Figura 53 – Resposta do sinal na trilha 1.	69
Figura 54 – Resposta do sinal na trilha 2.	70
Figura 55 – Resposta do sinal na trilha 3.	70
Figura 56 – Subida do sinal na trilha 1.	71
Figura 57 – Subida do sinal na trilha 2.	72
Figura 58 – Subida do sinal na trilha 3.	72
Figura 59 – Descida do sinal na trilha 1.	73
Figura 60 – Descida do sinal na trilha 2.	74
Figura 61 – Descida do sinal na trilha 3.	74
Figura 62 – Resposta do sinal na trilha 1.	75
Figura 63 – Resposta do sinal na trilha 2.	76
Figura 64 – Resposta do sinal na trilha 3.	76
Figura 65 – Subida do sinal na trilha 1.	77
Figura 66 – Subida do sinal na trilha 2.	78
Figura 67 – Subida do sinal na trilha 3.	78
Figura 68 – Descida do sinal na trilha 1.	79
Figura 69 – Descida do sinal na trilha 2.	80
Figura 70 – Descida do sinal na trilha 3.	80

SUMÁRIO

1	INTRODUÇÃO	11
2	TEORIA DE LINHAS DE TRANSMISSÃO	13
2.1	EQUAÇÕES DE LINHAS DE TRANSMISSÃO	14
2.2	PARÂMETROS POR UNIDADE DE COMPRIMENTO	16
2.3	ESTRUTURAS DE PCIS	17
3	PLACAS DE CIRCUITO IMPRESSO	23
3.1	MATERIAL DA PLACA	24
4	O MÉTODO DE LINHAS DE TRANSMISSÃO	27
4.1	MÉTODO UNIDIMENSIONAL	27
4.1.1	Modelagem via <i>stub</i>	30
4.1.2	Modelagem via <i>link</i>	34
4.1.3	Modelagem da chave	35
4.1.4	Considerações o TLM e modelagem dos elementos	37
5	CÓDIGO COMPUTACIONAL	39
5.1	VALIDAÇÃO DO CÓDIGO	39
6	CIRCUITO PROPOSTO	41
6.1	LAYOUT DA PLACA	41
6.1.1	Cálculo dos parâmetros da TLM	43
6.1.2	Parâmetros do MOSFET	45
7	ANÁLISE PRÁTICA DAS TRILHAS	49
7.1	ANÁLISE DE IMPEDÂNCIA DA TRILHA	49
7.2	ANÁLISE DO COMPORTAMENTO DA IMPEDÂNCIA NO CAMINHO	52
8	VISUALIZAÇÃO DA DEGRADAÇÃO DO SINAL ATRAVÉS DE SIMULAÇÃO	57
8.1	DEGRADAÇÃO DO SINAL ATRAVÉS DO CÓDIGO DESENVOLVIDO	59
8.2	ANÁLISE DA TENSÃO REFLETIDA	60
9	ANÁLISE DO COMPORTAMENTO DO SINAL NA PLACA	63
9.1	FREQUÊNCIA DE 50 KHZ	63
9.2	FREQUÊNCIA DE 500 KHZ	69
9.3	FREQUÊNCIA DE 1 MHZ	75
10	CONCLUSÃO	83

REFERÊNCIAS	85
ANEXOS	87
ANEXO A – CÓDIGO COMPUTACIONAL UTILIZADO PARA A SI- MULAÇÃO	89

1 INTRODUÇÃO

Há muito tempo, nos estudos na área do eletromagnetismo relacionados nas antenas e transmissão de sinais, sabe-se da existência da interferência causada por fontes externas, afetando diversos circuitos por indução eletromagnética, condução e até mesmo transferência de energia por irradiação. As consequências destes problemas que, em situações críticas, podem até levar à destruição de componentes, estão intrinsecamente ligadas ao desempenho do equipamento ou componente analisado.

No âmbito da Eletrônica Industrial, os conversores estáticos são responsáveis pela conversão de sinais de tensão e corrente para o processamento de energia elétrica eletronicamente. Estes conversores utilizam, além de elementos semicondutores e componentes passivos como resistores, indutores e capacitores, placas de circuitos impressos como meio físico para a conexão de todos os componentes segundo circuitos específicos, chamados topologias que tem funções específicas a depender das características tanto da fonte de alimentação quanto da carga.

As relações e características envolvendo os circuitos das topologias e os sinais de tensão, corrente e frequência destes, podem ser alteradas pelo meio físico onde eles estão sendo processados. A teoria de linhas de transmissão é frequentemente utilizada para o estudo da dinâmica e da estática em sistemas elétricos de potência e também em circuitos de telecomunicações. Enquanto nos primeiros, os níveis de potência são elevados, na ordem de MVA e frequência de 60 Hz, nos últimos, o nível de potência é da Ordem de kVA e frequências na faixa de GHz. Atualmente, os circuitos de eletrônica de potência, operam em faixas de potência de dezenas a milhares de VA e frequências na faixa de kHz a MHz. Ou seja, numa faixa intermediária de potência e de frequência.

Com os avanços da tecnologia e toda ampliação do emprego e aplicação de normas em todo o mundo, os circuitos de eletrônica de potência passam a ser alvos destas regulamentações, principalmente relacionadas a Interferência Eletromagnética. Como apresentado nas literaturas da área, o layout das PCI e a densidade de potência dos circuitos de eletrônica de potência, influenciam diretamente na quantidade de interferência gerada nestes circuitos.

A partir disto, neste TCC pretende-se estudar, entender e aplicar os conceitos de linhas de transmissão na análise dos circuitos de eletrônica de potência implementados nas PCIs operando na faixa de MHz, identificando as limitações e propondo métodos de projeto de layouts para reduzir, principalmente, as interferências eletromagnéticas e distorções dos sinais de comando e controle presentes na operação dos conversores estáticos. De modo específico, busca-se estudar a natureza da interferência eletromagnética e as variáveis de projeto que possibilitam sua diminuição, através de diversas técnicas e aproximações numéricas, tomando um caso particular e generalizando-o.

No segundo capítulo, apresenta-se a Teoria de Linhas de Transmissão e as equações que à regem. Em seguida, há uma seção sobre os parâmetros por unidade de comprimento, que são

pilares de uma das vertentes desta teoria e então aborda-se as placas de circuito impresso e a discretização de todos os parâmetros necessários para este tipo de análise.

Posteriormente, apresenta-se um pequeno resumo sobre a história das PCIs e segue-se para a apresentação dos tipos de placas mais conhecidos no mercado, uma síntese sobre o material dos dielétricos e o valor utilizado para este índice.

O quarto capítulo refere-se à modelagem TLM (*Transmission-Line Modeling*) unidimensional, necessária para o estudo de alguns fenômenos apresentados neste documento, e a formulação de cada elemento através do circuito equivalente de Thévenin para cada tipo de nó, bem como suas fontes de erro.

O quinto capítulo apresenta as condições de criação do código utilizado para a simulação e sua validação perante um problema utilizado por outros autores.

O sexto capítulo apresenta o circuito proposto para esta análise, o *layout* da placa e cálculo dos parâmetros da TLM e do mosfet utilizado.

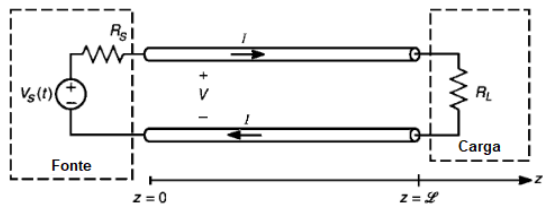
O sétimo capítulo apresenta a análise prática das trilhas, através dos resultados obtidos pelo analisador de impedâncias e dispõe sobre erros na medição, propondo um método mais confiável de fazê-la.

O oitavo capítulo apresenta a visualização da degradação do sinal de excitação através da simulação de todos os dados obtidos, mostrando a grande diferença entre a fonte e o sinal que chega ao *gate*. Por fim, há uma análise da tensão refletida pelo capacitor da chave e um breve discorrimento sobre suas consequências.

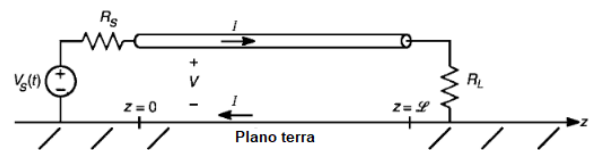
2 TEORIA DE LINHAS DE TRANSMISSÃO

A transmissão de sinais digitais e analógicos entre dois pontos ocorre sobre um par de condutores paralelos, referidos como linha de transmissão (PAUL, 2006). O grande desafio é determinar a corrente nos condutores $I(z,t)$ e a tensão entre os dois condutores $V(z,t)$ (PAUL, 2006). Apresenta-se abaixo, linhas de transmissão no do tipo fio:

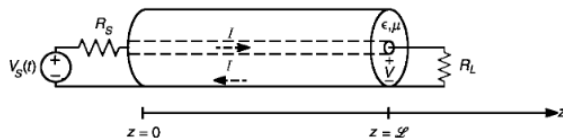
Figura 1 – Estruturas típicas de linhas de transmissão do tipo fio.



(a) Linha de dois fios



(b) Fio sobre um plano terra infinito

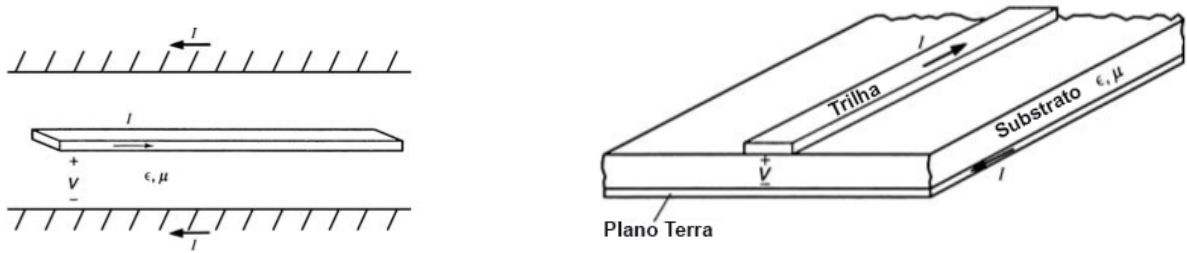


(c) Cabo Coaxial

Fonte: adaptado de (PAUL, 2006).

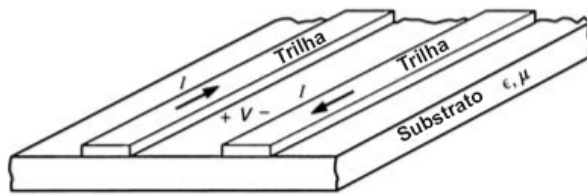
Condutores de placas de circuito impresso (PCIs) têm sessões retangulares, comumente referidas como trilhas. Essas representam interplanos que passam a fazer parte da PCI (PAUL, 2006). Abaixo, a ilustração demonstra as formas típicas de estruturas de PCIs:

Figura 2 – Estruturas típicas de linhas de transmissão em PCIs.



(a) Linha de placas com plano interno

(b) Micro tira (trilha sobre o plano)



(c) Trilhas numa placa sem planos internos

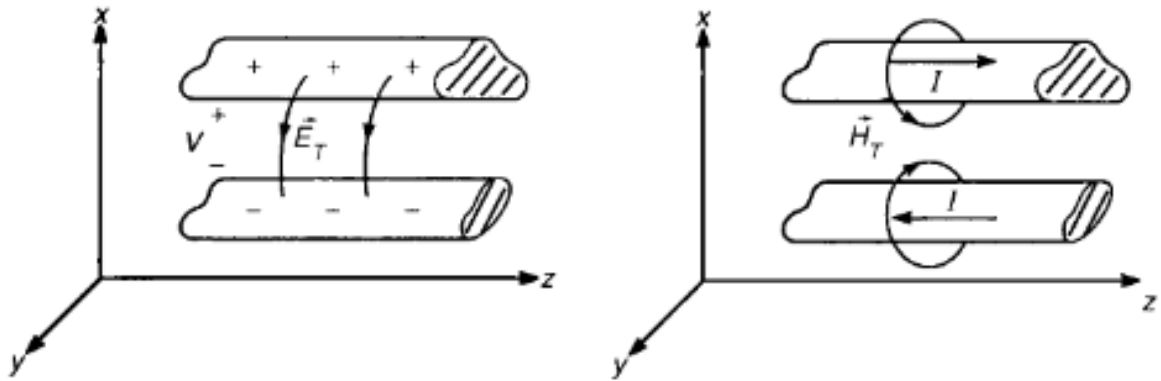
Fonte: adaptado de (PAUL, 2006).

Como a velocidade de *clock* e transmissão de dados é cada vez mais alta, esses condutores de “interconexão” passam a apresentar efeito significativo na transmissão do sinal e não podem ser ignorados (PAUL, 2006). Tudo recai sobre a integridade do sinal. A integridade do sinal assegura que as formas de onda na entrada e saída da linha sejam idênticas ou aproximadas. As linhas de transmissão carregam sinais de um ponto a outro e é de extrema importância que este sinal não seja corrompido durante o processo (PAUL, 2006).

2.1 EQUAÇÕES DE LINHAS DE TRANSMISSÃO

Supondo que se aplique uma tensão entre dois condutores, como na Figura 3a, haverá um depósito de carga neles, resultando em um campo elétrico. Como os dois fios seccionam carga, sugere-se que a linha tem uma capacitância por unidade de comprimento, F/m (farad por metro). Agora supondo a aplicação de corrente passando da direita para a esquerda como na Figura 3b e retornando pelo condutor inferior. Tal corrente causará um campo magnético no plano xy que passa pelo *loop* entre os dois condutores, o que sugere a existência de uma indutância por unidade de comprimento, H/m (henry por metro) (PAUL, 2006).

Figura 3 – A linha de transmissão de dois condutores.



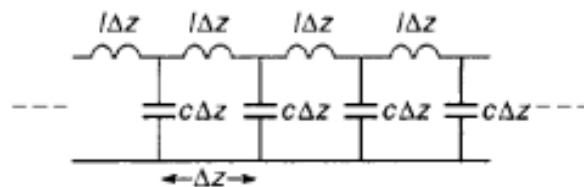
(a) Caso do campo elétrico devido à tensão

(b) Caso do campo magnético devido à corrente

Fonte: adaptado de (PAUL, 2006).

Tendo em vista as informações do parágrafo acima, a linha pode ser modelada como um circuito de parâmetros distribuídos, consistindo numa sequência de indutores e capacitores, como mostra a Figura 4. Além disso, há perdas nos condutores, devido ao valor de resistência associado a eles, geralmente desprezadas. Já nas frequências da faixa de GHz, a resistência passa a ser significativa, devido ao efeito pelicular (PAUL, 2006).

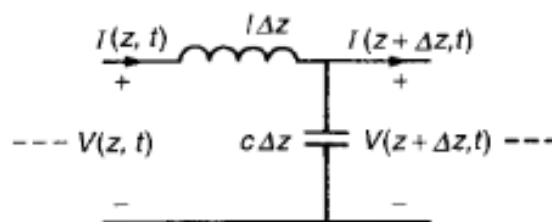
Figura 4 – Circuito equivalente simplificado de uma linha de transmissão



Fonte: adaptado de (PAUL, 2006).

Através de uma visão aproximada e detalhada de apenas uma seção ΔZ , apresenta-se o seguinte ramo de circuito:

Figura 5 – Ramo do circuito da Figura 4



Fonte: adaptado de (PAUL, 2006).

Pode-se inferir que a tensão e corrente da linha são funções do tempo (t) e posição (z). Aplicando-se a lei de Kirchhoff das tensões, obtém-se:

$$V(z + \Delta z, t) - V(z, t) = -L \cdot \Delta z \cdot \frac{\delta I(z, t)}{\delta t} \quad (2.1)$$

Multiplicando-se ambos os lados por $(1/\Delta z)$ e aplicando-se o limite tendendo a zero, para buscar a parcela infinitesimal:

$$\frac{V(z + \Delta z, t) - V(z, t)}{\Delta z} \Big|_{\lim \Delta z \rightarrow 0} = \frac{\delta V(z, t)}{\delta t} \quad (2.2)$$

Resultando na primeira equação das linhas de transmissão:

$$\frac{\delta V(z, t)}{\delta t} = -L \cdot \frac{\delta I(z, t)}{\delta t} \quad (2.3)$$

Para a segunda equação, aplica-se a lei de Kirchhoff das correntes no nó do capacitor, e reproduzindo-se os passos anteriores da primeira equação, obtém-se o seguinte desenvolvimento e resultado:

$$I(z + \Delta z, t) - I(z, t) = -c \cdot \Delta z \cdot \frac{\delta V(z + \Delta z, t)}{\delta t} \quad (2.4)$$

$$\frac{I(z + \Delta z, t) - I(z, t)}{\Delta z} \Big|_{\lim \Delta z \rightarrow 0} = \frac{\delta I(z, t)}{\delta t} \quad (2.5)$$

$$\frac{\delta I(z, t)}{\delta t} = -c \cdot \frac{\delta V(z, t)}{\delta t} \quad (2.6)$$

Para o avanço e aplicação das Equações 2.3 e 2.6 (PAUL, 2006), é necessário entrar na discussão dos parâmetros por unidade de comprimento, discutidos na próxima seção deste trabalho.

2.2 PARÂMETROS POR UNIDADE DE COMPRIMENTO

O modo de propagação em uma linha de transmissão é chamado de modo eletromagnético transversal, no qual ambos os campos, elétrico e magnético, são transversais à direção de propagação Z, o que pode ser demonstrado ao se aplicar a Lei de Faraday (PAUL, 2006).

Desta forma, mesmo que se tenha campos variáveis no tempo, pode-se definir uma tensão entre dois condutores como na Figura 1 e se calcular uma capacitância por unidade de comprimento com o uso de técnicas para campos estáticos. Embora haja a possibilidade de se obter fórmulas para a capacitância de estruturas do tipo fio, não se pode fazer o mesmo para

seções retangulares como as da Figura 2, apenas aproximações, discutidas em outra seção (PAUL, 2006).

Similarmente, ao se aplicar a Lei de Ampere, sabe-se que há uma corrente, porém não há componente de campo na direção Z. Assim, pode-se calcular uma indutância por unidade de comprimento com a utilização das mesmas técnicas utilizadas para campos dc, mesmo que os campos variem no tempo (PAUL, 2006).

Devido a estas simplificações, considerando-se apenas campos estáticos, o meio que envolve os dois condutores é homogêneo, ou seja, a permissividade ϵ e a permeabilidade μ são as mesmas em todo o espaço de análise, portanto:

$$lc = \mu\epsilon \quad (2.7)$$

Em que l é a indutância dos condutores e c a capacitância. Ainda a fim de simplificação, para casos como o cabo coaxial, considera-se $\epsilon = \epsilon_r \epsilon_0$ e dielétricos não magnéticos, ou seja, $\mu_r = 1$ e $\mu = \mu_0$ (PAUL, 2006). Desta forma, a velocidade de propagação na linha é dada por:

$$v = \frac{1}{\sqrt{\mu\epsilon}} \quad (2.8)$$

Manipulando-se as equações 2.7 e 2.8, obtém-se:

$$l = \frac{1}{cv^2} \quad (2.9a)$$

$$c = \frac{1}{lv^2} \quad (2.9b)$$

Para os casos de meios não homogêneos, como por exemplo as PCIs, estas relações não podem ser aplicadas. Entretanto, pode-se determinar uma permissividade efetiva relativa ϵ'_r , de forma a se considerar uma homogeneidade, voltando as equações 2.9, conforme (PAUL, 2006), com a alteração de:

$$lc = \mu_0 \epsilon_0 \epsilon'_r \quad (2.10)$$

2.3 ESTRUTURAS DE PCIS

Ao invés de especificar as configurações usuais de Placas de Circuito Impresso, mostradas na Figura 2, com indutância e capacitância dependentes do comprimento, é comum especificá-las

em termos de um parâmetro importante das linhas de transmissão, a impedância característica, desprezando-se a resistência e a condutância (PAUL, 2006).

$$Z_0 = \sqrt{\frac{L_d}{C_d}} \quad [\Omega] \quad (2.11)$$

O segundo parâmetro fundamental para essa abordagem é a velocidade de propagação, discutida anteriormente.

$$v = \frac{1}{\sqrt{\mu_0 \epsilon_0 \epsilon_r'}} \quad [m/s] \quad (2.12)$$

É válido ressaltar que ϵ_r' é a permissividade relativa efetiva ou constante dielétrica efetiva. Portanto, neste caso, a indutância e a capacitância por unidade de comprimento podem ser determinadas em termos de impedância característica e velocidade de propagação, conforme (PAUL, 2006):

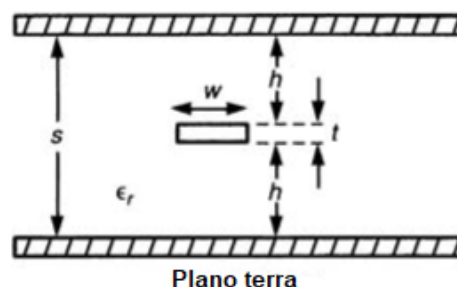
$$L_d = \frac{Z_0}{v} \quad (2.13a)$$

$$C_d = \frac{1}{vZ_0} \quad (2.13b)$$

Em geral, não se pode determinar os parâmetros por unidade de comprimento via fórmula, apenas relações aproximadas de projeções conformes ou até métodos numéricos (PAUL, 2006).

A seguir, estão dispostos alguns cortes transversais de arranjos de PCIs e as fórmulas referentes às suas impedâncias características.

Figura 6 – Corte de PCI com trilha interplanos



Fonte: adaptado de (PAUL, 2006).

A trilha na Figura 6 encontra-se num meio homogêneo, de forma que a permissividade relativa efetiva é igual a permissividade relativa do dielétrico. Esta configuração representa os

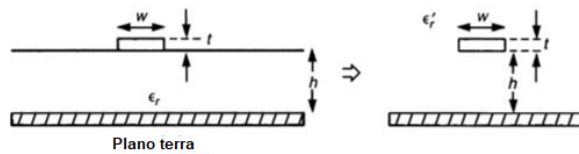
condutores de PCIs que ficam entre dois planos. Considerando-se a espessura da trilha $t = 0$, obtém-se a impedância característica conforme (PAUL, 2006):

$$Z_0 = \frac{30\pi}{\sqrt{\epsilon_r}} \cdot \frac{1}{\frac{W_e}{s} + 0,441} \quad (2.14)$$

Em que a largura efetiva do condutor segue a seguinte especificação:

$$\frac{W_e}{s} = \begin{cases} \frac{w}{s} & \text{se } \frac{w}{s} \geq 0,35 \\ \frac{w}{s} - (0,35 - \frac{w}{s})^2 & \text{se } \frac{w}{s} \leq 0,35 \end{cases} \quad (2.15)$$

Figura 7 – Corte de PCI com micro-tira



Fonte: adaptado de (PAUL, 2006).

A linha de micro-tira da Figura 7 tem uma trilha de largura w numa placa de altura h e também uma permissividade relativa. Desconsiderando-se a espessura da trilha, segundo (PAUL, 2006), a impedância característica é dada por:

$$Z_0 = \begin{cases} \frac{60}{\sqrt{\epsilon_r'}} \ln\left(\frac{8h}{w} + \frac{w}{4h}\right) & \text{se } \frac{w}{h} \leq 1 \\ \frac{120\pi}{\sqrt{\epsilon_r'}} \left[\frac{w}{h} + 1,393 + 0,667 \ln\left(\frac{w}{h} + 1,444\right)\right]^{-1} & \text{se } \frac{w}{h} \geq 1 \end{cases} \quad (2.16)$$

E a permissividade relativa efetiva:

$$\epsilon_r' = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \cdot \frac{1}{\sqrt{1 + 10h/w}} \quad (2.17)$$

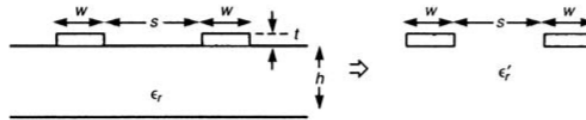
Tal permissividade relativa efetiva é levada em consideração devido ao fato de que as linhas de campo elétrico estão em parte no substrato dielétrico e em parte no ar. Se esse meio não homogêneo for substituído por um homogêneo, tendo um ϵ_r' próprio, como exemplificado à direita na Figura 7, então as propriedades da linha permanecem intactas, porém, neste caso, torna-se muito mais fácil a análise da velocidade de propagação através da Equação 2.12 (PAUL, 2006). Pode-se também utilizar aproximações para os casos extremos, tais como:

$$\epsilon_r' \cong \begin{cases} \epsilon_r & \text{se } h \ll w \\ \frac{\epsilon_r + 1}{2} & \text{se } h \gg w \end{cases} \quad (2.18)$$

A primeira aproximação é obtida quando a largura da tira é muito maior que a espessura da placa e conseqüentemente a maior parte do campo elétrico estará confinado no dielétrico. A segunda é para quando a tira for muito estreita se comparada a espessura da PCI, fazendo com que o campo elétrico esteja dividido igualmente entre a placa e o ar envolto. Há também uma aproximação muito mais simples para casos em que $0,1 \leq t/w \leq 0,8$, conforme (PAUL, 2006):

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1,41}} \cdot \ln\left(\frac{5,98h}{0,8w + t}\right) \quad (2.19)$$

Figura 8 – Corte de PCI com tiras paralelas



Fonte: adaptado de (PAUL, 2006).

A configuração da PCI da Figura 8 tem duas trilhas de largura w colocadas paralelamente, com uma distância s entre as bordas adjacentes. É chamada de configuração de tiras coplanar. A placa tem uma espessura h e uma permissividade relativa ϵ_r . Aproximando a espessura da trilha para zero, segundo (PAUL, 2006), a impedância característica é dada por:

$$Z_0 = \begin{cases} \frac{120}{\sqrt{\epsilon'_r}} \cdot \ln\left(2 \cdot \frac{1+\sqrt{k}}{1-\sqrt{k}}\right) & \text{se } \frac{1}{\sqrt{2}} \leq k \leq 1 \\ \frac{377\pi}{\sqrt{\epsilon'_r} \cdot \ln\left(2 \cdot \frac{1+\sqrt{k'}}{1-\sqrt{k'}}\right)} & \text{se } 0 \leq k \leq \frac{1}{\sqrt{2}} \end{cases} \quad (2.20)$$

De forma que:

$$k = \frac{s}{s + 2w} \quad (2.21a)$$

$$k' = \sqrt{1 - k^2} \quad (2.21b)$$

E a permissividade relativa efetiva é:

$$\epsilon'_r = \frac{\epsilon_r + 1}{2} \left(\tanh\left[0,775 \ln\left(\frac{h}{w}\right) + 1,75\right] + \frac{kw}{h} [0,04 - 0,7k + 0,01(1 - 0,1\epsilon_r)(0,25 + k)] \right) \quad (2.22)$$

Novamente há o fato de que o campo elétrico está parcialmente no ar e parcialmente no substrato dielétrico. Se esse meio não homogêneo for substituído por um homogêneo, haverá uma permissividade relativa efetiva ϵ_r' como mostrado a direita na Figura 8 e todas as propriedades da linha permanecem inalteradas (PAUL, 2006).

3 PLACAS DE CIRCUITO IMPRESSO

Antes do desenvolvimento das PCIs, os circuitos eram feitos por conexões de fios ponto a ponto em chassis de folha metálica e um suporte de madeira. Os componentes eram conectados por meio de isoladores e as trilhas eram diretas ou soldadas através de *jumpers*.

O desenvolvimento de métodos usados nas placas modernas começou no início do século XX. Albert Hanson utilizou uma placa isoladora de várias camadas com condutores planos e laminados e posteriormente Thomas Edison conduziu experimentos químicos com folhas de linho. Então diversos inventores menos conhecidos passaram a patentear métodos de trabalho para a montagem de circuitos (HARPER, 2003).

Em meados de 1936, o engenheiro austríaco Paul Eisler inventou o circuito impresso, que fazia parte do seu projeto para um rádio. Nos anos seguintes, os circuitos impressos de multicamadas passaram a fazer parte do cenário militar, devido à Segunda Guerra Mundial, sendo utilizados em minas navais e fusíveis de proximidade. Apenas em 1948 os EUA passaram a liberar a invenção para usos comerciais (HALL, 2017).

Inicialmente, os componentes eletrônicos possuíam fios condutores e as placas eram furadas para comportar cada fio, que posteriormente eram soldados aos traços de cobre da PCI. Em 1949, os engenheiros Moe Abramson e Stanislaus Danko, a serviço das Forças Armadas Americanas, desenvolveram o processo em que os fios eram inseridos em padrões de interconexão laminares de folhas de cobre e depois soldados por imersão, o que possibilitou a evolução do processo de fabricação dos circuitos impressos similares aos utilizados atualmente (HALL, 2017).

Na década de 90, a complexidade das placas de circuitos modernas continuou aumentando, contrastando a diminuição dos seus tamanhos e custos dos materiais. Passou-se a utilizar circuitos multicamadas, além da incorporação de diversas combinações entre PCIs rígidas e flexíveis. Posteriormente, por volta de 1995, inseriu-se o conceito da "tecnologia micro" na produção das PCIs, marcando a era das interconexões de alta densidade (micro via *blind and buried*) (HALL, 2017).

Paralelamente à evolução das placas, houve a evolução dos substratos utilizados em sua fabricação, o que causou melhorias, no que diz respeito ao dielétrico. Segundo registros, desde 1947 se utilizava a resina epóxi para a fabricação do substrato. Em 1950, os japoneses utilizavam um substrato de vidro com pintura prateada e fiação de substrato laminar, o que se conhece hoje em dia por sistema de resina fenólico (CCL) em folha de cobre. Em 1951 introduziu-se a poliimida, devido à sua alta resistência ao calor (KINGFUNG, 2018).

A década de 60 acelerou o processo de pesquisa por PCIs flexíveis e os mais diversos substratos. Como resultado deste processo, em 1984 a empresa NTT desenvolveu um circuito pelicular, com o nome de Método Cobre-Poliimida. A partir deste e dos diversos avanços relacionados à tecnologia micro, pode-se desenvolver os diversos substratos e seus variados

dielétricos até os dias atuais (KINGFUNG, 2018).

3.1 MATERIAL DA PLACA

Conforme apresentado na sessão anterior, sabe-se da importância da permissividade elétrica da placa, que depende de diversos parâmetros construtivos e da constante dielétrica do material.

Os órgãos responsáveis pela supervisão dos produtos da indústria eletrônica não instauram parâmetros de controle para resistividade e constante dielétrica do material das PCIs. O foco da fiscalização está na segurança, principalmente inflamabilidade, estabilidade em altas temperaturas e absorção de umidade. Dessa forma, não há garantia dos parâmetros elétricos do material, tornando válida a consulta aos fabricantes da placa (CARTER; MANCINI, 2009).

Na Tabela 1 apresentam-se os compostos mais utilizados em PCIs atualmente, comentários, valor da constante dielétrica. É importante ressaltar o fato de que os valores apresentados para tais constantes dependem da frequência a ser utilizada, informação que não estava presente nos dados desta referência.

Tabela 1 – Materiais de PCIs

Tipo	Descrição	Constante dielétrica
FR4	É um laminado de fibra de vidro e epóxi. É o material mais utilizado em PCIs.	3,8 a 4,7
FR4 sem halogênio	Este laminado não possui halogênio, antimônio, fósforo e etc, não emitindo substâncias perigosas ao queimar.	4,5 a 4,9
FR4 de alto Tg, FR5	Estes tipos de laminados têm excelente performance em soldagens livres de Chumbo.	3,8 a 4,6
RCC	RCC é uma folha de cobre eletrolítica revestida com uma camada de resina epóxi especial.	4,0
PD	Resina de poliimida com base de aramida.	4,4
De alta frequência (com PTFE)	Laminados de alta frequência são utilizados em PCIs que necessitam de um fator de dissipação baixo e uma constante dielétrica muito estável.	2,2 a 10,2
De alta frequência (sem PTFE)	A descrição do item anterior também é válida para este.	3,5
Poliimida	Material para a produção de PCIs flexíveis ou rígido-flexíveis.	3,4

Fonte: adaptado de (NANOTECH-ELEKTRONIK, 2019).

A sigla FR refere-se ao termo *Fire Retardant*, ou seja, em caso de um incêndio eventual, seriam materiais pouco inflamáveis e resistentes ao fogo.

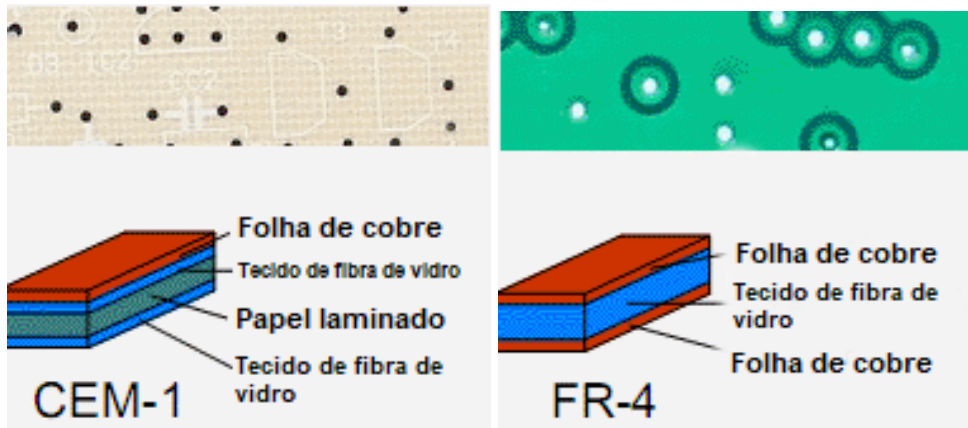
Refere-se por Tg à temperatura de transição vítrea (*glass transition temperature*), fator muito importante na escolha da placa para o projeto, porém, não faz parte do objetivo deste estudo e não será levada em consideração.

A sigla PTFE significa Politetrafluoretileno, mais conhecido como Teflon.

Há também as famílias de laminados CEM-1 e CEM-3, cujos comportamentos das constantes dielétricas são similares à FR4. As maiores diferenças estão na rigidez mecânica e não são de interesse deste estudo.

Na Figura 9 encontram-se as estruturas de placas do tipo CEM e FR-4:

Figura 9 – Estrutura das placas CEM-1 e FR-4.



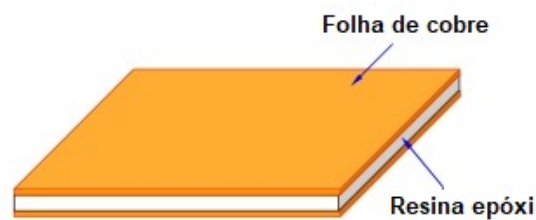
(a) CEM1

(b) FR-4

Fonte: adaptado de (DIG-PCB, 2019).

Na Figura 10 apresenta-se a estrutura de uma placa RCC:

Figura 10 – Estrutura de uma placa RCC



Fonte: adaptado de (HPCB, 2014).

Como pode-se perceber através das Figuras 9 e 10, as estruturas seguem um padrão laminar de montagem e se variam os elementos. Apesar dessas diferenças, à olho nu há pouca discrepância entre os diversos modelos, sendo necessária a utilização de um *datasheet* ou até mesmo testes mecânicos que examinem a rigidez e flexibilidade, para que se caracterize o material principal do substrato.

Através das informações apresentadas, pode-se dizer que o material da placa é uma das primeiras escolhas que devem ser feitas no projeto, pois tem um grande impacto desde as etapas iniciais. Suas consequências, de forma analítica, serão apresentadas nos capítulos a seguir, principalmente no cálculo da impedância das trilhas.

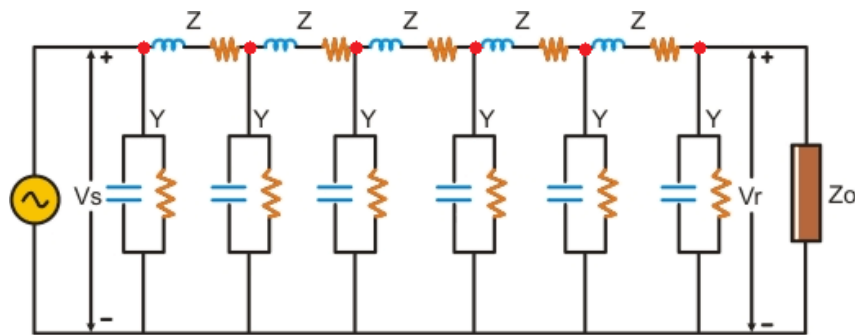
4 O MÉTODO DE LINHAS DE TRANSMISSÃO

4.1 MÉTODO UNIDIMENSIONAL

Este modelo pode ser utilizado para aproximações precisas quando se permitir a variação em apenas uma coordenada. Além disso, é muito mais claro e matematicamente simples (CHRISTOPOULOS, 2006). O modelo da linha pode ser entendido como um conjunto de trechos de linha, onde cada trecho se comporta independentemente e assim é tratado e analisado (FACCIONI FILHO, 1997).

A Figura 11 apresenta uma linha genérica que conecta uma fonte de tensão e uma carga. O subíndice S refere-se à fonte. Na parte central estão dispostos os trechos adjacentes e seus encontros, simbolizados por um círculo vermelho, chamados de nó.

Figura 11 – Linha de transmissão com fonte e carga.

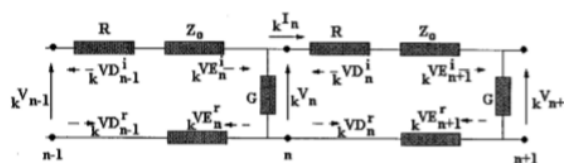


Fonte: adaptado de (Quora, 2018).

A conexão entre as linhas é feita de acordo com a incidência e a reflexão de ondas. A incidência da onda é representada pela incidência de uma tensão, e de acordo com as características dos parâmetros do nó, há uma reflexão da tensão (FACCIONI FILHO, 1997).

Na Figura 12, apresenta-se o nó N como o encontro de dois trechos de comprimento, onde há tensões incidentes e refletidas pelo lado esquerdo e pelo lado direito (referenciadas pelas letras E e D e pelos índices R e I), para um tempo definido por k, onde k é o número de iterações e $k\Delta t$ é o tempo transcorrido (FACCIONI FILHO, 1997).

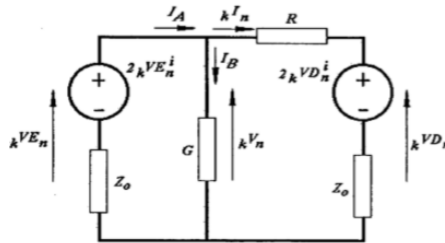
Figura 12 – Tensões incidentes e refletidas sobre o nó n.



Fonte:(FACCIONI FILHO, 1997).

Pode-se ainda aplicar o equivalente de Thévenin para cada lado, considerando as tensões incidentes pela esquerda e pela direita, como apresentado na Figura 13 (FACCIONI FILHO, 1997).

Figura 13 – Equivalente de Thévenin para o nó N de uma linha com perdas.



Fonte:(FACCIONI FILHO, 1997).

A partir disso, obtêm-se as seguintes equações:

$$kV_n = kVE_n \quad (4.1)$$

$$kVD_n = 2kVD_n^i + kI_n Z_0 \quad (4.2)$$

$$kI_n = \frac{kV_n - 2kVD_n^i}{R + Z_0} \quad (4.3)$$

Utilizando a Lei de Kirchoff das Correntes para equacionar I_A , pode-se obter a seguinte equação para a tensão do nó:

$$kV_n = \frac{\frac{2kVE_n^i}{Z_0} + \frac{2kVD_n^i}{R+Z_0}}{\frac{1}{Z_0} + \frac{1}{R+Z_0} + G} \quad (4.4)$$

A relação entre tensões incidentes e refletidas pode ser obtida através da soma de suas parcelas, que é o que determina a tensão total à esquerda e à direita:

$$kVE_n = kVE_n^i + kVE_n^r \quad (4.5)$$

$$kVD_n = kVD_n^i + kVD_n^r \quad (4.6)$$

E assim, obtêm-se as equações para as tensões refletidas:

$$kVE_n^r = kVE_n - kVE_n^i \quad (4.7)$$

$${}_kVD_n^r = {}_kVD_n - {}_kVD_n^i \quad (4.8)$$

A tensão refletida em um nó, após o intervalo de tempo Δt , chegará ao nó adjacente (FACCIONI FILHO, 1997). Desta forma, define-se as seguintes relações para o momento $k+1$:

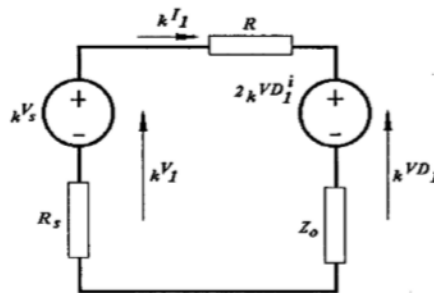
$${}_{k+1}VE_n^i = {}_kVD_{n-1}^r \quad (4.9)$$

$${}_{k+1}VD_n^i = {}_kVE_{n+1}^r \quad (4.10)$$

E as perdas para cada trecho estão inseridas no cálculo de ${}_kV_n$ (FACCIONI FILHO, 1997).

As condições de contorno, em geral, são obtidas através da análise das extremidades. Por exemplo, para o caso da Figura 11, deve-se equacionar relativamente à fonte e à carga (FACCIONI FILHO, 1997). Desta forma, o primeiro nó tem ao lado direito o equivalente relativo à linha e ao lado esquerdo, o equivalente da fonte com sua resistência interna. A Figura 14 apresenta o equivalente de Thévenin para o primeiro segmento de linha junto à fonte (FACCIONI FILHO, 1997).

Figura 14 – Equivalente para o primeiro nó.



Fonte:(FACCIONI FILHO, 1997).

Através das equações obtidas para o equacionamento genérico, pode-se obter:

$${}_kV_1 = \frac{\frac{V_s}{R_s} + \frac{2{}_kVD_1^i}{R+Z_0}}{\frac{1}{Z_0} + \frac{1}{R+Z_0}} \quad (4.11)$$

$${}_kI_1 = \frac{{}_kV_1 - 2{}_kVD_1^i}{R + Z_0} \quad (4.12)$$

$${}_kVD_1 = 2{}_kVD_1^i + {}_kI_1Z_0 \quad (4.13)$$

$${}_kVD_1^r = {}_kVD_1 - {}_kVD_1^i \quad (4.14)$$

E para o momento seguinte ($k + 1$), pode-se aplicar a seguinte equação (FACCIONI FILHO, 1997):

$${}_{k+1}VD_1^i = {}_kVE_2^r \quad (4.15)$$

Em relação à carga, o mesmo processo pode ser feito, porém, deve-se fazer considerações relativas à indutância presente na mesma. As indutâncias e capacitâncias presentes na linha devem ser modeladas para que possam participar do equacionamento do método, ou seja, tais elementos sejam substituídos por modelos de linhas de transmissão. Tal modelagem pode ser feita através de duas maneiras: pelo equivalente do tipo *stub* ou do tipo *link* (FACCIONI FILHO, 1997).

4.1.1 Modelagem via *stub*

O modelo *stub* em TLM é uma derivação da linha de transmissão, sendo que a onda deve penetrar e retornar do *stub* num tempo total igual a Δt (CHRISTOPOULOS, 2006).

Portanto, a indutância representará um intervalo de tempo para a resposta do indutor à onda incidente, devido à existência de uma tensão refletida do nó m para o interior do *stub*, e uma tensão incidente sobre o nó m que vem do *stub* (FACCIONI FILHO, 1997). Nas Figuras 15a e 15b apresenta-se o nó m e o modelo tipo *stub* para a indutância presente na carga.

Para o equacionamento da impedância equivalente ao indutor na carga, deve-se retornar à equação de velocidade de propagação, escrita de forma diferente:

$$v = \frac{\Delta l}{\Delta t/2} = \frac{1}{\sqrt{L_d C_d}} \quad (4.16)$$

Onde Δl , $\Delta t/2$, L_d e C_d são, respectivamente, o incremento espacial na linha de transmissão, o tempo que a onda leva para atingir o curto-circuito dos terminais em que o indutor é modelado, a indutância distribuída na linha e a capacitância distribuída na linha.

Após o isolamento dos parâmetros da linha da Equação 4.16, obtém-se:

$$C_d = \frac{1}{4L_d} \left(\frac{\Delta t}{\Delta l} \right)^2 \quad (4.17)$$

$$L_d = \frac{1}{4C_d} \left(\frac{\Delta t}{\Delta l} \right)^2 \quad (4.18)$$

Efetuando-se manipulações algébricas entre as Equações 4.17 e 2.11, e descrevendo a indutância de um trecho como:

$$L = L_d \Delta l \tag{4.19}$$

Pode-se definir Z_L como:

$$Z_L = \frac{2L}{\Delta t} \tag{4.20}$$

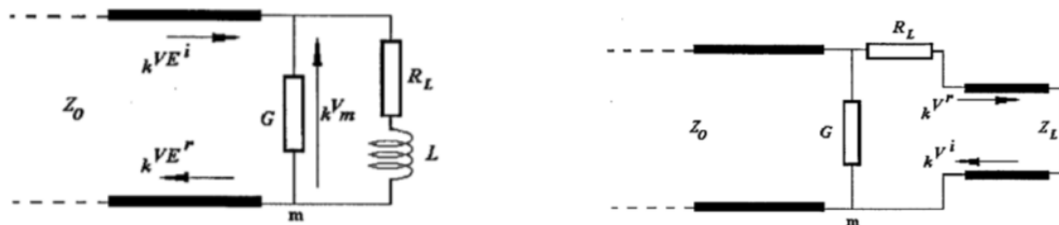
Da mesma forma, pode-se equacionar a capacitância de apenas um trecho como:

$$C = C_d \Delta l \tag{4.21}$$

Assim, pode-se encontrar o erro associado para este modelo, advindo da capacitância parasita C_p , substituindo-se a equação anterior na Equação 4.17:

$$C_p = \frac{\Delta t^2}{4L} \tag{4.22}$$

Figura 15 – Último nó da linha com indutor.



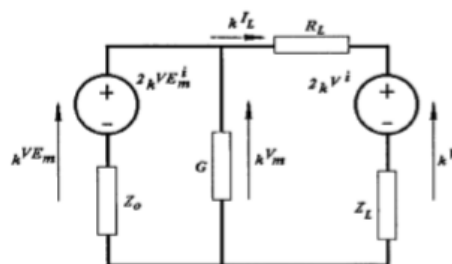
(a) Conexão com a carga

(b) Modelo *stub* para a indutância da carga.

Fonte: (FACCIONI FILHO, 1997).

O equivalente de Thévenin para o último nó encontra-se na Figura 16, na qual Z_L representa a impedância do *stub* que modela o indutor.

Figura 16 – Equivalente para o último nó.



Fonte:(FACCIONI FILHO, 1997).

Similarmente ao caso anterior, pode-se equacionar as principais variáveis deste circuito:

$${}_k V_m = \frac{\frac{2{}_k V E_m^i}{Z_0} + \frac{2{}_k V^i}{R_L + Z_L}}{\frac{1}{Z_0} + \frac{1}{R_L + Z_L} + G} \quad (4.23)$$

$${}_k I_L = \frac{{}_k V_m - 2{}_k V^i}{R_L + Z_L} \quad (4.24)$$

$${}_k V E_m^r = {}_k V E_m - {}_k V E_m^i \quad (4.25)$$

Onde V^i é a tensão incidente vinda da indutância da carga. A conexão com o momento seguinte é dada por:

$${}_{k+1} V E_m^i = {}_k V D_{m-1}^r \quad (4.26)$$

Ainda é necessário definir as tensões que atuam diretamente sobre a indutância da carga, expostas nas expressões abaixo:

$${}_k V = 2{}_k V^i + {}_k I_L Z_L \quad (4.27)$$

$${}_k V^r = {}_k V - {}_k V^i \quad (4.28)$$

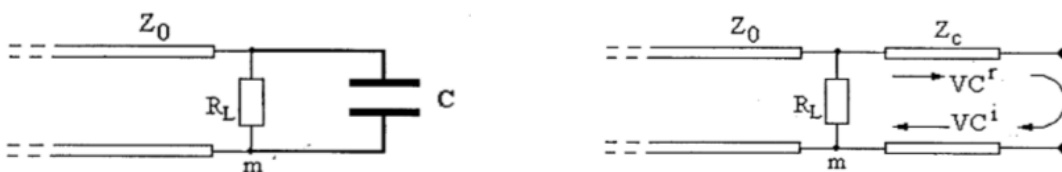
E a tensão incidente no momento seguinte é dada por:

$${}_{k+1} V^i = -{}_k V^r \quad (4.29)$$

O sinal negativo junto à tensão refletida demonstra a existência de um curto-circuito na extremidade do *stub* (FACCIONI FILHO, 1997).

A outra possibilidade de carga seria do tipo capacitiva. Na Figura 17, pode-se ver a carga representada por uma resistência R_L e uma capacitância C , bem como o modelo *stub* do capacitor, onde Z_C representa a impedância do *stub* que modela o capacitor.

Figura 17 – Último nó da linha com capacitor.



(a) Conexão com a carga

(b) Modelo *stub* do capacitor.

O capacitor é modelado como uma pequena extensão de linha que é uma derivação da linha de transmissão principal. Essa derivação, no caso do modelo do capacitor, tem os terminais em aberto, o que faz com que o coeficiente de reflexão na extremidade direita do *stub* seja positivo e igual a um, ao contrário do que ocorre com o caso anterior (FACCIONI FILHO, 1997).

A tensão que reflete para o interior do capacitor utiliza um tempo igual a $\Delta t/2$, sendo que outro tempo igual é utilizado pela tensão que retorna do capacitor para incidir sobre o nó m (FACCIONI FILHO, 1997).

Antes de apresentar a modelagem através dos circuitos equivalentes, apresentar-se-á o método de equacionamento para Z_c . Analogamente ao caso apresentado para a indutância, pode-se substituir a Equação 4.18 em 2.11, e 4.21 para se obter:

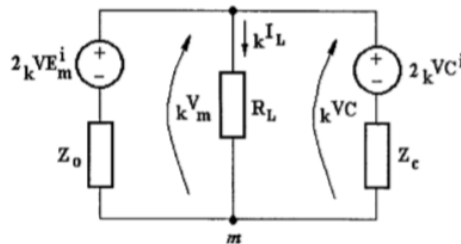
$$Z_c = \frac{\Delta t}{2C} \quad (4.30)$$

E através da Equação 4.19 em 4.18, encontra-se o erro associado à indutância parasita para este modelo:

$$L_p = \frac{\Delta t^2}{4C} \quad (4.31)$$

O equivalente de Thévenin para o último nó é apresentado na Figura 18. VC^i representa a tensão incidente sobre o nó m , vinda do capacitor, e VC^r representa a tensão refletida do nó para o capacitor (FACCIONI FILHO, 1997).

Figura 18 – Circuito equivalente do último nó com capacitor.



Fonte:(FACCIONI FILHO, 1997).

A equação de tensão do nó m é:

$$kV_m = \frac{\frac{2_k V E_m^i}{Z_0} + \frac{2_k V C^i}{Z_c}}{\frac{1}{Z_0} + \frac{1}{R_L} + \frac{1}{Z_c}} \quad (4.32)$$

A reflexão para o capacitor e a conexão com o próximo passo de tempo são, respectivamente:

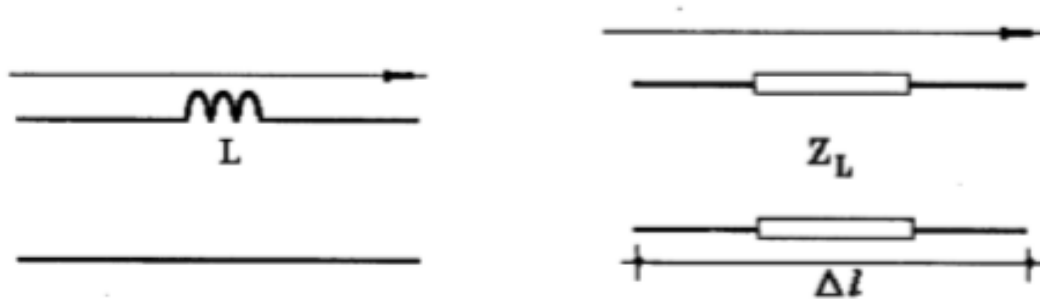
$$_k V C^r = {}_k V C - {}_k V C^i \quad (4.33)$$

$${}_{k+1}VC^i = {}_k VC^r \quad (4.34)$$

4.1.2 Modelagem via *link*

No modelo *link*, o indutor está introduzido na linha como um segmento de continuidade (FACCIONI FILHO, 1997), conforme a Figura 19.

Figura 19 – Modelagem *link* para o indutor.



(a) Indutor na linha

(b) Modelo *link* do indutor.

Fonte: (FACCIONI FILHO, 1997).

Neste caso, a velocidade de propagação da onda, diferentemente do modelo *stub*, é dada por:

$$v = \frac{\Delta l}{\Delta t} = \frac{1}{\sqrt{L_d C_d}} \quad (4.35)$$

Repetindo-se os passos da modelagem *stub*, encontra-se as seguintes equações de parâmetros distribuídos:

$$C_d = \frac{1}{L_d} \left(\frac{\Delta t}{\Delta l} \right)^2 \quad (4.36)$$

$$L_d = \frac{1}{C_d} \left(\frac{\Delta t}{\Delta l} \right)^2 \quad (4.37)$$

Substituindo-se a Equação 4.36 em 2.11 e utilizando a informação obtida na Equação 4.19, obtém-se a impedância referente à indutância para este modelo:

$$Z_L = \frac{L}{\Delta t} \quad (4.38)$$

E analogamente à outra modelagem, o erro associado à capacitância parasita:

$$C_p = \frac{\Delta t^2}{L} \quad (4.39)$$

Da mesma forma, a modelagem do capacitor é feita como disposto na Figura 20b.

Figura 20 – Modelagem *link* para o capacitor.

(a) Capacitor na linha

(b) Modelo *link* do capacitor.

Fonte: (FACCIONI FILHO, 1997).

Utilizando o mesmo algebrismo, porém substituindo a Equação 4.37 e 4.21 em 2.11, obtém-se:

$$Z_c = \frac{\Delta t}{C} \quad (4.40)$$

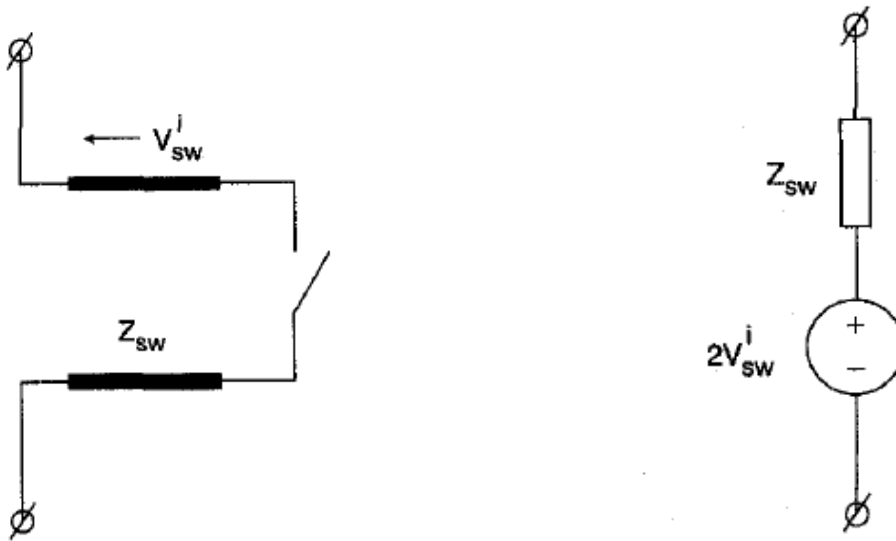
E o erro associado à impedância parasita é dado por:

$$L_p = \frac{\Delta t^2}{C} \quad (4.41)$$

4.1.3 Modelagem da chave

Nos métodos TLM, o *switch* é representado por um segmento capacitivo em derivação, com impedância característica constante Z_{sw} , com uma chave conectada numa das extremidades, como apresentado na Figura 21 (SELHI H.; CHRISTOPOULOS, 1998). A modelagem deste tipo de elemento pode ocasionar certos problemas, visto que este método é baseado em um processo iterativo, e o comportamento da chave pode gerar efeitos de tensão indesejados num determinado passo de tempo de cálculo, originando variações que induzam a tensões inadequadas nos cálculos subsequentes e desviando a convergência esperada (FACCIONI FILHO, 1997).

Figura 21 – Modelo da chave e circuito equivalente.



(a) Modelo TLM da chave.

(b) Circuito equivalente de Thévenin.

Fonte: (SELHI H.; CHRISTOPOULOS, 1998).

Determinando-se a impedância relativa à chave como:

$$Z_{sw} = \frac{\Delta t}{2C_{sw}} \quad (4.42)$$

Pode-se determinar a tensão total sobre este elemento, encontrada através do circuito equivalente de Thévenin, representado na Figura 21b:

$${}_k V_{sw} = 2{}_k V_{sw}^i + Z_{sw} I_{sw} \quad (4.43)$$

É válida a ressalva de que C_{sw} é a própria capacitância do componente. Nos momentos em que o *switch* estiver ligado, representa uma derivação de curto circuito e, ao contrário, uma derivação em circuito aberto. Logo, o coeficiente de reflexão de -1 ou +1, respectivamente, é obtido (SELHI H.; CHRISTOPOULOS, 1998). Portanto, a tensão incidente a ser utilizada na próxima iteração é dada para:

$${}_{k+1} V_{sw}^i = \begin{cases} -{}_k V_{sw}^r & \text{se a chave estiver ligada} \\ {}_k V_{sw}^r & \text{se a chave estiver desligada} \end{cases} \quad (4.44)$$

sendo

$${}_k V_{sw}^r = {}_k V_{sw} - {}_k V_{sw}^i \quad (4.45)$$

Pode-se concluir que o estado da chave afeta apenas o modo como o pulso é refletido do fim do segmento da linha de transmissão e não envolve nenhuma mudança em Z_{sw} como é feito em outros métodos (SELHI H.; CHRISTOPOULOS, 1998).

4.1.4 Considerações o TLM e modelagem dos elementos

Apresentadas as duas modelagens desenvolvidas por Faccioni Filho (1997), há de se notar certos aspectos que conduzem à simplificação do tipo de problema abordado e escolha da modelagem *stub* para este trabalho. Comparando-se as fórmulas para ambas as impedâncias encontradas, ao se representar o circuito pela derivação, os elementos passivos acabam tendo seu valor reduzido pela metade. Outro fator de redução é encontrado nos efeitos parasitas de ambos os componentes, sendo quatro vezes menores nesta configuração.

É válida a ressalva do intervalo de tempo escolhido, visto que as fontes de erro são proporcionais ao quadrado de Δt , tornando tal escolha a mínima possível em busca dos melhores resultados.

Durante a carga da linha de transmissão, metade da energia suprida pela fonte é guardada no campo elétrico (capacitância) e metade no campo magnético (indutância). Ao assumir-se que o fim do segmento é um circuito aberto, a corrente deve ser zero. Essa é a origem da reflexão no circuito aberto que leva as formas de tensão e corrente viajando em direção à fonte, assim como a corrente total na linha igual a zero. Portanto, como se considera uma linha ideal, a energia guardada na indutância não pode continuar ali (já que $I = 0$) e a tensão é dobrada para que se acomode na capacitância a metade da energia total, que inicialmente era proveniente da indutância. Em resumo, um pulso de tensão viajando numa linha de transmissão e colidindo em um circuito aberto dobra seu tamanho (CHRISTOPOULOS, 2006). Através desse fato, pode-se intuir a origem do fator 2 presente em todos os circuitos equivalentes de Thévenin apresentados nas subseções anteriores.

5 CÓDIGO COMPUTACIONAL

O método numérico da modelagem por linhas de transmissão (TLM) é bastante apropriado para estudos de interferência (EMI) e compatibilidade eletromagnética (EMC) (HUBING, 1991). Através de toda a teoria apresentada, pode-se analisar eventos peculiares como transientes e operações em alta frequência com erros muito pequenos.

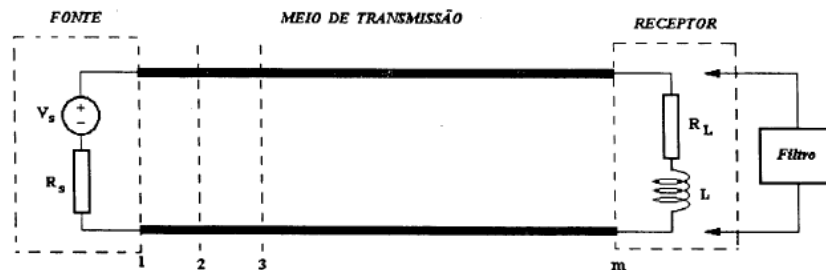
Para que se possa estudar os meios de transmissão para interferências conduzidas em Placas de Circuito Impresso, que é o objetivo deste trabalho, desenvolveu-se um código computacional no *software* MATLAB, baseado no programa LTDT de Faccioni Filho (1997). Trata-se de um número de iterações que utilizam as equações apresentadas no quarto capítulo, dispostas em matrizes e que, posteriormente, podem ser apresentadas em gráficos referentes à tensão e corrente no domínio do tempo. O código encontra-se anexo ao trabalho.

A fim de validação do programa para que possa ser utilizado nos próximos capítulos, comparou-se a resolução de um problema através do LTDT, do Pspice e do código desenvolvido.

5.1 VALIDAÇÃO DO CÓDIGO

O circuito analisado por Paul (2006) e Faccioni Filho (1997) é apresentado na Figura 22.

Figura 22 – Linha de transmissão com fonte, carga e filtro.



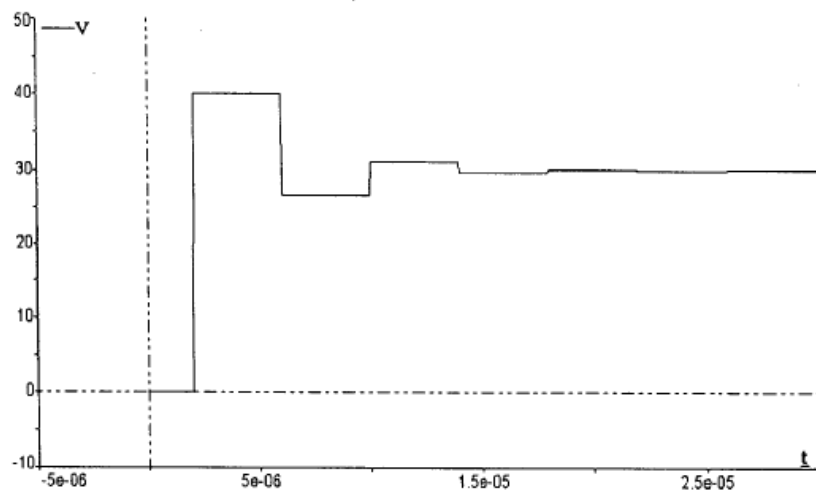
Fonte:(FACCIONI FILHO, 1997).

Abaixo, encontram-se os dados dos parâmetros do problema:

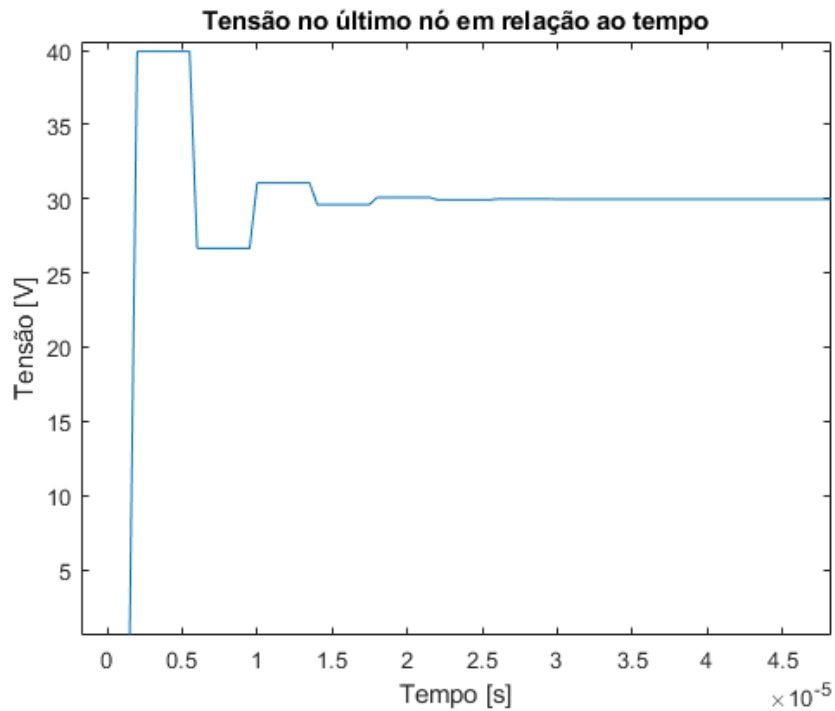
- comprimento da linha = 400 m;
- resistência distribuída da linha = 0 Ω /m;
- capacitância distribuída da linha = 1e-10 F/m;
- indutância distribuída da linha = 2,5e-7 H/m;
- resistência da carga = 100 Ω ;
- tipo de excitação: degrau de 30 V.

Dessa forma, obteve-se os seguintes resultados para a tensão sobre o último nó:

Figura 23 – Comparação da tensão sobre o último nó.



(a) Resultado via LTDT.



(b) Resultado via código proposto.

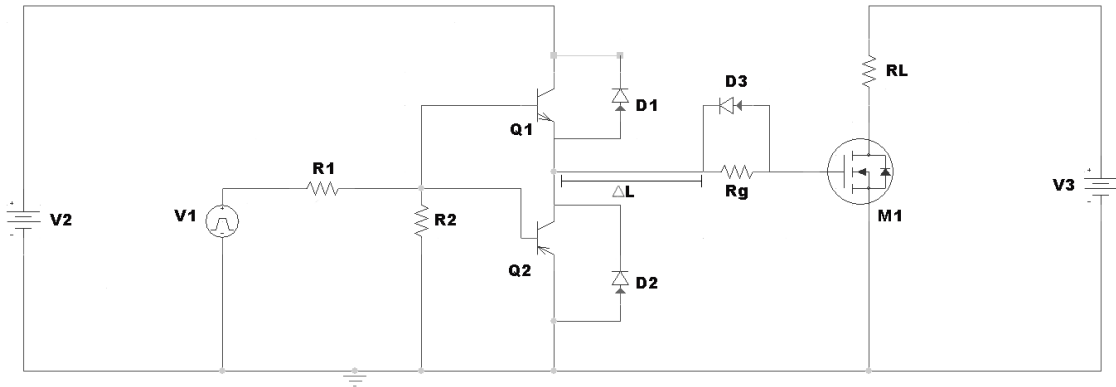
Fonte: do próprio autor, 2019.

Devido ao tempo de processamento e simplificação do código, utilizou-se 100 iterações, referentes à variável de tempo k e cinco nós, em contraste às 1000 iterações e 51 nós utilizados pelo outro autor.

6 CIRCUITO PROPOSTO

Para a aplicação da teoria apresentada, propõe-se um circuito como o da Figura 24.

Figura 24 – Circuito proposto.



Fonte: do próprio autor, 2019.

Trata-se de um circuito utilizado para comutação de chaves em conversores, também conhecido como *gate driver*. A fonte de tensão V_1 alimentará as bases de dois transistores BJT, suprindo-os com uma onda quadrada de frequência 500 kHz. Tais transistores estão dispostos numa configuração *totem-pole*, onde o superior é do tipo npn e o inferior do tipo pnp, com o propósito de prover o ganho de corrente necessário para a operação do mosfet M_1 . A fonte de tensão V_3 é a alimentação da carga (R_L) e da chave. Os diodos D_1 e D_2 têm o propósito de proteção de Q_1 e Q_2 e o diodo D_3 , além da função de proteção, auxilia no descarregamento dos capacitores presentes em M_1 . Os resistores R_1 e R_2 servem para evitar uma oscilação parasita causada pela capacitância da base em série com a indutância da trilha, o que causa o desperdício de potência, pois o transistor não aciona com a velocidade necessária. Dessa forma, o resistor R_1 , com resistência baixa, amortecerá a oscilação e o resistor R_2 evitará um acoplamento capacitivo do transistor quando não estiver em condução. O resistor R_g é o resistor de *gate* e auxilia nos tempos de entrada de condução e dissipação da energia dos capacitores internos do mosfet. A distância ΔL é a distância a ser variada para o efeito do estudo e aplicação no código apresentado.

6.1 LAYOUT DA PLACA

Assim que decidiu-se os componentes que seriam utilizados no estudo de caso, projetou-se, através do *software* Altium Designer, uma placa de fenolite de uma onça, ou seja, $35 \mu\text{m}$ de espessura de cobre, com apenas uma face, do tipo RCC, com medidas de 13 cm x 4,5 cm, devido ao que julgou-se necessário para atender a todos os requisitos e alocação dos elementos. A Figura 25 apresenta o *layout* projetado para a PCI. Nota-se a indicação do comprimento L e três pares de circunferências, simbolizando o início e o fim de cada trilha a ser testada.

O processo utilizado para o cálculo da largura das trilhas baseou-se na utilização das seguintes equações:

$$Area[mils^2] = \left(\frac{Corrente[A]}{k\Delta T^b} \right)^{\frac{1}{c}} \quad (6.1)$$

$$W[mils] = \frac{Area}{t * 1,378} \quad (6.2)$$

Onde k , b e c são variáveis que seguem a norma IPC-2221 através de ábacos. Para este caso, tratando-se exclusivamente de camadas externas:

- $k = 0,048$;
- $b = 0,44$;
- $c = 0,725$.

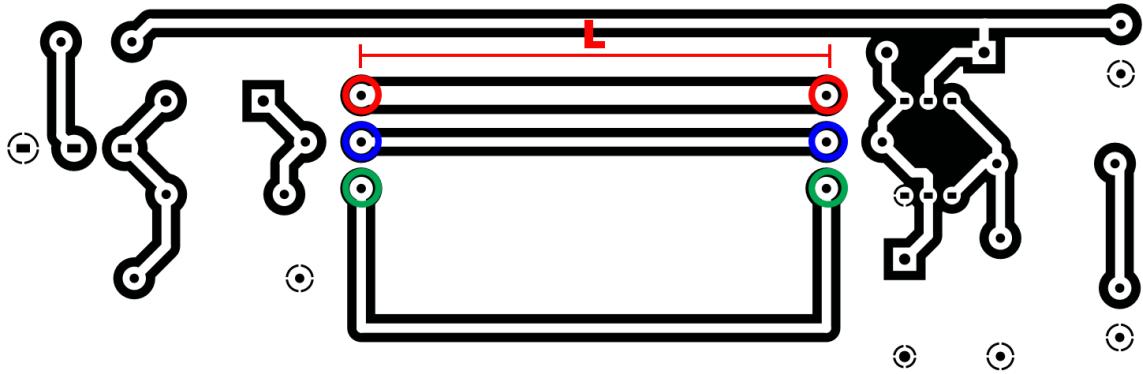
A variação de temperatura é dada em graus Celsius, a espessura t é dada em onças (oz) e o fator 1,378 é originado da relação mils por onça. Finalmente, a transformação de mils para milímetros é feita através de:

$$W[mm] = W[mils] \frac{25,4}{1000} \quad (6.3)$$

Dessa forma, as trilhas destacadas possuem as seguintes peculiaridades:

- A trilha ligada às circunferências vermelhas possui uma largura de 2 mm, o suficiente para que se suporte 5,43 A e um comprimento de 5 cm;
- A trilha ligada às circunferências azuis possui a largura padrão do projeto de 1 mm, o suficiente para que se suporte uma corrente de 3,33 A e um comprimento de 5 cm;
- A trilha ligada às circunferências verdes possui a largura padrão do projeto e um comprimento de total de 8 mm, além de contar com duas pontas ao longo de seu percurso.

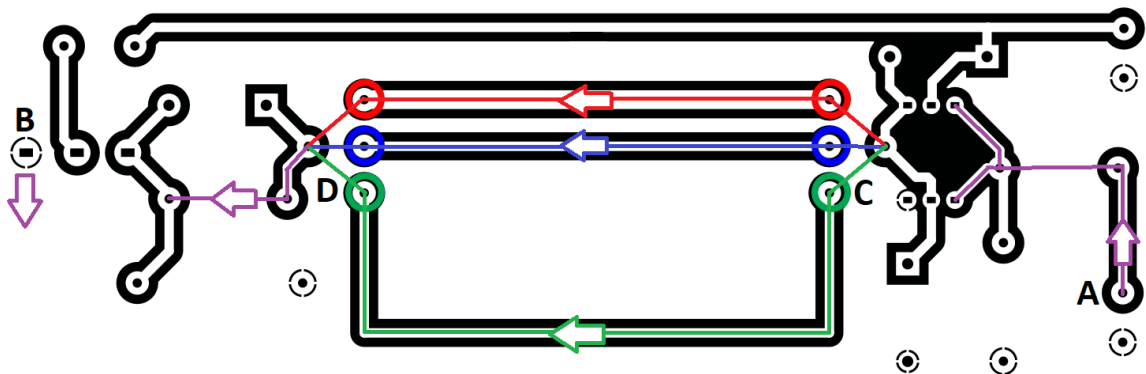
Figura 25 – Layout do Circuito proposto.



Fonte: do próprio autor, 2019.

A Figura 26 apresenta o caminho da corrente pelo *layout* apresentado na Figura 25.

Figura 26 – Layout do circuito com os caminhos indicados.



Fonte: do próprio autor, 2019.

Em roxo encontra-se o caminho comum da corrente. As outras cores diferenciam o caminho que a corrente fará sempre que os *jumpers* que estão posicionados em C e D fecharem o circuito. Dessa forma, a corrente nunca passará por duas trilhas de teste simultaneamente. A letra A indica o local onde se injeta a onda quadrada e B indica o pino *source* do mosfet, de onde a corrente sairá para retornar ao segundo ponto negativo de A.

6.1.1 Cálculo dos parâmetros da TLM

Como apresentado nos capítulos anteriores, informações como a impedância característica das linhas e a capacitância das chaves são necessárias para que se possa utilizar a modelagem por TLM.

A partir dos dados nominais da placa e as medidas apresentadas, pode-se calcular a impedância de cada trilha, para fins de comparação com os resultados que não de ser obtidos

experimentalmente. Através de análise visual, pode-se perceber que a PCI em questão se enquadra no caso da Figura 7. Abaixo estão presentes os cálculos da impedância característica das trilhas por ordem de apresentação.

O primeiro cálculo a ser feito é o da permissividade relativa efetiva, através da equação 2.17:

$$\epsilon'_r = \frac{4+1}{2} + \frac{4-1}{2} \cdot \frac{1}{\sqrt{1+10*1,57/2}} = 3,00 \quad (6.4)$$

O segundo, para verificação de adequação a um dos casos presentes anteriormente:

$$\frac{w}{h} = \frac{2mm}{1,57mm} = 1,27 \quad (6.5)$$

Finalmente, para a primeira trilha, utilizando-se a equação 2.16, a impedância característica é dada por:

$$Z_0 = \frac{120\pi}{\sqrt{3}} \left[\frac{2}{1,57} + 1,393 + 0,667 \ln \left(\frac{2}{1,57} + 1,444 \right) \right]^{-1} = 65,28\Omega \quad (6.6)$$

Prosseguindo para os próximos casos:

$$\epsilon'_r = \frac{4+1}{2} + \frac{4-1}{2} \cdot \frac{1}{\sqrt{1+10*1,57/1}} = 2,87 \quad (6.7)$$

$$\frac{w}{h} = \frac{1mm}{1,57mm} = 0,64 \quad (6.8)$$

$$Z_0 = \frac{60}{\sqrt{2,87}} \ln \left(\frac{8*1,57}{1} + \frac{1}{4*1,57} \right) = 90,07\Omega \quad (6.9)$$

Como os parâmetros do segundo e do terceiro caso, no que diz respeito à largura da trilha e altura da placa são os mesmos, a impedância característica das duas trilhas é igual, apesar do comprimento e formato diferente. Segundo Paul (2006), apesar do fato de que a impedância característica obtida através destes cálculos não leva em consideração a fase, considera-se que esta seja zero e o número obtido refere-se puramente à resistência. As discrepâncias obtidas nos cálculos, como neste caso, podem ser explicadas por elementos parasitas e nos eventuais erros provenientes dos métodos numéricos utilizados para aproximação dos cálculos feitos nas PCIs, como citado nos capítulos anteriores.

Na sequência, são calculados os valores de indutância e capacitância das trilhas de *gate*. Como provou-se anteriormente que, através desta linha de teoria, não há diferença entre a segunda e a terceira trilha, referir-se-á a estas como o segundo caso.

Para o próximo passo, deve-se calcular a velocidade de propagação do sinal na linha, regida por:

$$v_1 = \frac{1}{\sqrt{\mu_0 \epsilon_0 \epsilon_r'}} = 173,13 \cdot 10^6 \quad [m/s] \quad (6.10)$$

$$v_{2,3} = \frac{1}{\sqrt{\mu_0 \epsilon_0 \epsilon_r'}} = 177,00 \cdot 10^6 \quad [m/s] \quad (6.11)$$

Portanto, os valores de indutância e capacitância para o primeiro caso são:

$$L_d = \frac{Z_0}{v} = \frac{65,28}{173,13 \cdot 10^6} = 0,377 \mu H \quad (6.12)$$

$$C_d = \frac{1}{vZ_0} = \frac{1}{173,13 \cdot 10^6 \cdot 65,28} = 88,48 pF \quad (6.13)$$

E para o segundo caso:

$$L_d = \frac{Z_0}{v} = \frac{90,07}{177 \cdot 10^6} = 0,509 \mu H \quad (6.14)$$

$$C_d = \frac{1}{vZ_0} = \frac{1}{177 \cdot 10^6 \cdot 90,07} = 62,72 pF \quad (6.15)$$

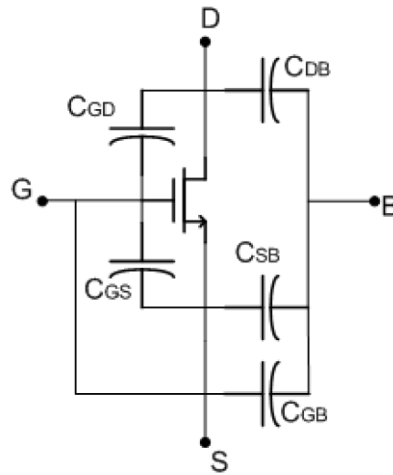
Nota-se que à medida em que a largura da trilha aumenta, a indutância é menor e a capacitância é maior.

6.1.2 Parâmetros do MOSFET

Ao se levar em consideração apenas o caminho entre fonte, trilhas de *gate*, resistor de *gate* e mosfet, deve-se modelar apenas as capacitâncias da chave, tanto em condução quanto em bloqueio. Assim, a modelagem para *switches* em TLM acaba sendo simplificada para um capacitor do tipo *link* e a impedância relacionada ao trecho gate-source da chave. Em outras palavras, seria considerado o modelo para mosfets apenas se fosse analisada a malha que contém a carga, o que não é o objetivo deste estudo.

A Figura 27 apresenta um modelo de chave e suas capacitâncias.

Figura 27 – MOSFET e capacitâncias internas.



Fonte: do próprio autor, 2019.

De forma simplificada, como será apresentado em breve, necessita-se dos valores das capacitâncias C_{GD} e C_{GS} para a utilização no código e cálculos de modelagem. Estes parâmetros são obtidos através de:

$$C_{GD} = C_{rss} \quad (6.16)$$

$$C_{GS} = C_{iss} - C_{rss} \quad (6.17)$$

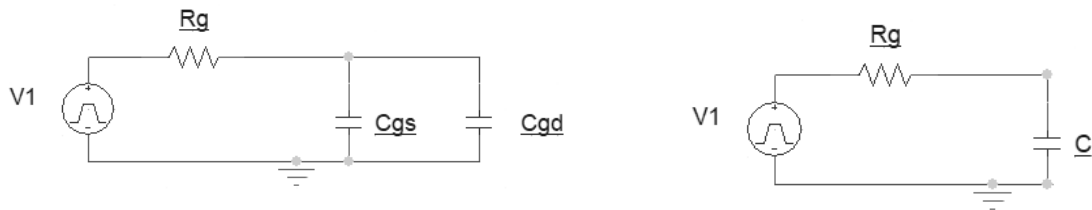
Os valores de C_{rss} (*small signal reverse transfer capacitance*) e C_{iss} (*small signal input capacitance*) são dados encontrados no *datasheet* do componente. Para o caso do IRFP 264, utilizado neste estudo, os valores obtidos são:

$$C_{GD} = 150 \text{ pF} \quad (6.18)$$

$$C_{GS} = 5,25 \text{ nF} \quad (6.19)$$

O circuito analisado para os momentos em que a chave está em condução é apresentado na Figura 28:

Figura 28 – Circuito analisado com a chave em condução.



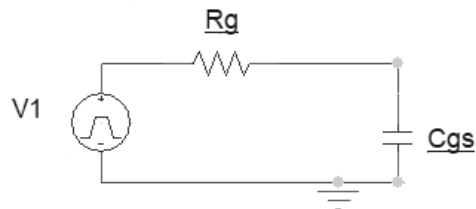
(a) Circuito real.

(b) Circuito equivalente.

Fonte: do próprio autor, 2019.

Em que o capacitor da Figura 28b é o resultado da soma de C_{gs} e C_{gd} . O circuito a ser analisado nos momentos em que a chave estiver bloqueada é apresentado na Figura 29:

Figura 29 – Circuito analisado com a chave em bloqueio.



Fonte: do próprio autor, 2019.

7 ANÁLISE PRÁTICA DAS TRILHAS

7.1 ANÁLISE DE IMPEDÂNCIA DA TRILHA

Para análise comparativa de dados e conferência, utilizou-se do mesmo método de Faccioni Filho para a determinação da impedância das trilhas que são objeto deste estudo. Através do equipamento analisador de impedâncias, aplicou-se uma varredura entre 40 Hz e 2 MHz. A medição foi feita conectando-se os *jumpers* (que possuem o menor tamanho possível, a fim de se evitar efeitos parasitas) referentes à cada trilha aos terminais do equipamento. A Figura 30 apresenta o equipamento e a placa no momento do teste.

Figura 30 – Medição da impedância das trilhas.



(a) Placa acoplada ao equipamento

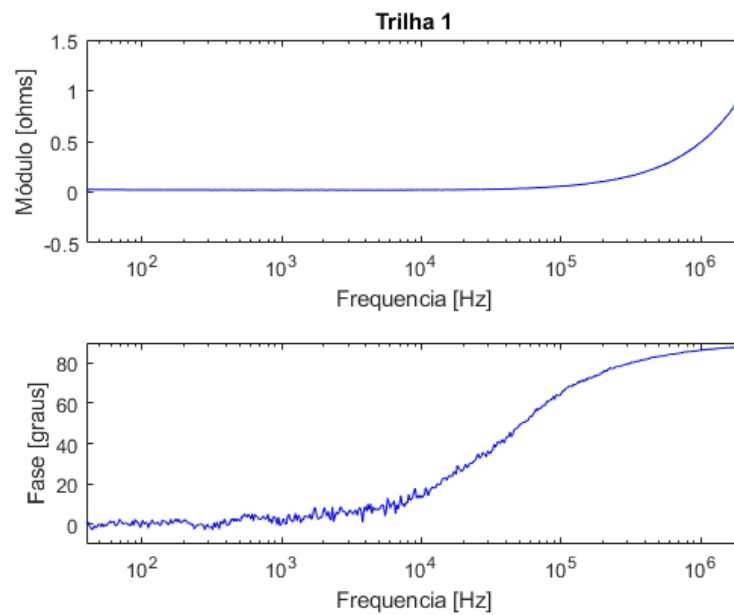


(b) Visão aproximada da placa

Fonte: do próprio autor, 2019.

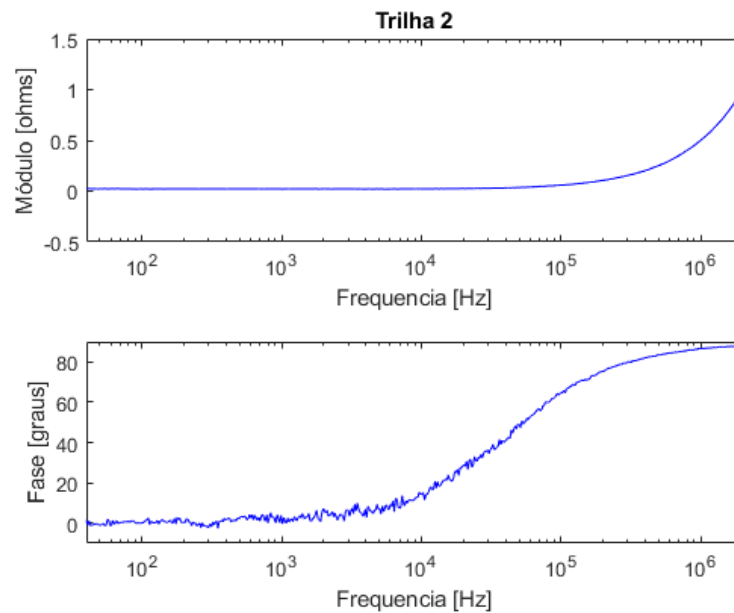
Após o tratamento dos dados, expõe-se os resultados nas Figuras 31, 32 e 33:

Figura 31 – Módulo e fase da trilha 1.



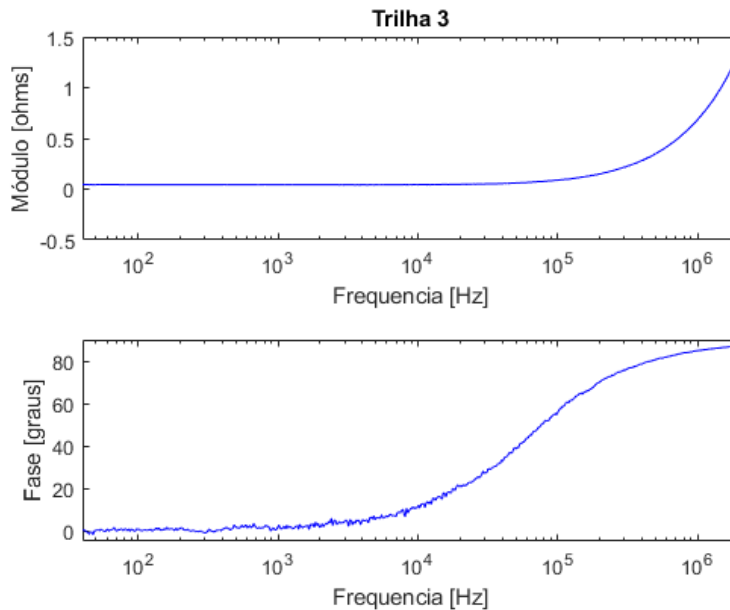
Fonte: do próprio autor, 2019.

Figura 32 – Módulo e fase da trilha 2.



Fonte: do próprio autor, 2019.

Figura 33 – Módulo e fase da trilha 3.



Fonte: do próprio autor, 2019.

Inicialmente referenciando-se à fase, em todos os resultados, percebe-se um comportamento dual por volta de 100 KHz, no qual as trilhas estão em um período de transição para um caráter indutivo, como observado por volta de 1 MHz.

Quanto ao módulo, na frequência de 500 kHz, encontra-se respectivamente à ordem apresentada, 0,253 Ω , 0,256 Ω e 0,354 Ω nos dados obtidos e visualizados no Excel. Para a determinação precisa da impedância característica de uma linha, deve-se fazer os ensaios de circuito aberto e curto circuito, e também utilizar o coeficiente de reflexão (BROOKS, 2003). Devido à falta desta informação de antemão, não houve a realização do ensaio de circuito aberto neste estudo.

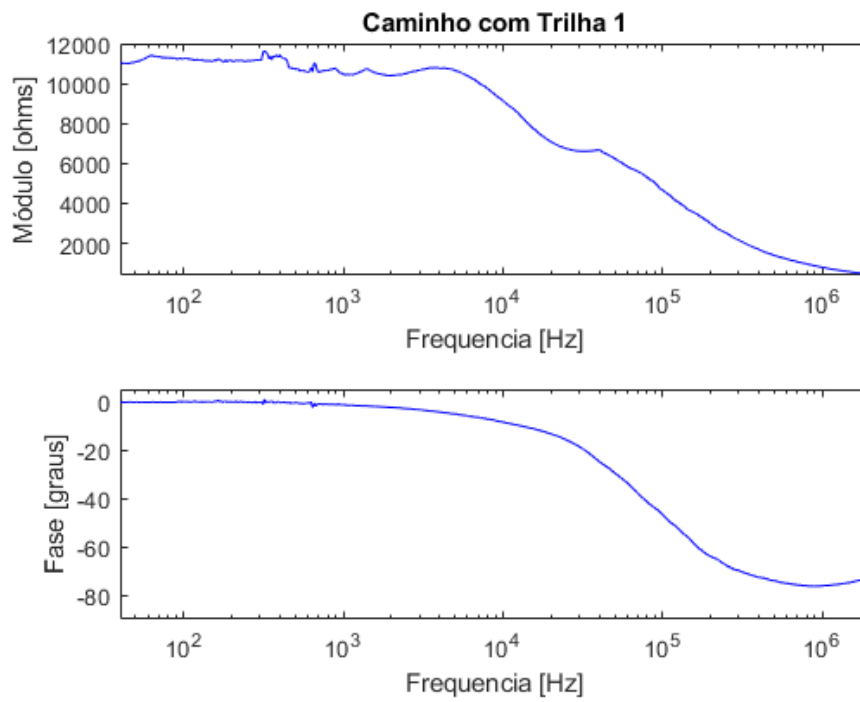
Por conta deste erro obtido ao se seguir a referência, recorreu-se ao *software* AppCAD para validação dos cálculos, visto que o protótipo já encontrava-se montado e não havia possibilidade de refazê-lo. Assim, através da opção *microstrip*, obteve-se, respectivamente, 64,77 Ω , 88,76 Ω e 88,76 Ω . Vale ressaltar que na formulação utilizada pelo programa, há a presença da frequência de operação, enquanto na formulação utilizada neste trabalho, encontra-se este parâmetro apenas indiretamente. Apesar disso, o valor da impedância característica para a segunda e terceira trilha continuam sendo os mesmos.

7.2 ANÁLISE DO COMPORTAMENTO DA IMPEDÂNCIA NO CAMINHO

Analogamente ao apresentado na seção anterior, analisou-se o comportamento da impedância total para cada caminho, desde o local onde injeta-se o sinal até o seu ponto de retorno, ou seja, entre os dois terminais do ponto A, indicado na Figura 26, para o mesmo intervalo de

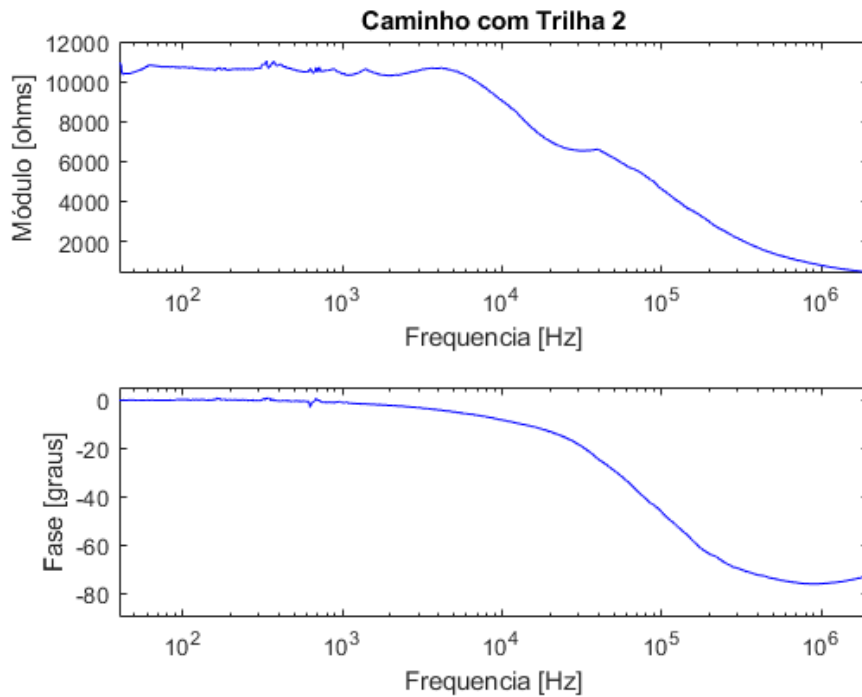
frequências. Os resultados são apresentados nas Figuras 34, 35 e 36:

Figura 34 – Comportamento da impedância através da primeira trilha.



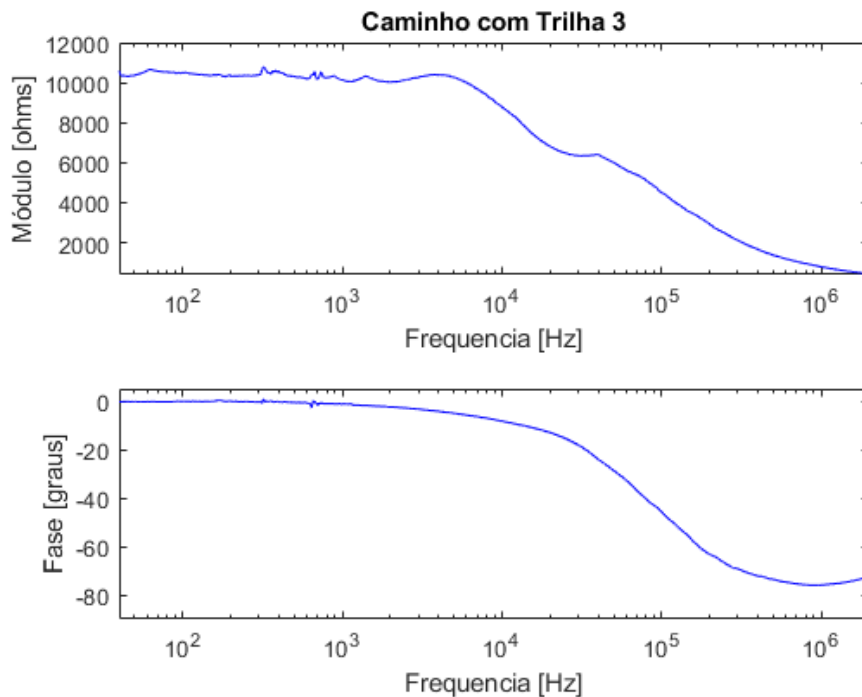
Fonte: do próprio autor, 2019.

Figura 35 – Comportamento da impedância através da segunda trilha.



Fonte: do próprio autor, 2019.

Figura 36 – Comportamento da impedância através da terceira trilha.



Fonte: do próprio autor, 2019.

Ao se analisar as últimas três figuras, pode-se perceber um padrão de comportamento.

Inicialmente, de 40 Hz à aproximadamente 7 kHz, há uma predominância da resistência, na qual o módulo da impedância encontra-se numa faixa aproximada de 11 k Ω . Por volta de 80 kHz, quando a fase se encontra por volta de 45 graus, há uma queda brusca no módulo da impedância. Quando a frequência passa por 1 MHz, percebe-se um comportamento capacitivo, em que a fase passa por um intervalo que fica entre -75 e -90 graus e o módulo da impedância acaba diminuindo para aproximadamente 440 Ω . Isso pode ser explicado pelo fato da presença da capacitância C_{GS} , sabendo-se que a impedância, neste caso, é regida por:

$$Z_0 = \sqrt{\frac{R + j\omega L}{j\omega C}} \quad (7.1)$$

Embora haja a tendência para que a parte que as trilhas, vistas como um resistor, passem a ter um comportamento indutivo, e que ao aumentar a frequência, este comportamento seja mais perceptível, a capacitância da chave acaba agindo com um caráter anulador e dominante.

Quanto aos valores encontrados na frequência de 500 kHz, obteve-se os seguintes, em ordem respectiva:

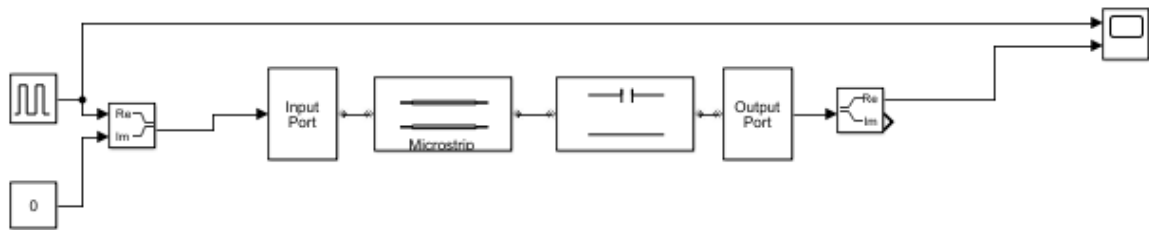
- 1370 Ω e fase de -74,21 graus;
- 1366 Ω e fase de -74,08 graus;
- 1351 Ω e fase de -73,75 graus.

8 VISUALIZAÇÃO DA DEGRADAÇÃO DO SINAL ATRAVÉS DE SIMULAÇÃO

Através do pacote de blocos para utilização em radiofrequência do simulink, pode-se utilizar a trilha na modalidade microstrip, inserir seus parâmetros e uma excitação para se fazer a verificação da degradação do sinal em relação ao sinal da fonte.

Assim, utilizou-se o seguinte circuito para tal simulação:

Figura 37 – Circuito utilizado no simulink.



Fonte: do próprio autor, 2019.

Para que seja possível utilizar este pacote de blocos, há a necessidade de inserção da *input port* e *output port*. Ambas trabalham com números complexos. Por este motivo, há a colocação de dois blocos que fazem a transformação de partes reais e imaginárias. Além disso, é obrigatório que haja uma componente imaginária na entrada do sistema, caracterizada pelo bloco de número zero. Ligadas ao *scope* estão a saída do sistema, fisicamente representada pela trilha ligada ao *gate* do mosfet e a excitação, caracterizada por uma onda quadrada de 12 V com *duty cycle* de 0,5 para este projeto.

Os parâmetros utilizados no bloco Microstrip são apresentados na Tabela:

Tabela 2 – Parâmetros do bloco Microstrip

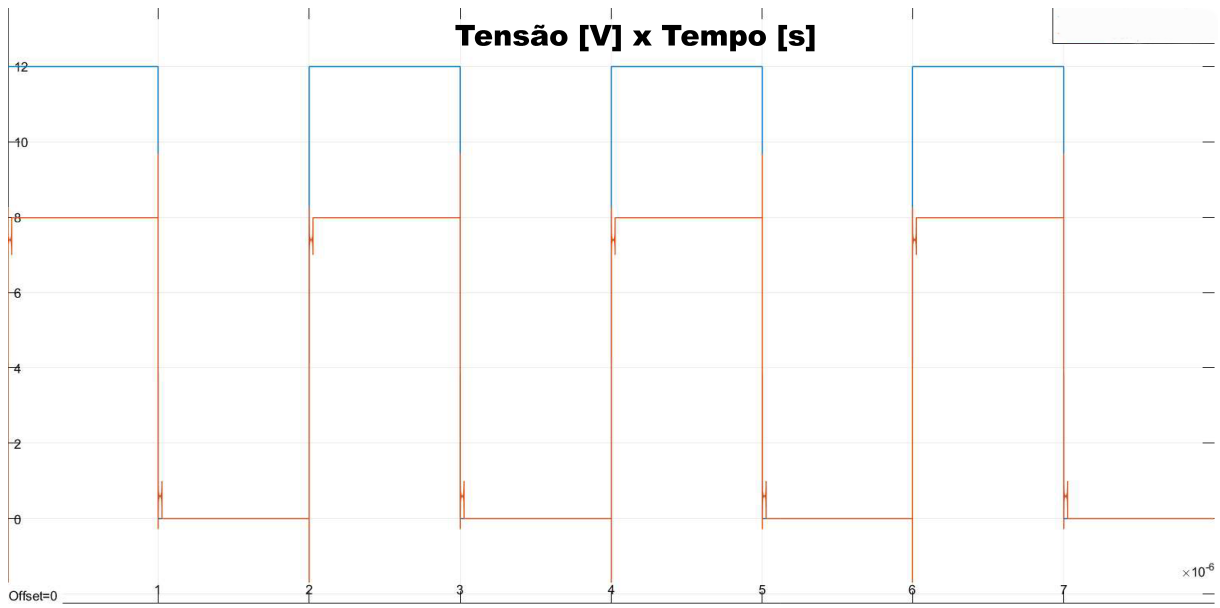
Trilha	Strip width [m]	Strip thickness [m]	Substrate Height [m]	ϵ'_R	TL Length[m]
1	2e-3	35e-6	1,57e-3	3,00	5e-2
2	1e-3	35e-6	1,57e-3	2,87	5e-2
3	1e-3	35e-6	1,57e-3	2,87	8e-2

Fonte: do próprio autor, 2019.

Além disso, na opção *stub mode*, utilizou-se *not a stub*. Os outros parâmetros continuaram na configuração padrão, pois não eram de interesse.

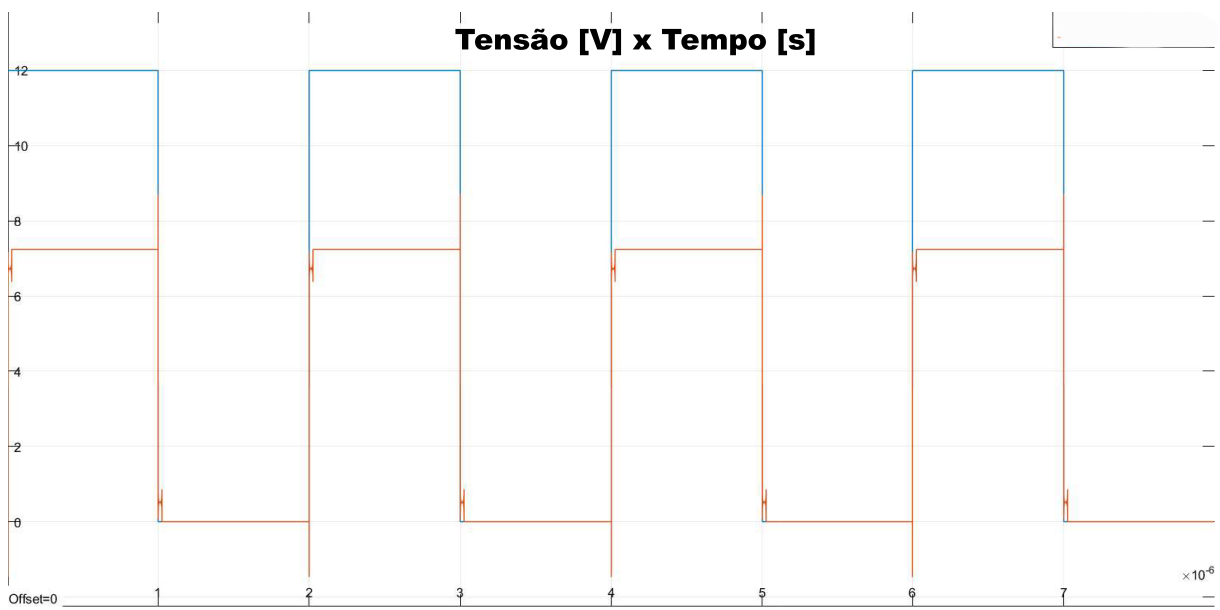
Os resultados obtidos estão apresentados nas Figuras 38, 39 e 40. A linha azul representa a fonte de excitação, enquanto a linha amarela representa o sinal que chega ao *gate*.

Figura 38 – Sinal referente à trilha 1.



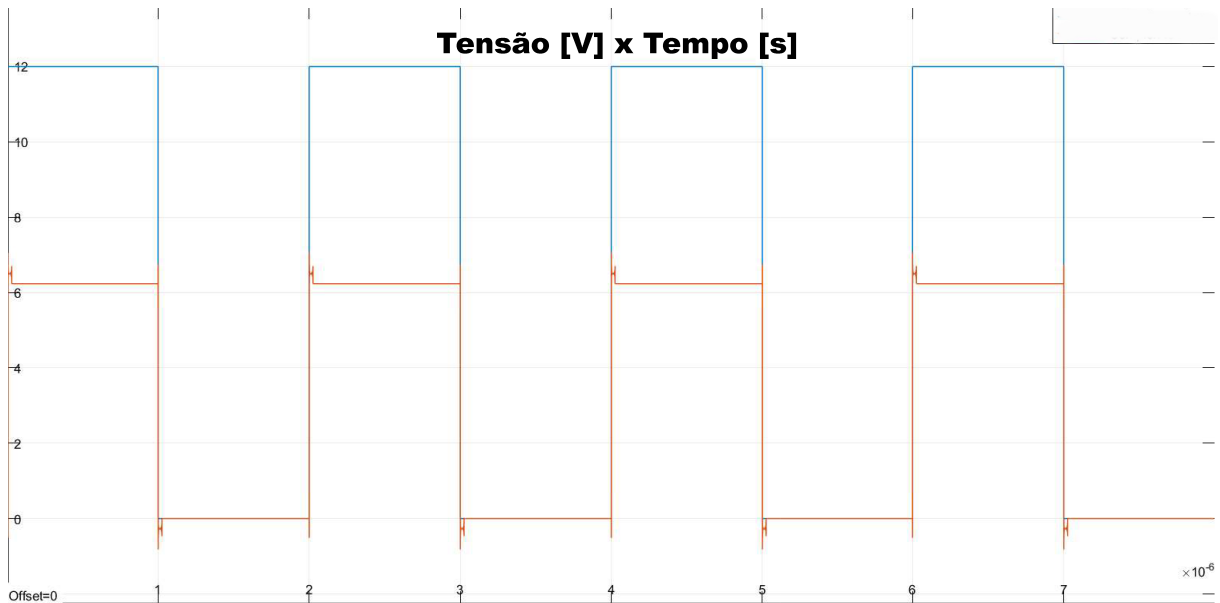
Fonte: do próprio autor, 2019.

Figura 39 – Sinal referente à trilha 2.



Fonte: do próprio autor, 2019.

Figura 40 – Sinal referente à trilha 3.



Fonte: do próprio autor, 2019.

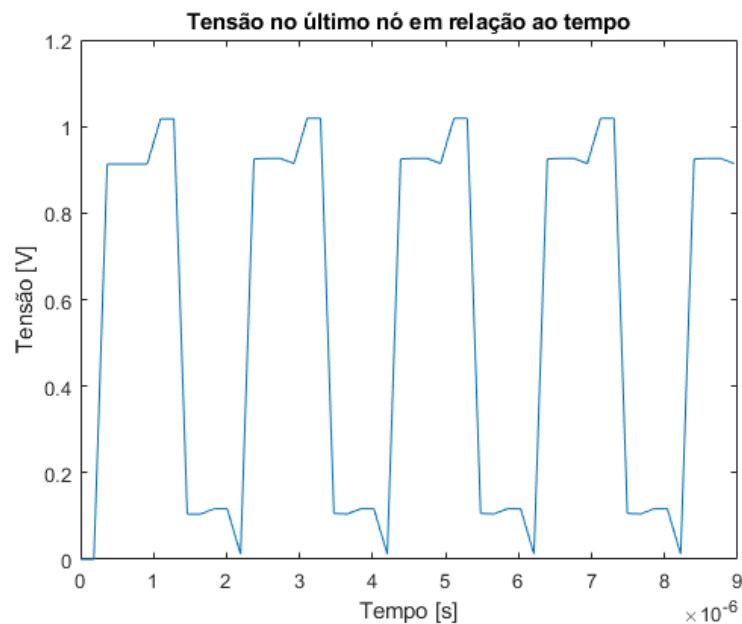
Ao se analisar as três imagens anteriores, podem-se inferir algumas conclusões. A primeira é a oscilação que acontece toda vez em que a chave supostamente mudaria o seu estado. Depois de um pico, o sinal permanece por um curto período de tempo em uma tensão acima da tensão esperada, o que num circuito de potência, pode estar relacionado às perdas de comutação.

Além disso, pode-se perceber uma queda no nível de tensão nos três casos. No caso em que a trilha é mais larga, obteve-se a maior tensão, de 8 V. Na segunda trilha, obteve-se uma tensão de 7 V, enquanto na terceira, um potencial levemente maior que 6 V. Isso indica um padrão que associa os dois parâmetros testados, onde a fidelidade do sinal está relacionada à maior largura e menor comprimento de trilha. Vale lembrar que o circuito simulado não possuía um estágio de ganho através de um *totem-pole*, para que se pudesse analisar apenas o efeito do objeto deste estudo. Outro ponto crucial é a resistência de saída do bloco *output port*, setada pelo programa em 100Ω . Caso estivesse com o valor de R_g , esperaria-se resultados com valores ainda mais baixos.

8.1 DEGRADAÇÃO DO SINAL ATRAVÉS DO CÓDIGO DESENVOLVIDO

A Figura 41 apresenta o sinal de *gate* obtido através do código desenvolvido através da formulação apresentada nos capítulos anteriores, com a resistência corrigida para o valor de projeto, corroborando com a última afirmação do parágrafo anterior e justificando a necessidade do estágio de amplificação do sinal.

Figura 41 – Sinal obtido através do código para a trilha 1.



Fonte: do próprio autor, 2019.

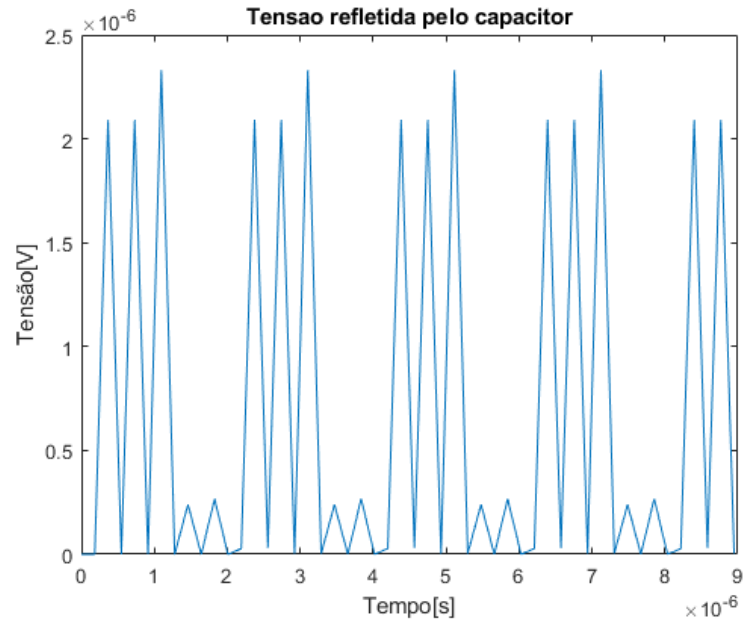
8.2 ANÁLISE DA TENSÃO REFLETIDA

Com propósitos de análise dos efeitos de interferência conduzida, originados durante a variação de tensão da fonte de excitação, bem como transientes, pode-se utilizar o código desenvolvido a fim de obter uma solução gráfica em função do tempo que apresente as reflexões de tensão obtidas, que são explicadas majoritariamente devido à falta de casamento de impedância do circuito.

As reflexões acabam trazendo efeitos indesejados ao circuito como por exemplo oscilações nas respostas em frequência, podendo causar sobrecarga nos transmissores e sobretensão no circuito como um todo, além do fato de que podem estar associadas à interferência eletromagnética por condução de energia ou até mesmo propagação de energia irradiada.

A Figura 42 apresenta a tensão refletida pelo capacitor no período analisado.

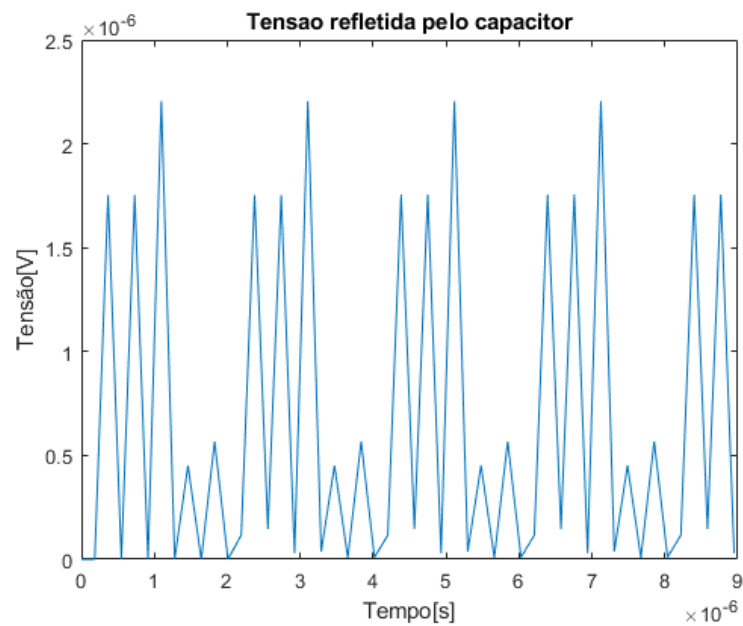
Figura 42 – Tensão refletida pelo capacitor.



Fonte: do próprio autor, 2019.

A reflexão acaba acontecendo em níveis menores para as trilhas 2 e 3, sendo observável que este índice depende majoritariamente da largura da trilha neste estudo:

Figura 43 – Tensão refletida pelo capacitor para o segundo caso.



Fonte: do próprio autor, 2019.

Como não é objetivo desta análise, nada pode-se afirmar sobre a magnitude da reflexão de tensão, embora seja pequena se comparada à curva de tensão do último nó, na Figura 41.

9 ANÁLISE DO COMPORTAMENTO DO SINAL NA PLACA

Visando à análise do comportamento do sinal em relação às três trilhas deste estudo, utilizou-se a função *single sample* do osciloscópio, para que se pudesse visualizar os efeitos do transitório do chaveamento, no que diz respeito à primeira energização do mosfet. Assim, conectou-se a primeira ponteira no início da trilha à ser analisada e a segunda ponteira ao seu final, antes do resistor de *gate*.

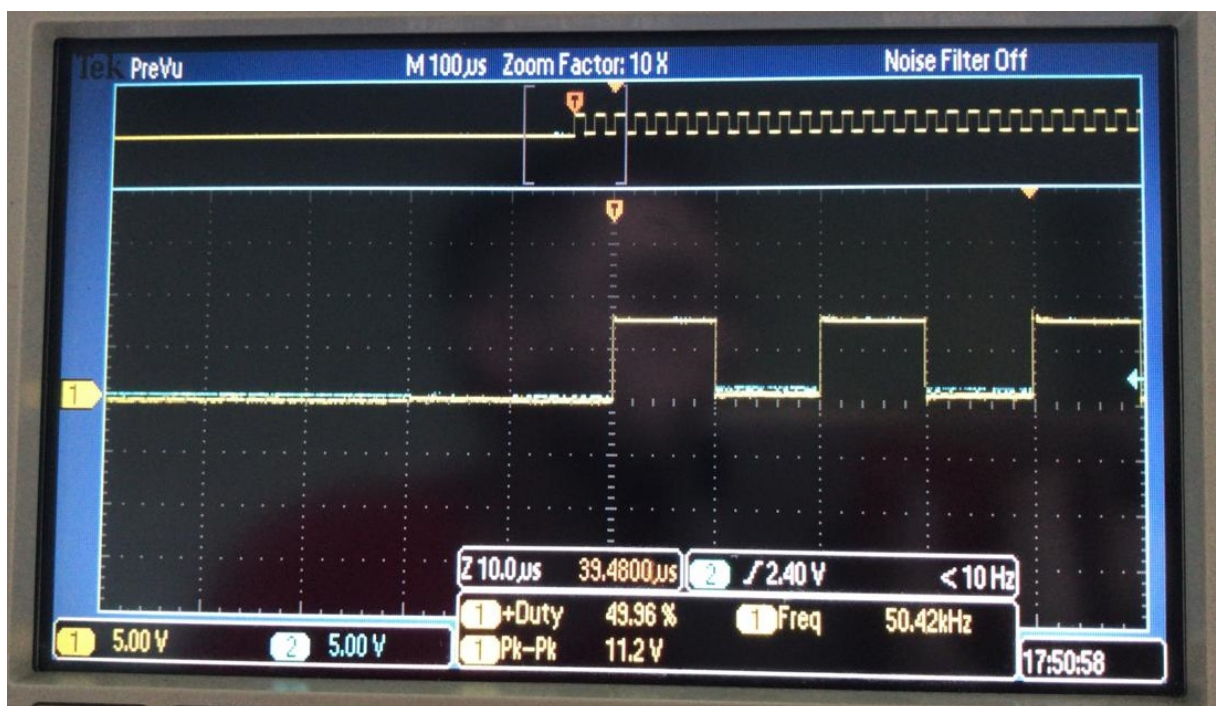
As medidas levadas em consideração, de forma a validar a medida, foram a frequência, *duty cycle* e tensão pico a pico. A escala vertical para os dois canais foi setada em 5 V. Já a escala horizontal foi adaptada para cada caso, a fim de que se pudesse analisar os efeitos de forma singular, já que a variação é dada através da frequência em que o sinal se repete no período de análise. Fez-se a calibração das duas ponteiros, de forma que interferissem o mínimo possível na medição, e suas capacitâncias eram menores que 12 pF segundo o fabricante.

A forma de onda da fonte segue os parâmetros da simulação, porém a frequência é adaptada para cada caso estudado nas seções a seguir.

9.1 FREQUÊNCIA DE 50 KHZ

Aplicando-se uma forma de onda quadrada, com a frequência de 50 kHz, obteve-se os seguintes resultados:

Figura 44 – Resposta do sinal na trilha 1.



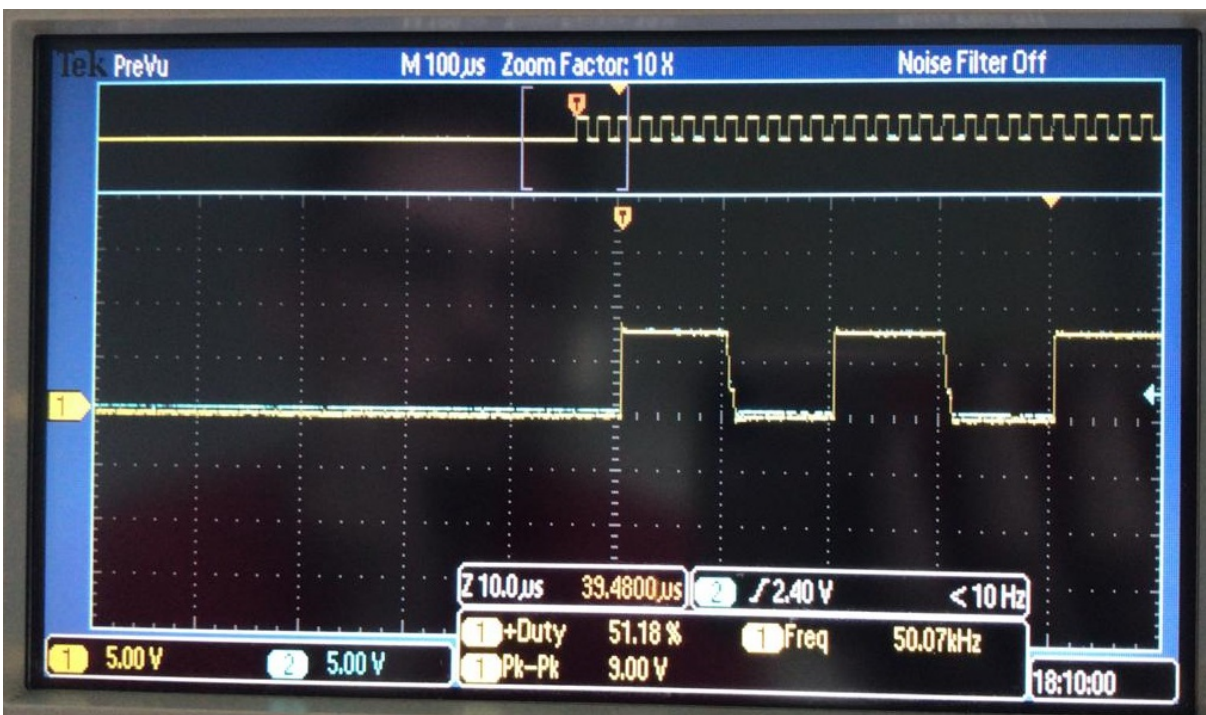
Fonte: do próprio autor, 2019.

Figura 45 – Resposta do sinal na trilha 2.



Fonte: do próprio autor, 2019.

Figura 46 – Resposta do sinal na trilha 3.



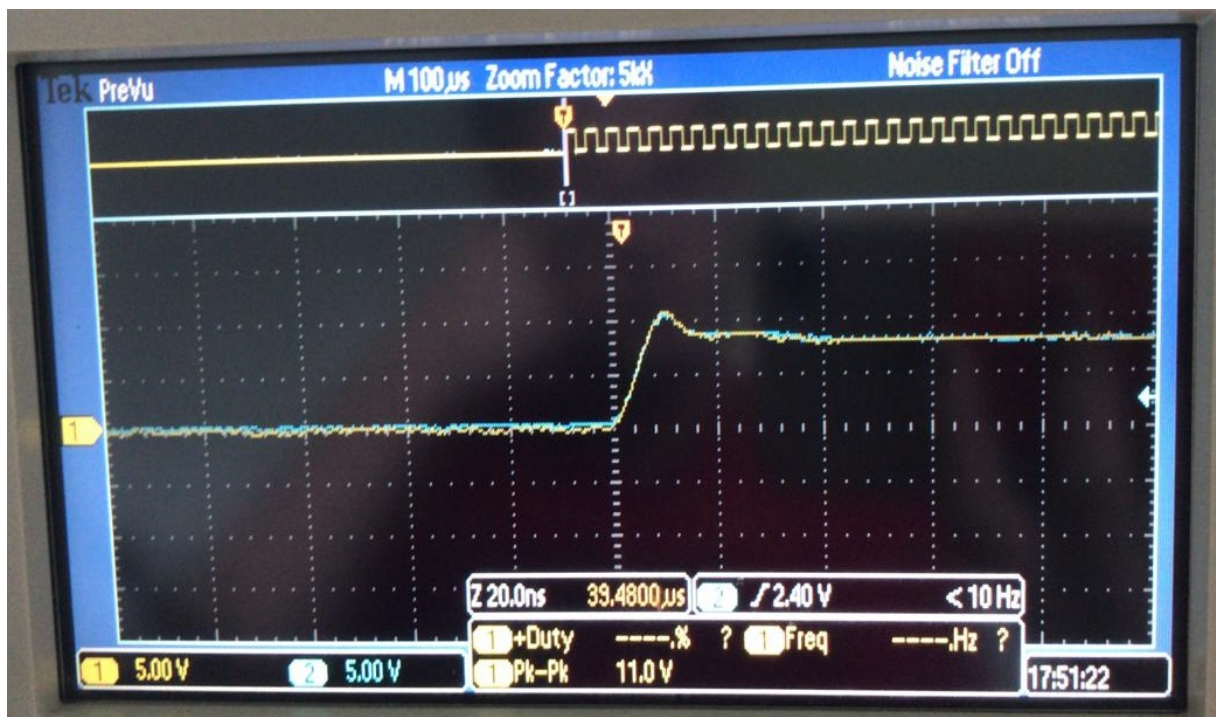
Fonte: do próprio autor, 2019.

Através da aproximação do eixo horizontal apresentada, a primeira trilha demonstra um

comportamento muito aceitável, e percebe-se a mudança de comportamento dos sinais, sendo um pequeno pico de tensão na subida e um atraso na descida, onde há um pequeno íterim em que a tensão forma um degrau e volta ao nível esperado nas trilhas 2 e 3. Quanto à diferença entre os dois canais, pode-se dizer que apesar do pequeno nível de ruído, esta variável é nula. Já o módulo da tensão sofre uma queda maior, no que diz respeito ao pico a pico, nas trilhas 2 e 3, como visto na simulação.

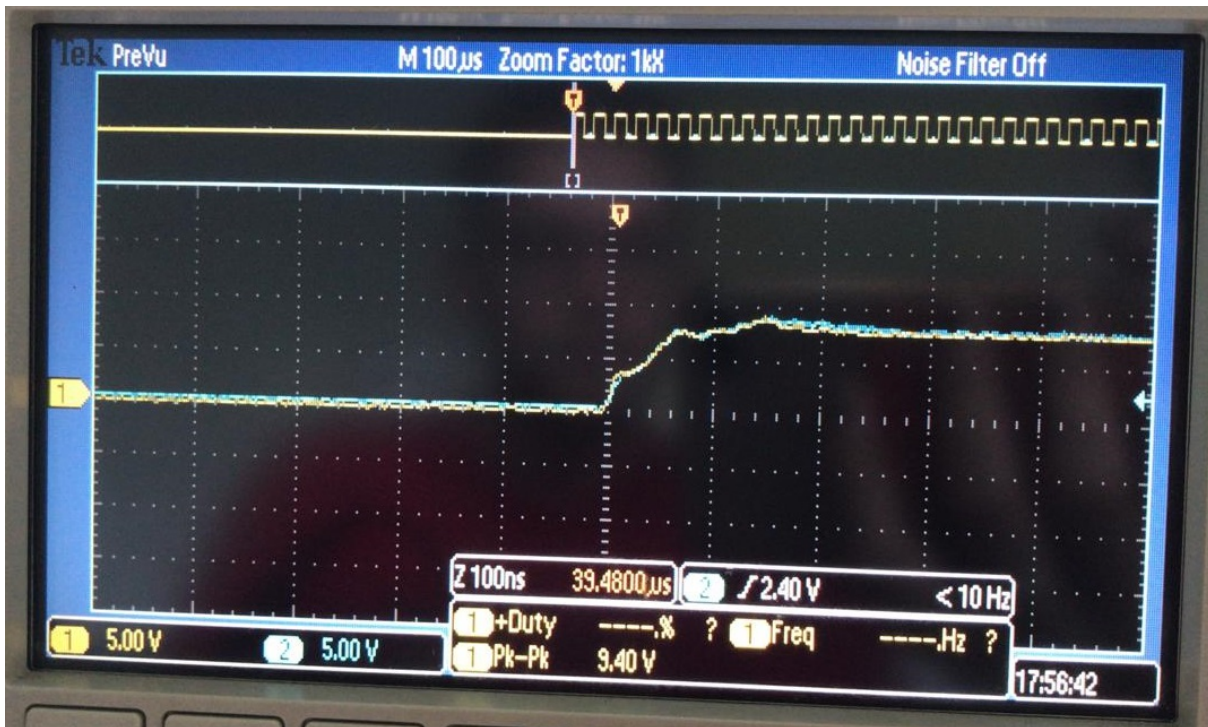
A seguir, apresentam-se as figuras referentes à subida numa visão aproximada.

Figura 47 – Subida do sinal na trilha 1.



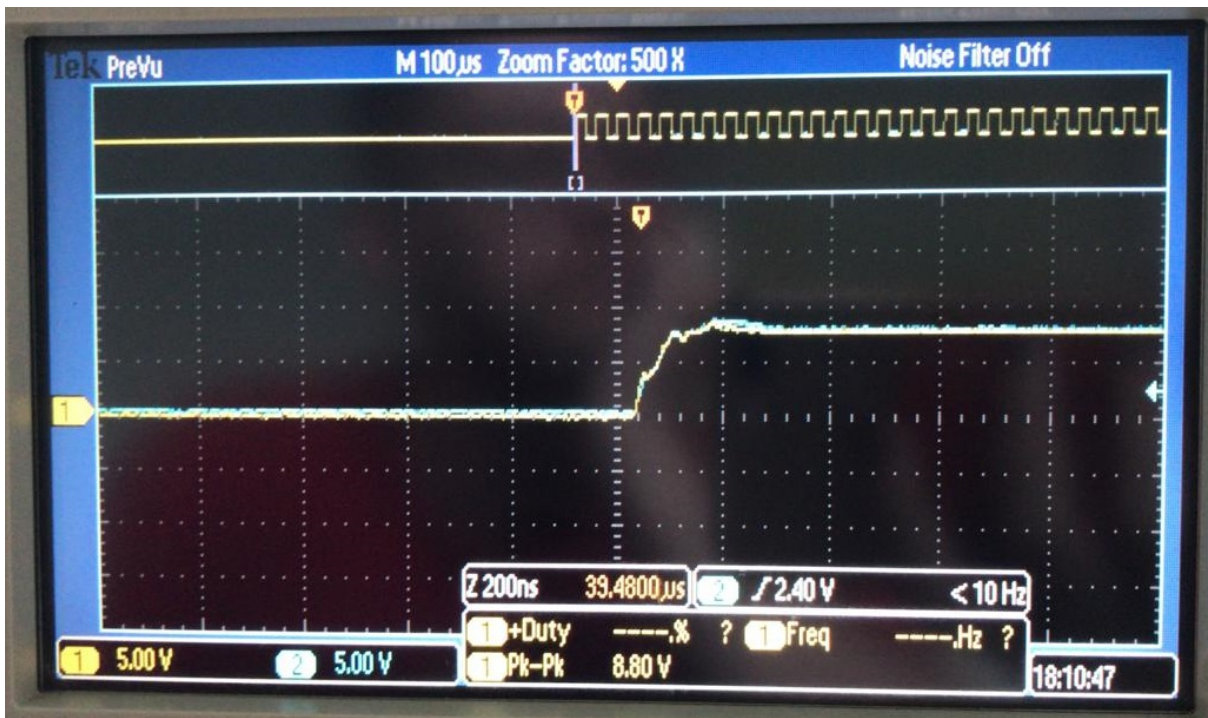
Fonte: do próprio autor, 2019.

Figura 48 – Subida do sinal na trilha 2.



Fonte: do próprio autor, 2019.

Figura 49 – Subida do sinal na trilha 3.



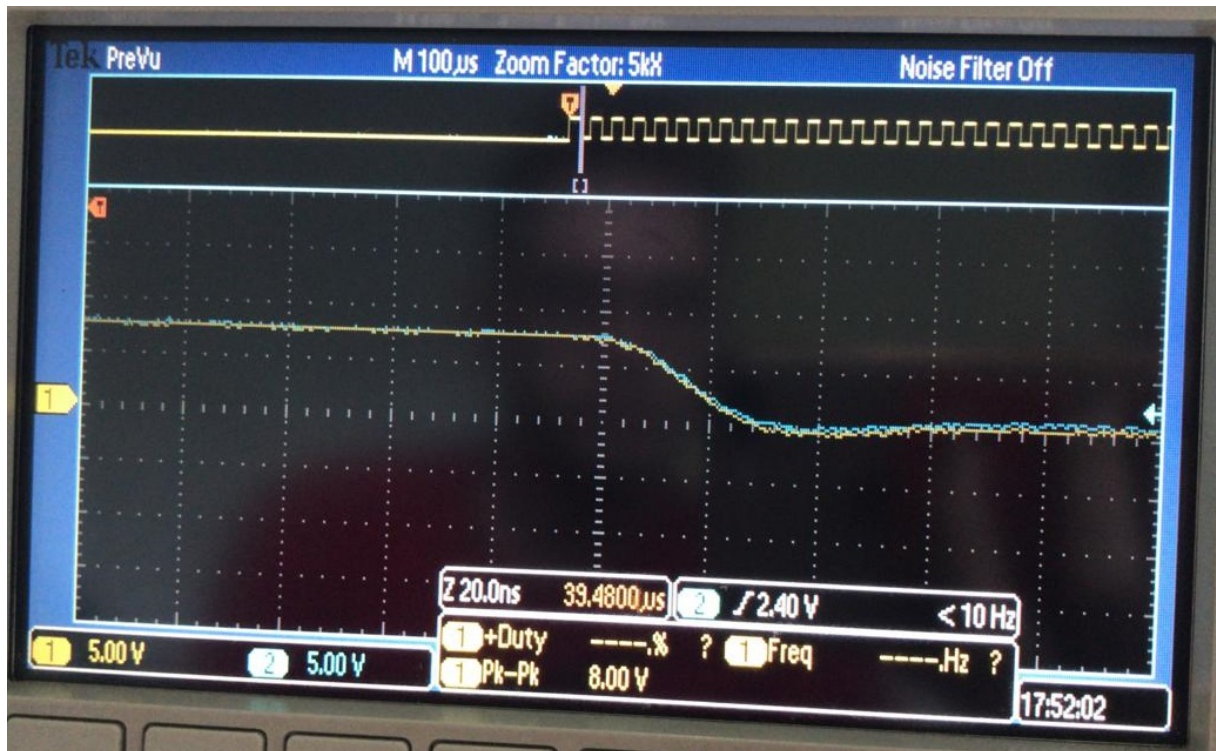
Fonte: do próprio autor, 2019.

Os resultados mais satisfatórios são encontrados na primeira trilha, na qual as oscilações

são mais suaves e seguem, de certa forma, um padrão esperado. Nas outras duas trilhas, percebe-se a presença de oscilações mais descontroladas. Quanto à diferença entre o sinal no início da trilha e no final, o sinal encontrado é praticamente o mesmo. É válido ressaltar a informação encontrada na parte superior da tela do osciloscópio, o *zoom factor*, citado no início deste capítulo, onde se comenta sobre a escala do eixo horizontal.

As Figuras 50, 51 e 52 apresentam uma visão aproximada da descida do sinal.

Figura 50 – Descida do sinal na trilha 1.



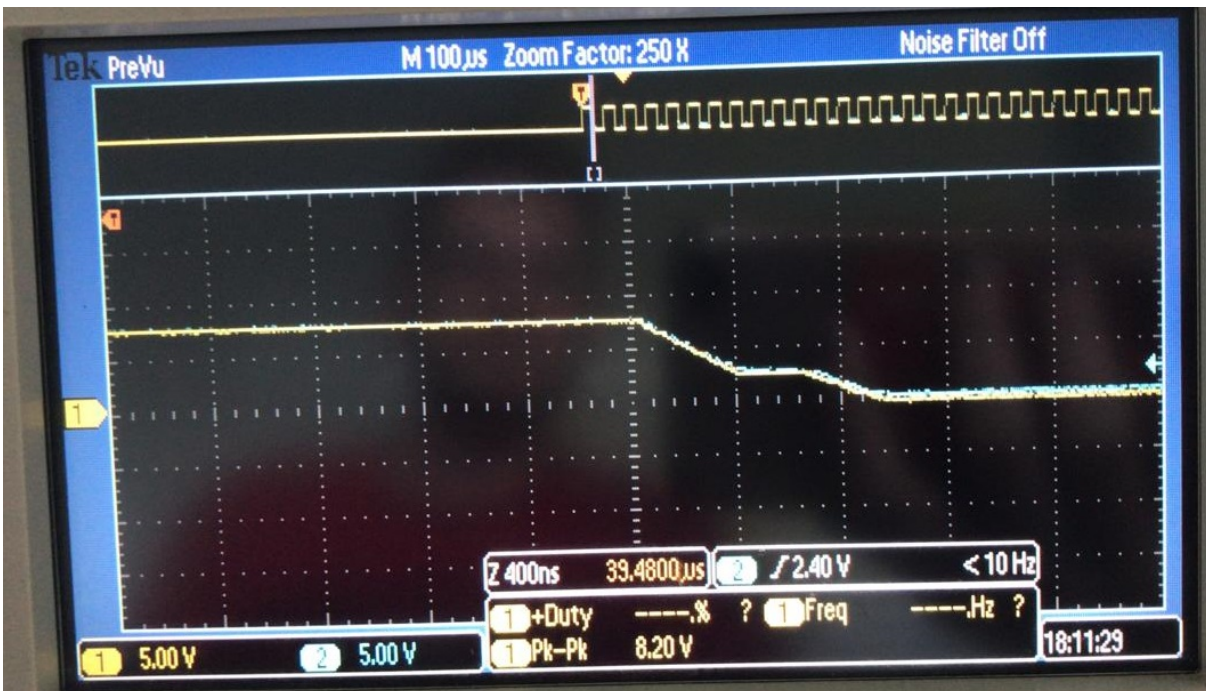
Fonte: do próprio autor, 2019.

Figura 51 – Descida do sinal na trilha 2.



Fonte: do próprio autor, 2019.

Figura 52 – Descida do sinal na trilha 3.



Fonte: do próprio autor, 2019.

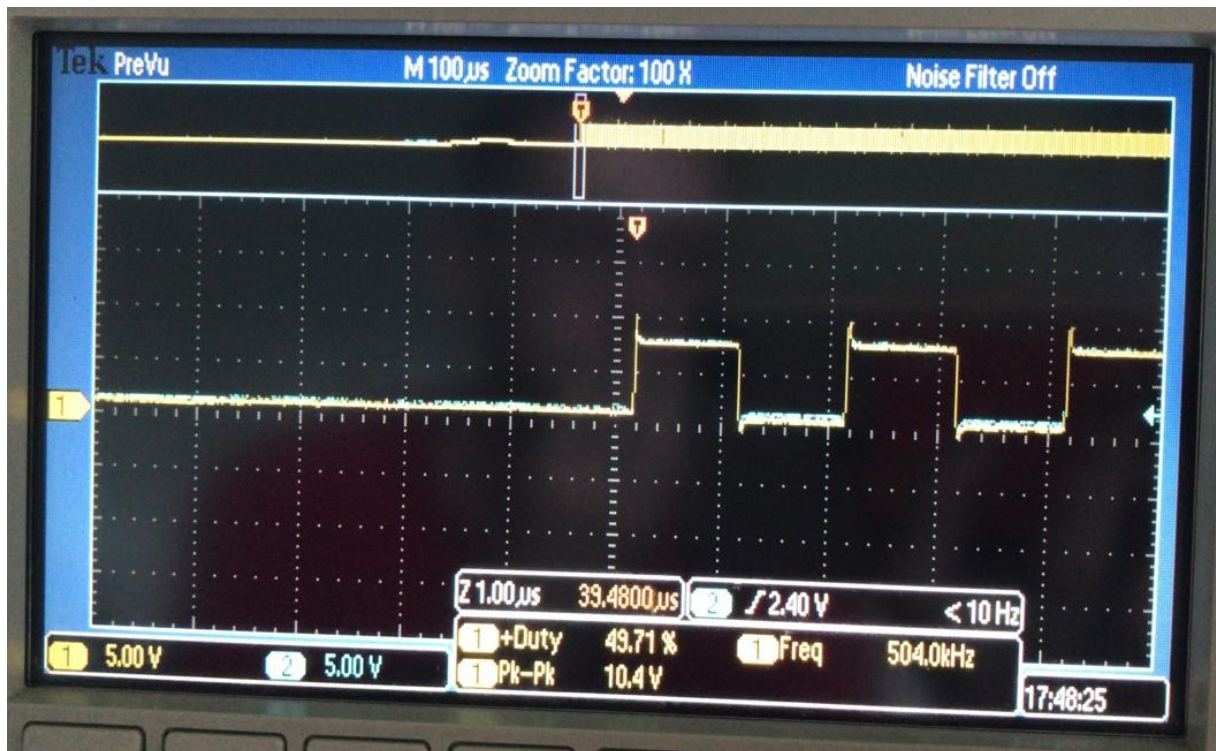
Novamente, assim como na subida, a melhor resposta é obtida na trilha 1. Nas trilhas 2 e

3 percebe-se a presença momentânea de um nível de tensão de aproximadamente 2,5 V, antes de chegar ao nível esperado.

9.2 FREQUÊNCIA DE 500 KHZ

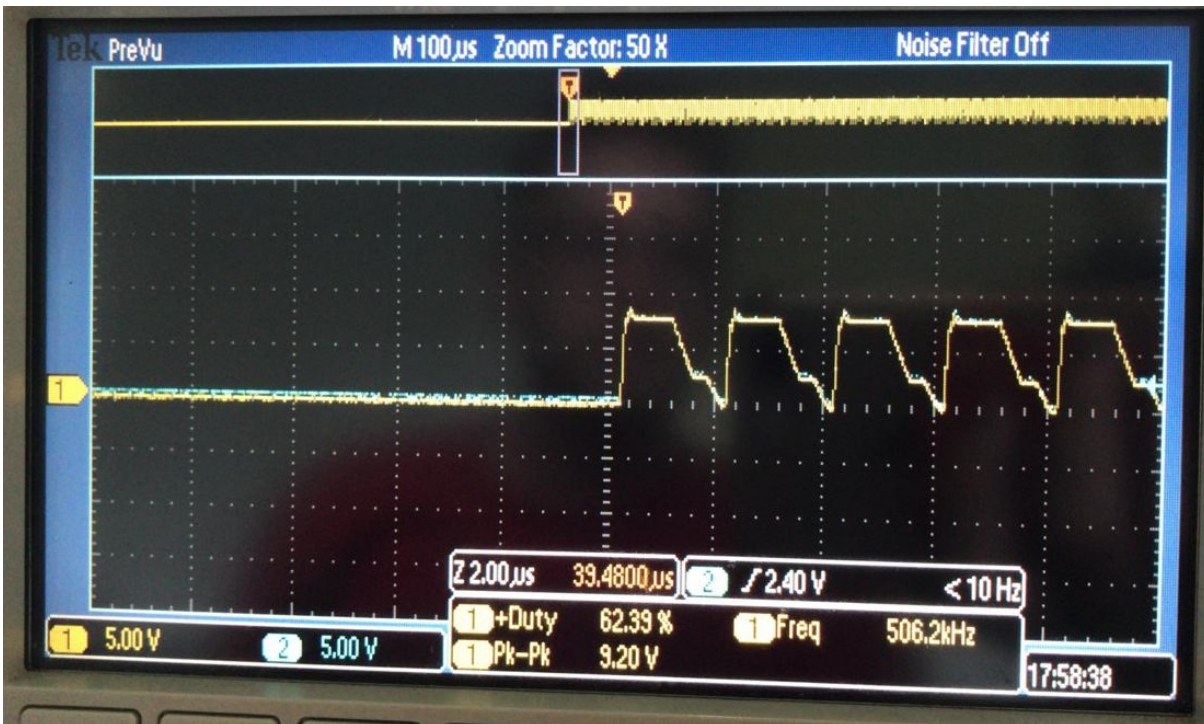
Assim como na seção anterior, repetiu-se o processo para a frequência de 500 kHz. A visão geral dos resultados obtidos é apresentada a seguir.

Figura 53 – Resposta do sinal na trilha 1.



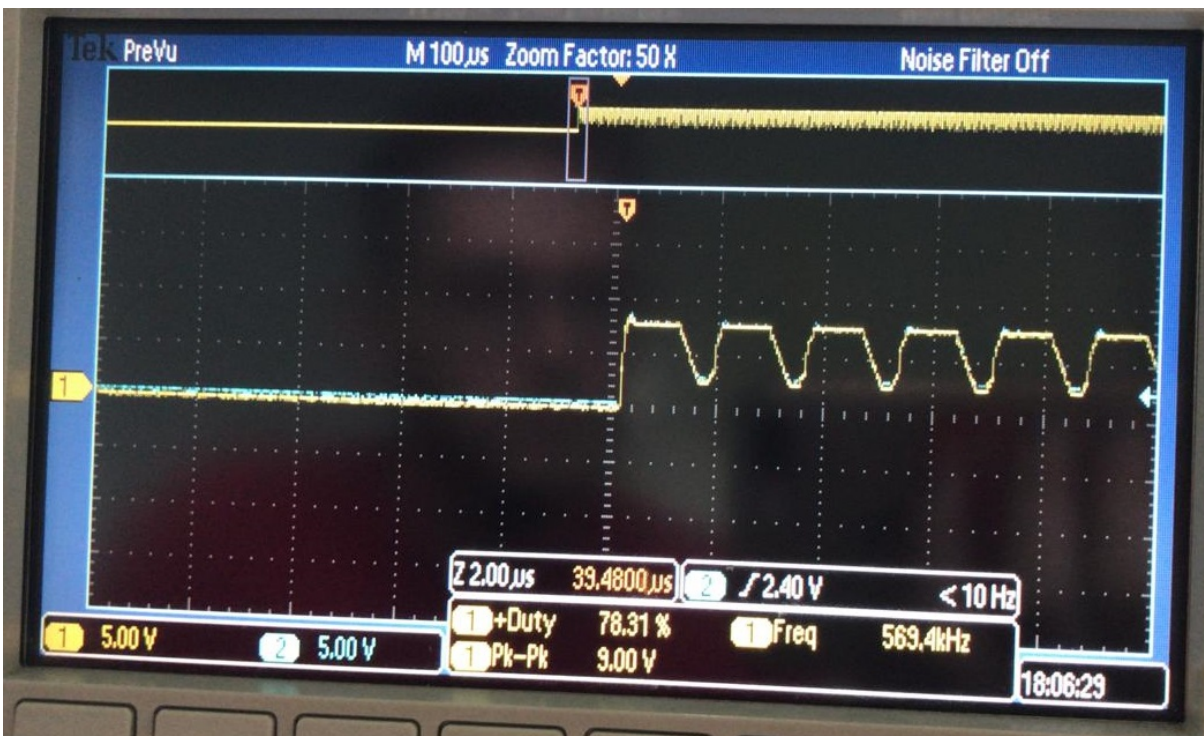
Fonte: do próprio autor, 2019.

Figura 54 – Resposta do sinal na trilha 2.



Fonte: do próprio autor, 2019.

Figura 55 – Resposta do sinal na trilha 3.



Fonte: do próprio autor, 2019.

Na trilha 1, apesar de um pico no fim da subida e no fim da descida, o comportamento da

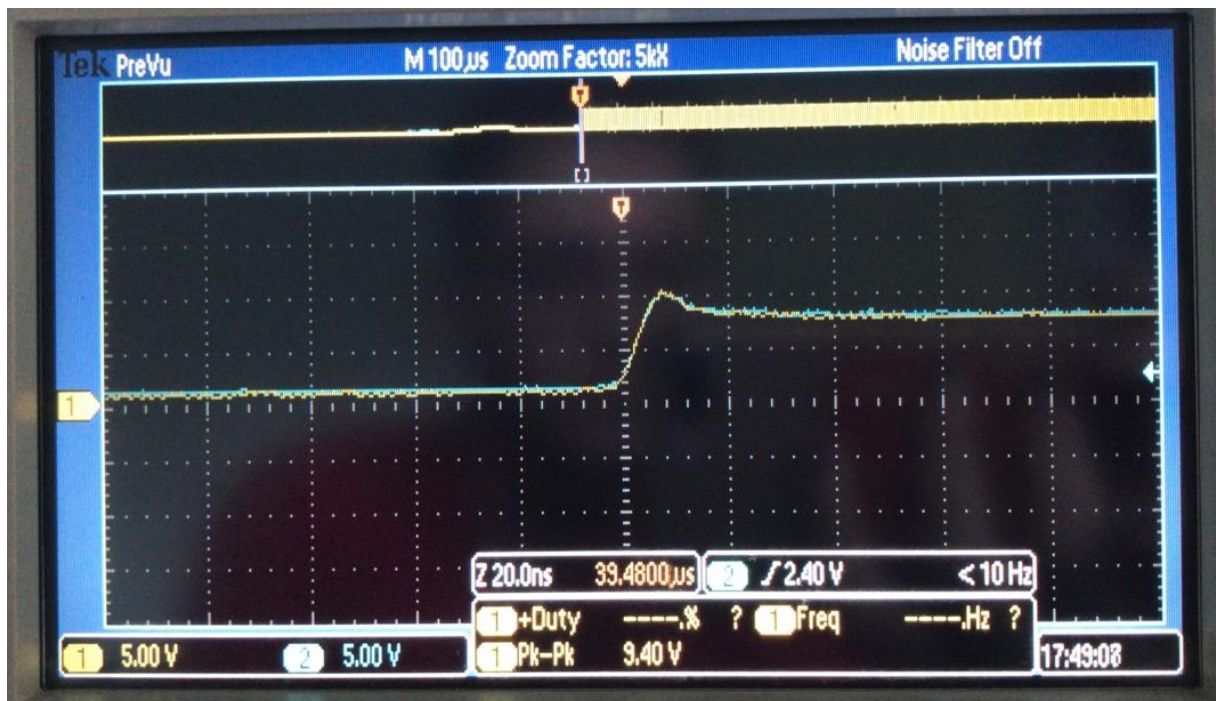
tensão é aceitável, visto que a degradação é mínima.

Já na trilha 2, especificamente na descida, percebe-se a presença de um nível de tensão de aproximadamente 2,5 V por grande parte do trecho onde se espera uma tensão igual a zero, sendo que a descontinuidade aparece apenas próximo ao fim do período. Isso implica na mudança do *duty cycle* da forma de tensão injetada no circuito.

Na terceira trilha não ocorre a passagem do sinal por zero. Como consequência, o circuito não opera da forma esperada ao passar por este caminho, pois não ocorre chaveamento.

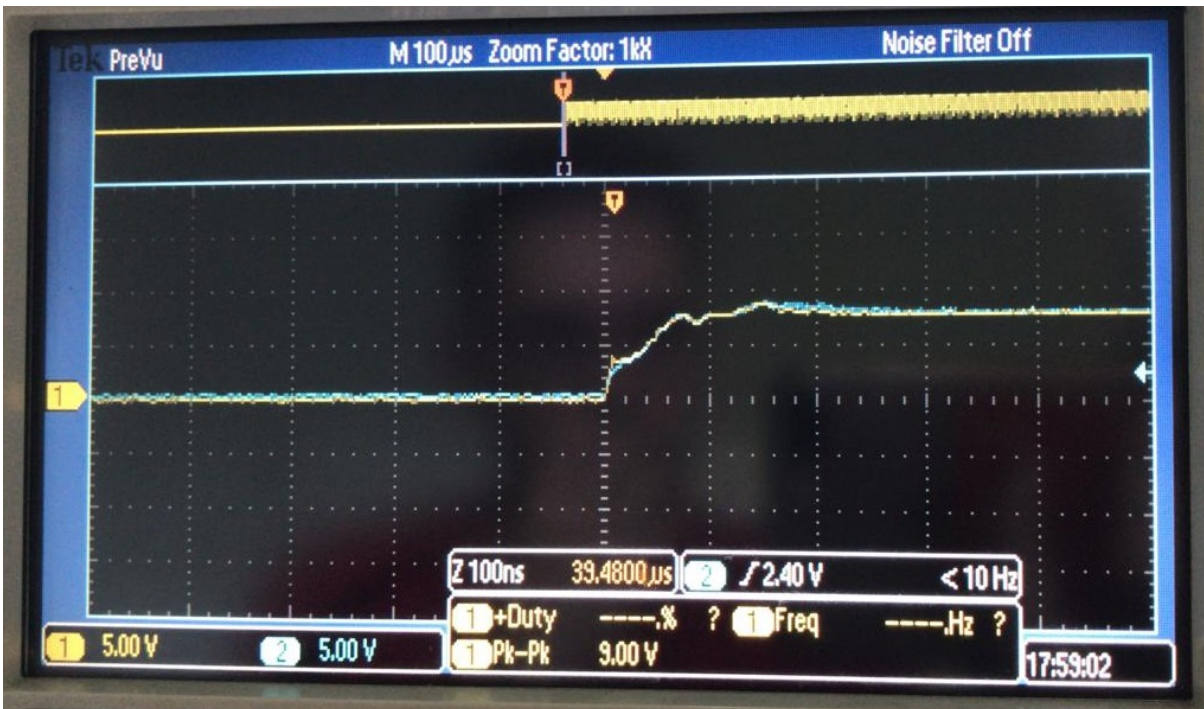
As figuras a seguir apresentam uma visão aproximada do período de subida nas três trilhas.

Figura 56 – Subida do sinal na trilha 1.



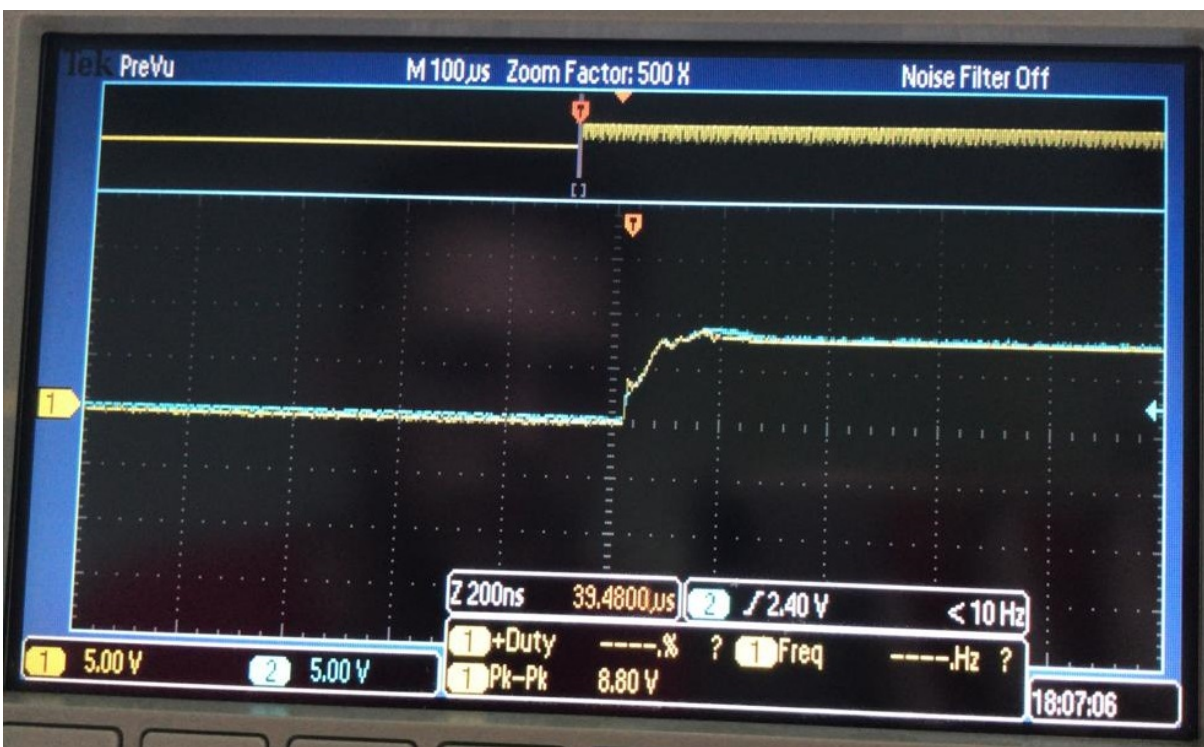
Fonte: do próprio autor, 2019.

Figura 57 – Subida do sinal na trilha 2.



Fonte: do próprio autor, 2019.

Figura 58 – Subida do sinal na trilha 3.



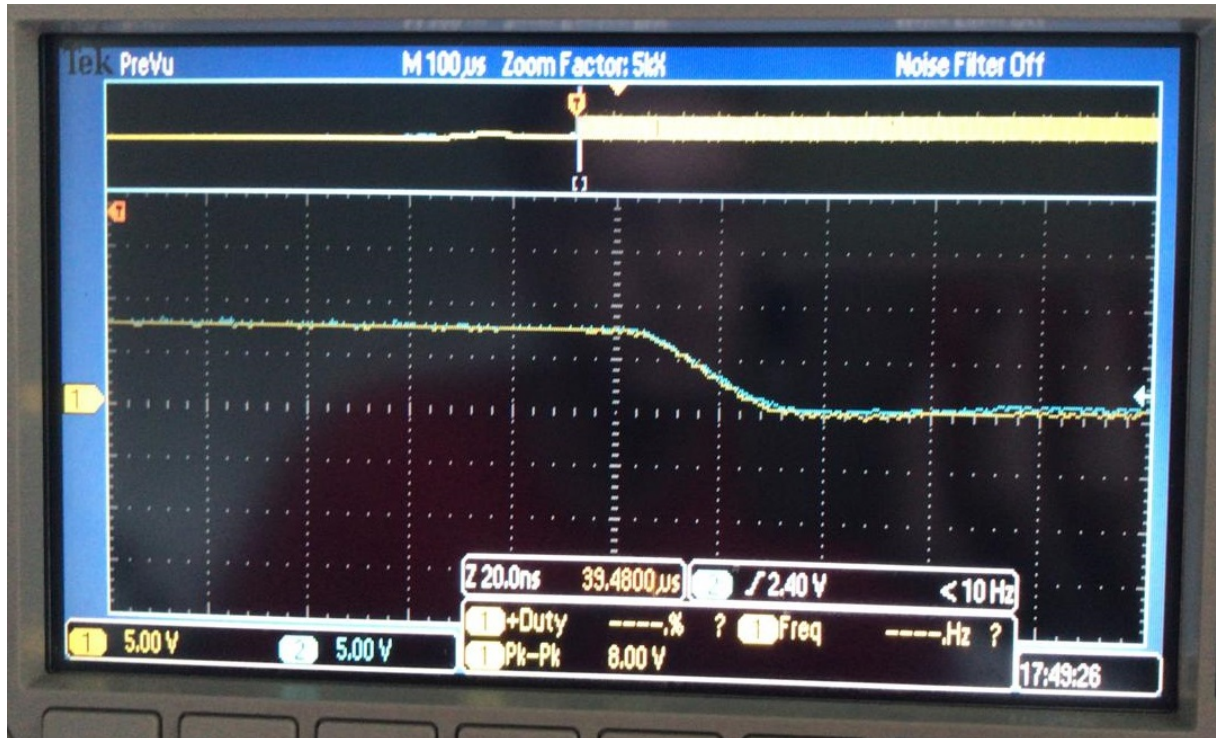
Fonte: do próprio autor, 2019.

Assim como no caso de 50 kHz, os efeitos encontrados durante este período se comportam

da mesma forma.

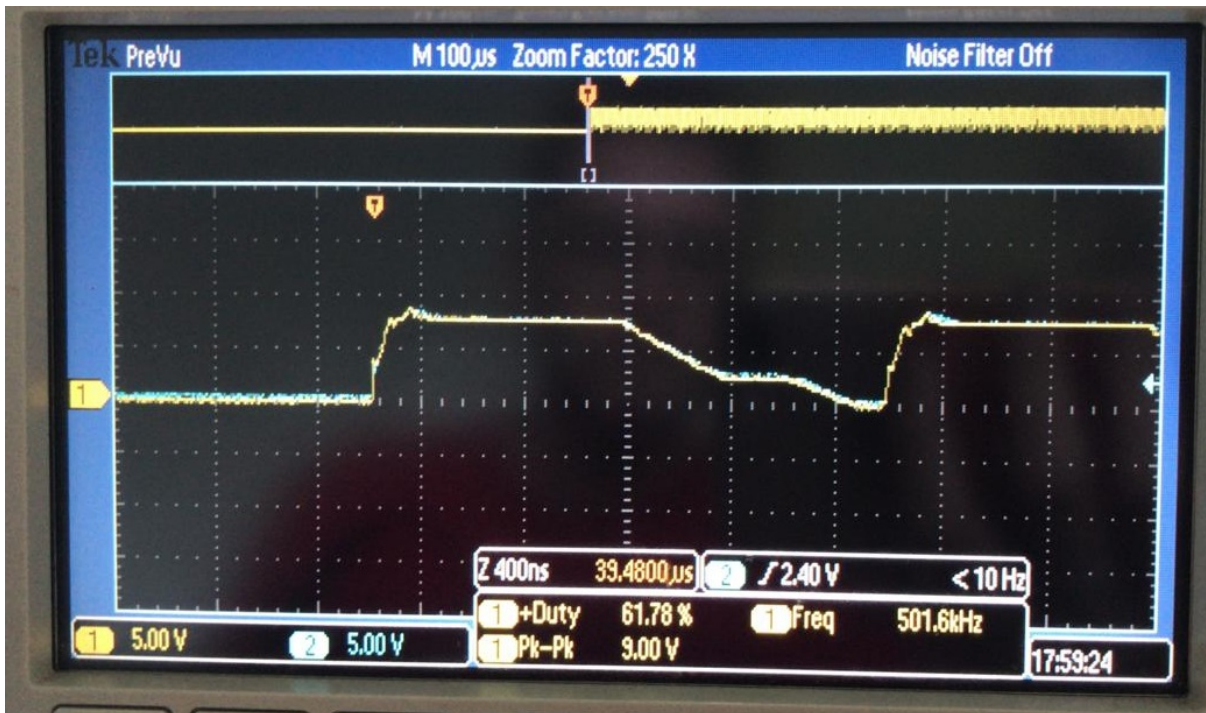
As Figuras 59, 60 e 61 apresentam uma visão aproximada do período de descida nas três trilhas.

Figura 59 – Descida do sinal na trilha 1.



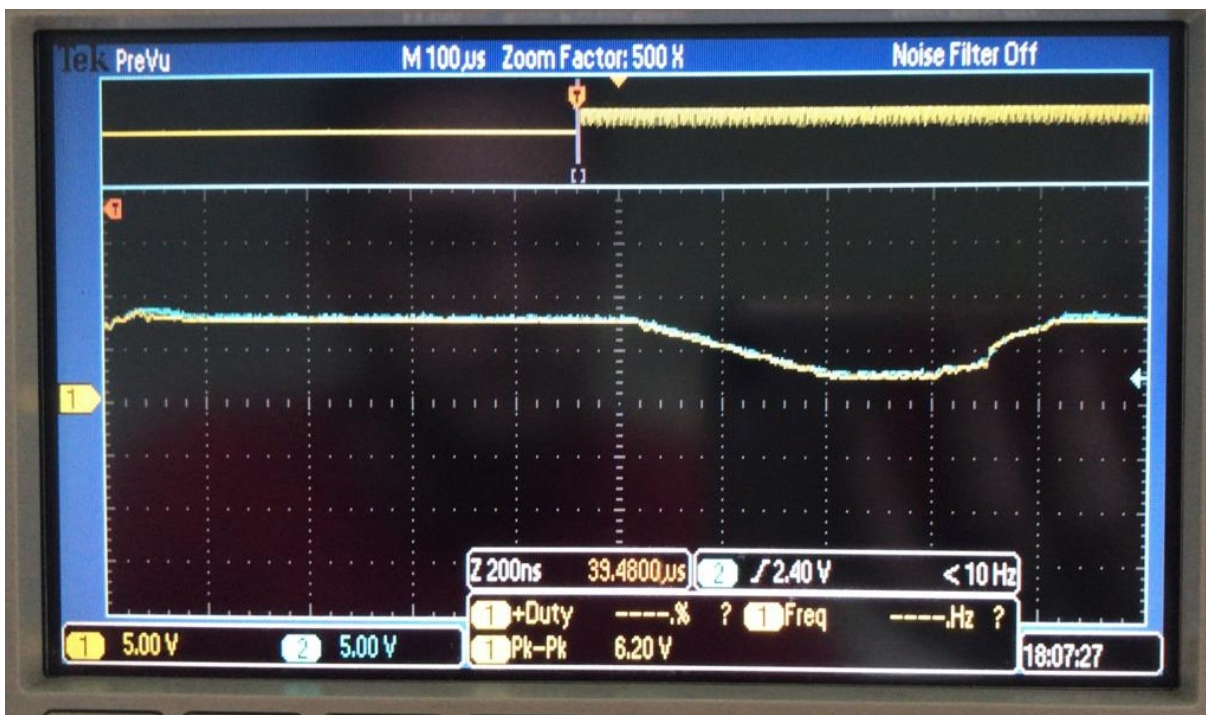
Fonte: do próprio autor, 2019.

Figura 60 – Descida do sinal na trilha 2.



Fonte: do próprio autor, 2019.

Figura 61 – Descida do sinal na trilha 3.



Fonte: do próprio autor, 2019.

A transição do sinal na trilha 1 se mostra, novamente, aceitável. Já na segunda trilha,

percebe-se de maneira mais clara, a demora para se chegar ao nível baixo, o que descaracteriza o sinal esperado e muda a forma de operação do circuito.

Sobre a terceira trilha, percebe-se que a grande demora na transição para o nível baixo acaba garantindo um sinal ininterrupto que sofre flutuações de tensão e faz o circuito operar de forma indevida.

9.3 FREQUÊNCIA DE 1 MHZ

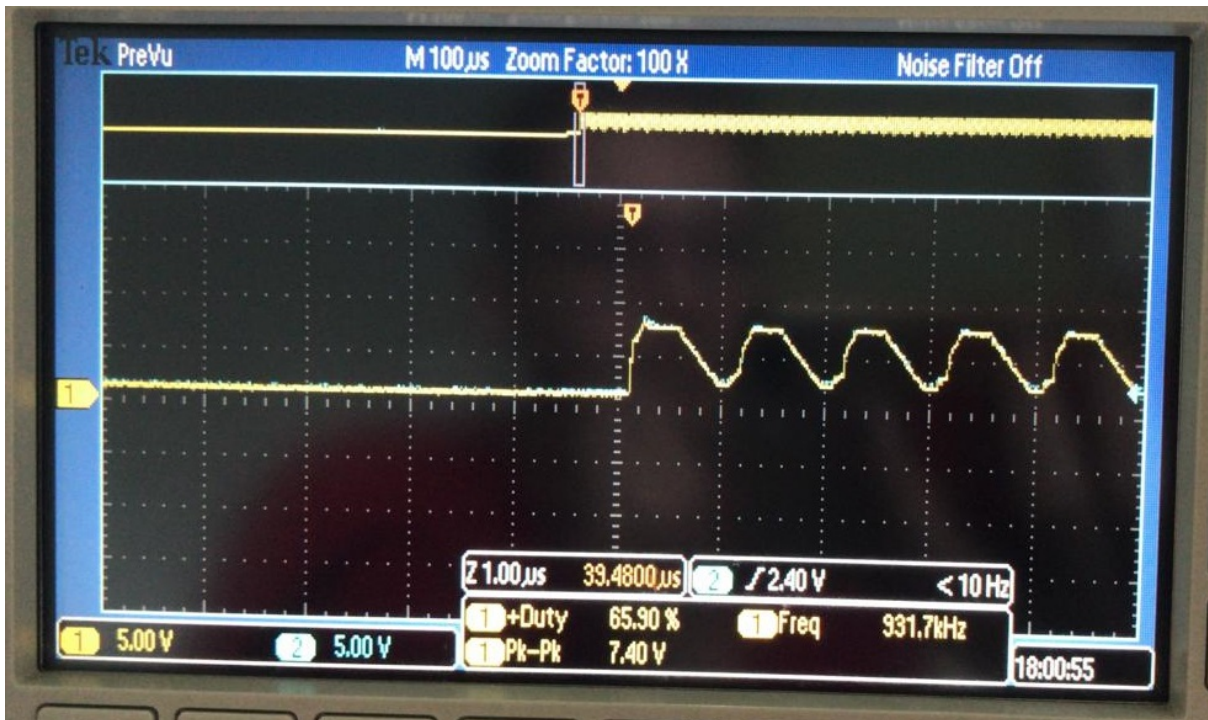
Analogamente aos casos anteriores, injetou-se um sinal com as mesmas características, porém com frequência de 1 MHz. Os resultados obtidos, numa visão geral, são apresentados nas figuras a seguir.

Figura 62 – Resposta do sinal na trilha 1.



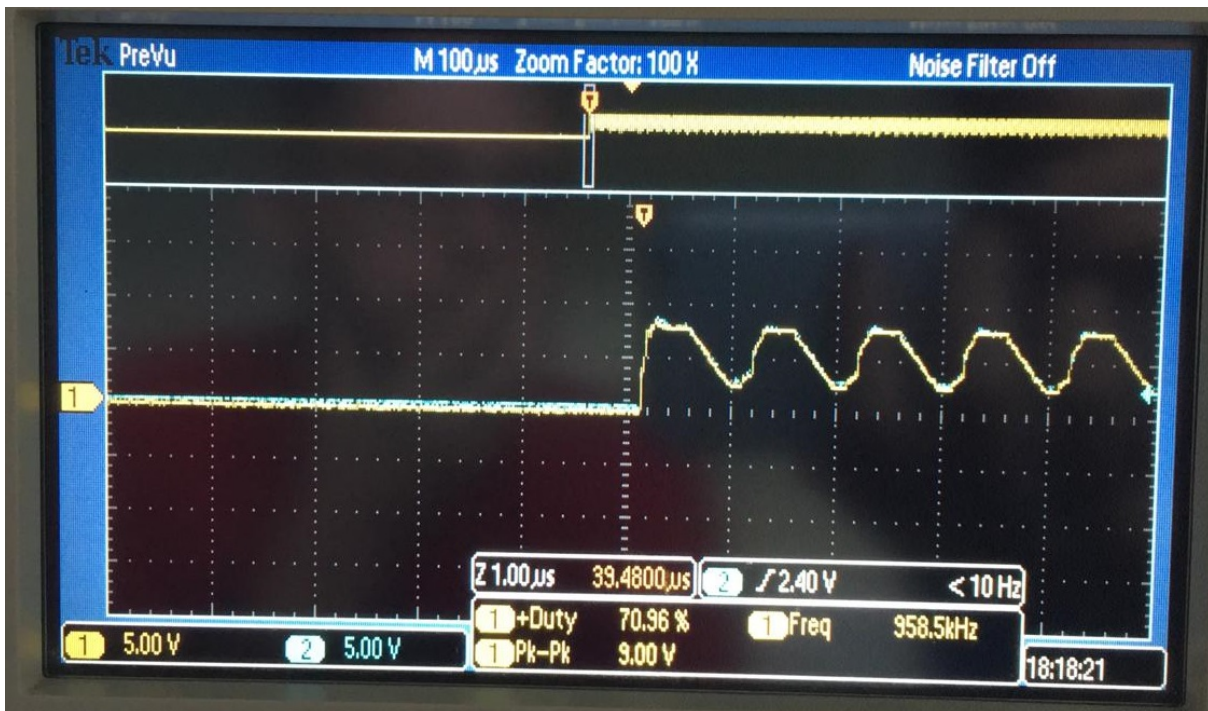
Fonte: do próprio autor, 2019.

Figura 63 – Resposta do sinal na trilha 2.



Fonte: do próprio autor, 2019.

Figura 64 – Resposta do sinal na trilha 3.



Fonte: do próprio autor, 2019.

Novamente, a primeira trilha, apesar dos pequenos picos durante a transição de estados,

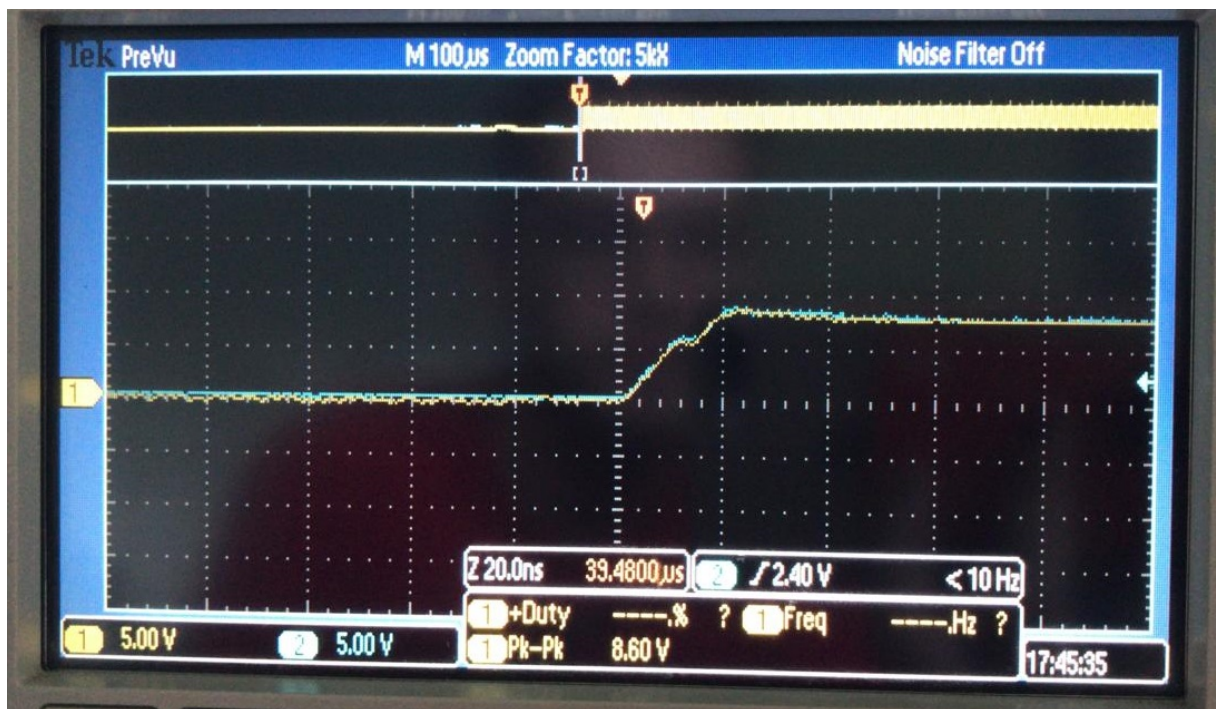
apresenta um comportamento muito aceitável.

A segunda trilha, por sua vez, apresenta condução contínua, de forma que apenas a tensão entre os picos varia, sem que haja variação de seu estado.

A terceira trilha apresenta o mesmo comportamento da anterior, porém o nível de tensão no período em que está havendo a transição de descida é um pouco maior.

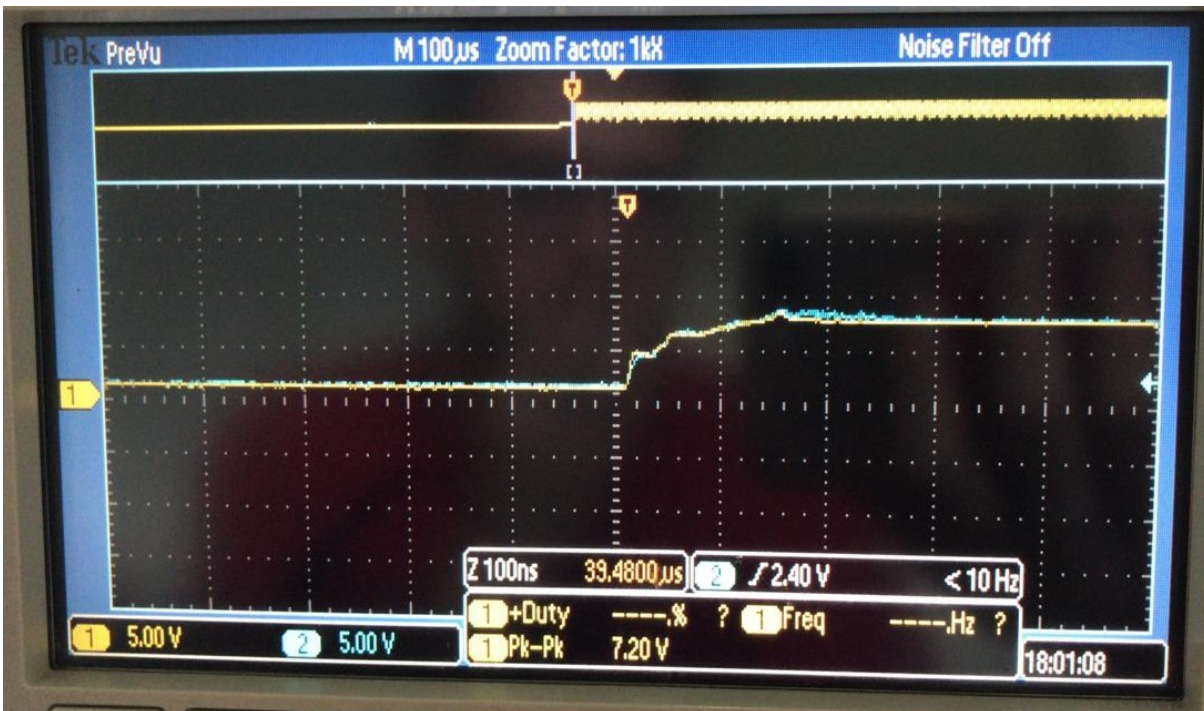
A figuras a seguir apresentam uma visão aproximada do sinal no período de subida.

Figura 65 – Subida do sinal na trilha 1.



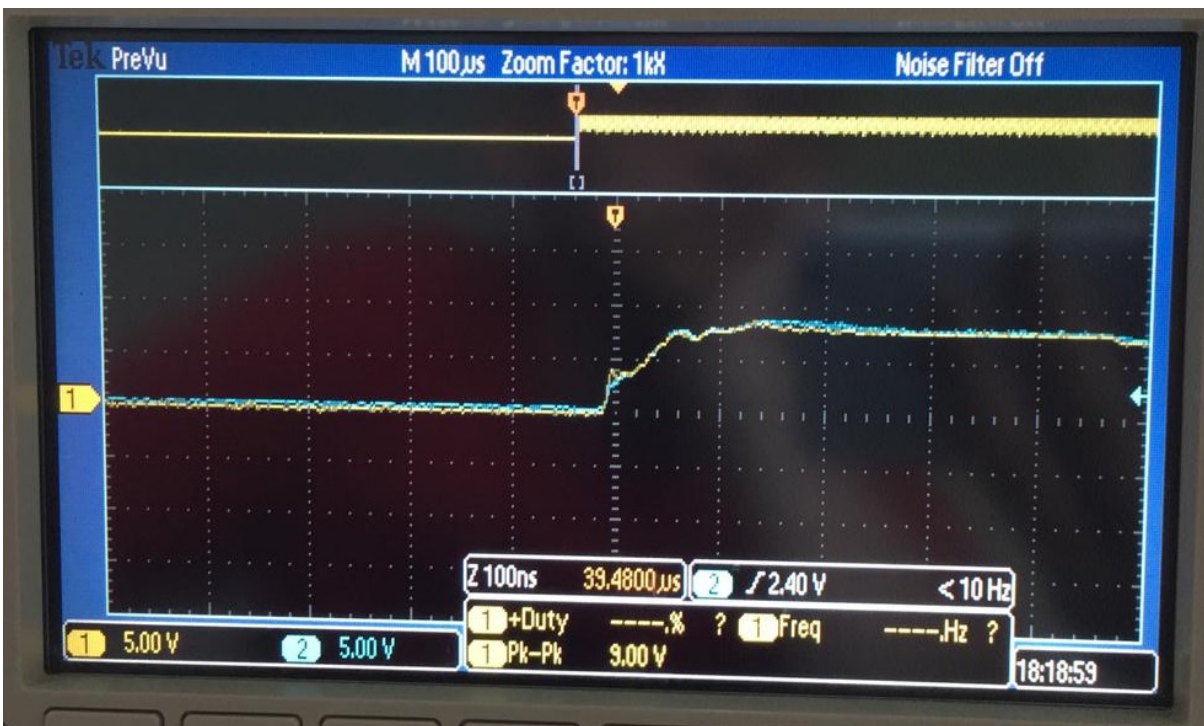
Fonte: do próprio autor, 2019.

Figura 66 – Subida do sinal na trilha 2.



Fonte: do próprio autor, 2019.

Figura 67 – Subida do sinal na trilha 3.



Fonte: do próprio autor, 2019.

Desta vez, percebe-se que por um breve período de tempo, a subida na primeira trilha

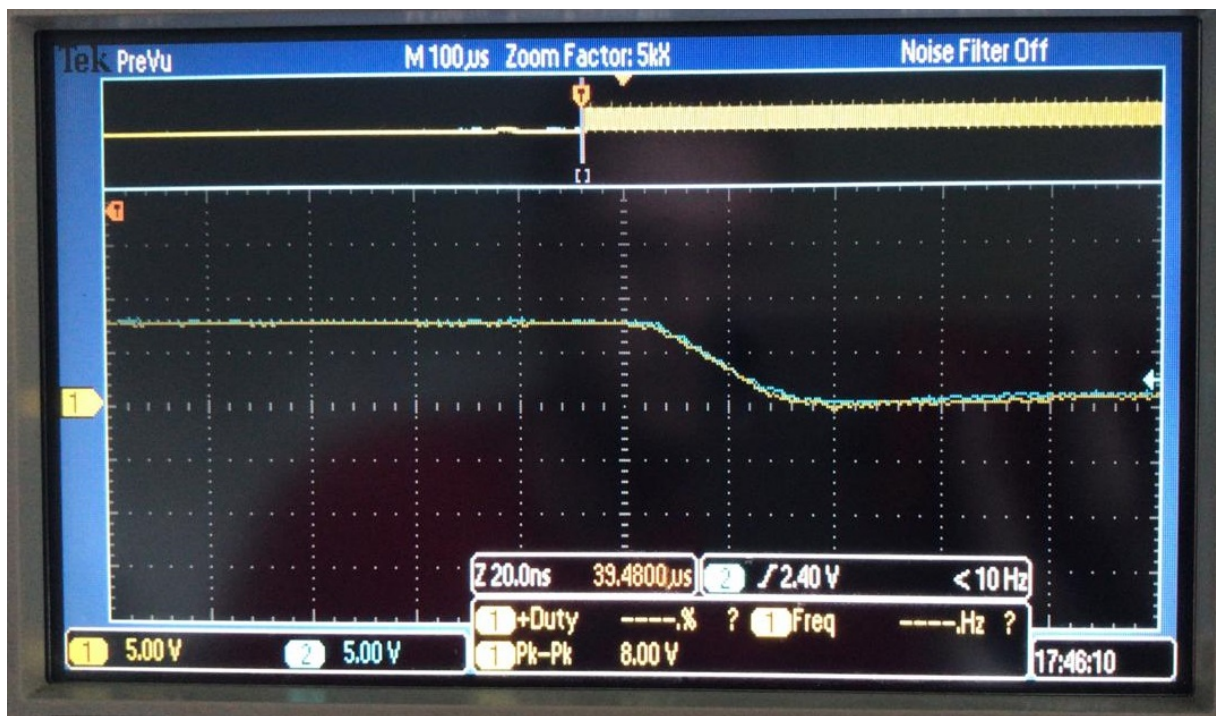
apresenta um nível de tensão inferior ao esperado e, posteriormente, chega ao nível esperado.

A segunda e a terceira apresentam diversas oscilações e curtos períodos em que a tensão se mantém em outros níveis diferentes do valor de nível alto.

Quanto aos módulos de tensão, a queda é novamente perceptível, como esperado.

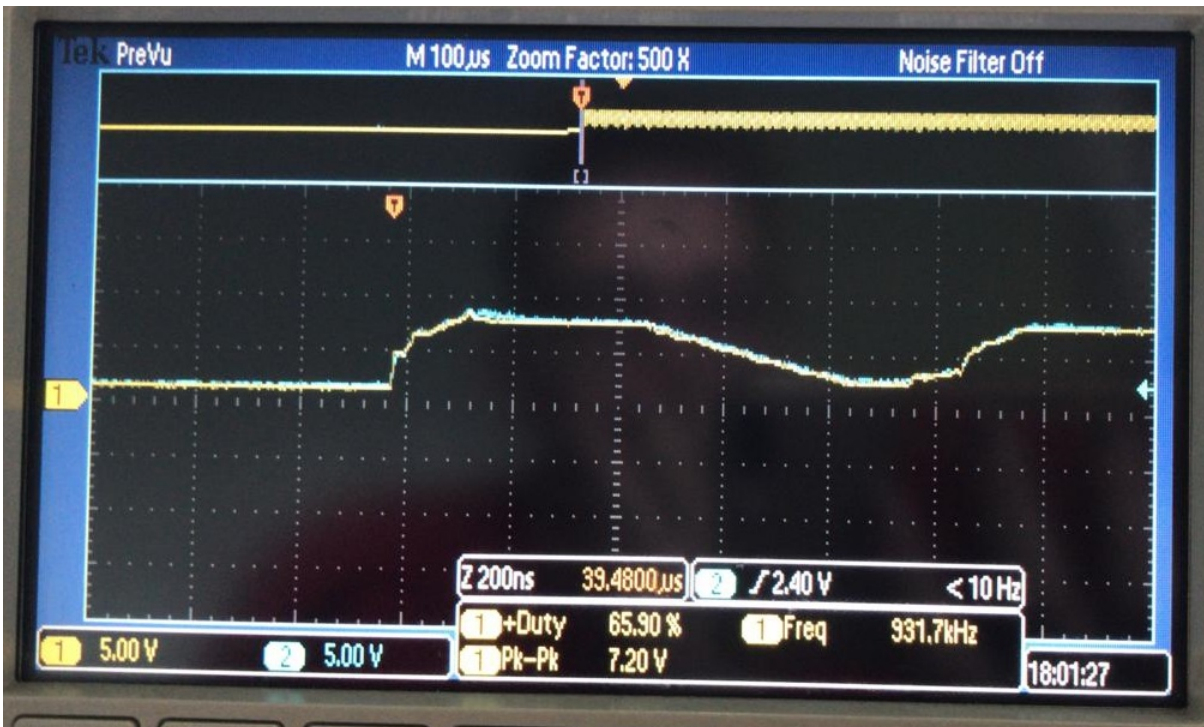
As Figuras 68, 69 e 70 apresentam uma visão aproximada do período de descida nas três trilhas.

Figura 68 – Descida do sinal na trilha 1.



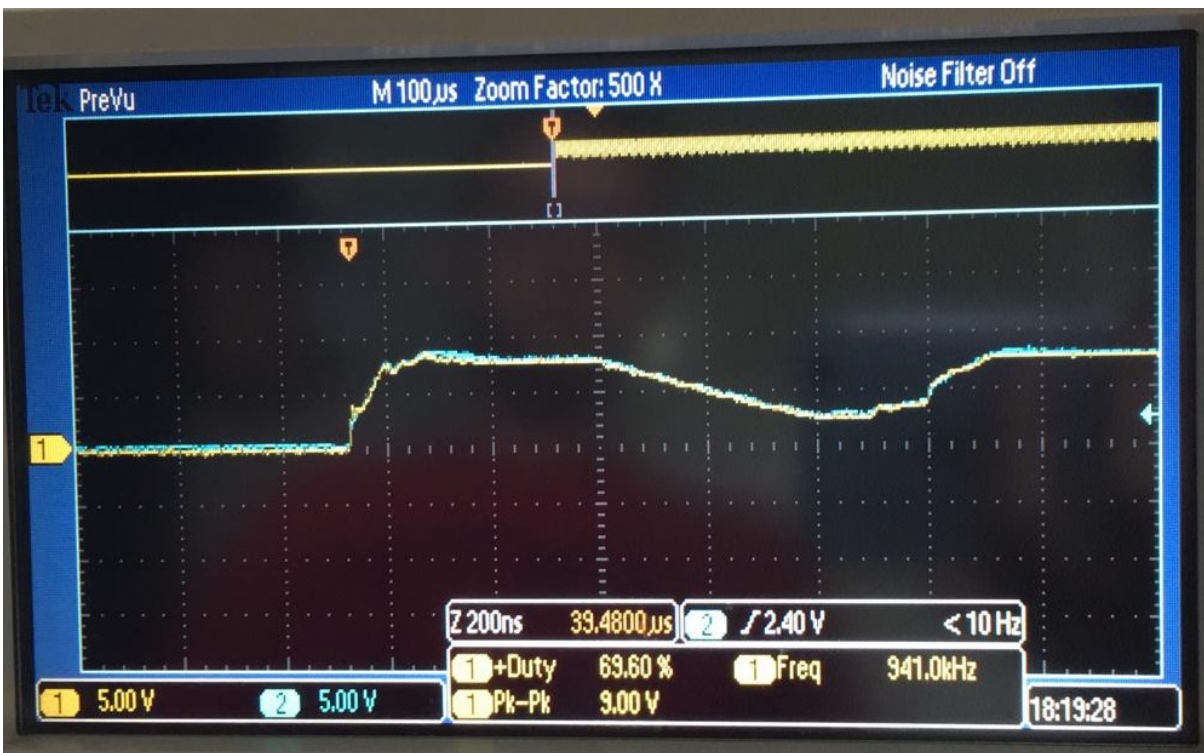
Fonte: do próprio autor, 2019.

Figura 69 – Descida do sinal na trilha 2.



Fonte: do próprio autor, 2019.

Figura 70 – Descida do sinal na trilha 3.



Fonte: do próprio autor, 2019.

A transição do nível alto para o baixo na trilha 1 segue um padrão esperado e muito aceitável. Já sobre as outras trilhas, a informação supracitada em parágrafos anteriores continua válida.

10 CONCLUSÃO

Através dos resultados obtidos, pode-se afirmar que a teoria formulada utilizada como referência para este estudo, apesar do fato de ser baseada em aproximações numéricas, tem uma boa precisão. O único fato que pode parecer intrigante é a falta de uma consideração direta com a frequência de operação do circuito, pois sabe-se que, próximo aos gigahertz, há diversos efeitos que não podem ser desconsiderados e poderiam causar discrepâncias com as medições práticas. Percebe-se também que o material da placa, responsável pela constante dielétrica, bem como a espessura de cobre, altura da placa, largura e disposição das trilhas impactam diretamente em todos os resultados.

Em relação ao método de modelagem eletromagnética das linhas de transmissão, em especial o unidimensional, abordado neste estudo, apresenta uma grande confiabilidade na obtenção dos resultados e uma grande simplicidade ao compará-lo com outros métodos como o método dos elementos finitos. Assim, mostrou-se uma boa alternativa para problemas de análise a transientes e variações de curtos períodos. As pequenas diferenças entre os modelos de componentes apresentados pelas referências acabaram impactando de forma negativa na criação do código para a simulação, na qual utilizou-se o modelo que mais se aproximou da realidade.

Na parte prática, referente à montagem do *driver*, a pequena variabilidade de placas de circuito impresso, no que diz respeito ao material, fez com que se julgasse desnecessário, a princípio, o teste em mais de um tipo de PCI. Quanto ao *design* das trilhas, buscou-se mesclar os casos estudados pela comunidade em outras faixas de operação e com outras finalidades, levando em conta a apropriação e possibilidade de concretização.

A medição das impedâncias das trilhas mostrou que não é possível utilizar o analisador de impedâncias com aquela configuração. Os resultados, além de não serem tão confiáveis, em razão dos *jumpers* que devem ser acoplados para se fazer o contato, podem ser imprecisos, devido ao módulo ser muito pequeno. Apesar disso, esta medição não afetou nenhum resultado, servindo apenas de constatação. Um método mais preciso para a discretização da impedância característica das trilhas foi sugerido na seção em que se trata este assunto.

A análise de resultados, simulação e tratamento de dados, por não serem feitos de formas tradicionais, dificultam o entendimento e avaliação da congruência. Há pouca informação sobre os pacotes utilizados no simulink e a falta de um *software* de simulação exclusivo para este método gerou a necessidade da criação do código.

Para trabalhos futuros, sugere-se a utilização de circuitos comerciais na análise e placas de materiais diferentes. Além disso, pode-se analisar a influência dos traços de noventa graus, quarenta e cinco, e traços redondos para este tipo de circuito. A frequência de estudo pode ser elevada para a faixa dos gigahertz, onde se perceberá efeitos como *crosstalk*. Quanto à modelagem, sugere-se que se estude num conversor em que haja a retificação da rede e a comutação das chaves em frequências diferentes, desacoplando-se o circuito através dos modelos

link para capacitor e unindo-os nas etapas finais. Outro ponto de análise pode ser a modelagem em TLM no domínio da frequência.

REFERÊNCIAS

BROOKS, D. *Signal Integrity Issues and Printed Circuit Board Design*. Prentice Hall, 2003. ISBN 0-13-141884-X. Disponível em: <<https://www.ultracad.com/prenticehall/prentice%20hall.htm>>. Citado na página 52.

CARTER, B.; MANCINI, R. *Op Amps for Everyone*. Elsevier, 2009. ISBN 971856175050. Disponível em: <<https://books.google.com.br/books?id=nnCNsjpicJIC&printsec=frontcover&hl=pt-BR#v=onepage&q=PCB%20materials&f=false>>. Citado na página 24.

CHRISTOPOULOS, C. *The Transmission-line Modeling (TLM) Method in Electromagnetics*. Morgan and Claypool Publishers, 2006. 123 p. ISBN 9781598290509. Disponível em: <https://play.google.com/store/books/details?id=pPD481tv6TgC&pcampaignid=books_web_aboutlink>. Citado 3 vezes nas páginas 27, 30 e 37.

DIG-PCB. *PCB Board Material and Thickness*. 2019. DigPCB support page. Acesso em Junho de 2019. Disponível em: <<https://www.digpcb.com/capability/fr1-cem1-and-fr4.html>>. Citado na página 26.

FACCIONI FILHO, M. *O método da modelagem por linhas de transmissão (TLM) e aplicações em compatibilidade eletromagnética (EMC)*, Universidade Federal de Santa Catarina, 1997. Disponível em: <<https://repositorio.ufsc.br/handle/123456789/111599>>. Citado 10 vezes nas páginas 27, 28, 29, 30, 31, 32, 33, 34, 35 e 39.

HALL, N. *The History of Circuit Boards*. 2017. Falconer Electronics Inc. Blog. Citado na página 23.

HARPER, C. A. *Electronic materials and processes handbook*. [S.l.]: McGraw-Hill, 2003. ISBN 0071402144. Citado na página 23.

HPCB. *HDI Manufacturing Process Flow*. 2014. Slides presentation. Acesso em Junho de 2019. Disponível em: <<https://www.slideshare.net/HPCB/wwwwhpcbcom-images-hpcbhdiprocess>>. Citado na página 26.

HUBING, T. *Survey of Numerical Electromagnetic Modeling Techniques*, University of Missouri-Rolla, 1991. Disponível em: <https://s3.amazonaws.com/academia.edu/documents/31053023/tr91-1.pdf?response-content-disposition=inline%3B%20filename%3DSurvey_of_numerical_electromagnetic_mode.pdf&X-Amz-Algorithm=AWS4-HMAC-SHA256&X-Amz-Credential=AKIAIWOWYYGZ2Y53UL3A%2F20191023%2Fus-east-1%2Fs3%2Faws4_request&X-Amz-Date=20191023T232900Z&X-Amz-Expires=3600&X-Amz-SignedHeaders=host&X-Amz-Signature=5a6d3c9c3a9d4d5ec77123778197e03a6d05b6ef38eaf5022e8d366f6c3c3124>. Citado na página 39.

KINGFUNG. *The development history of PCB*. 2018. King Fung Quick PCB blog. Acesso em Junho de 2019. Disponível em: <<https://www.kfquickpcb.com/industry-news/the-development-history-of-pcb.html>>. Citado 2 vezes nas páginas 23 e 24.

NANOTECH-ELEKTRONIK. *Materials for printed circuit boards*. 2019. Nanotech-Elektronik support page. Acesso em Abril de 2019. Disponível em: <<http://www.nanotech-elektronik.pl/index.php/en/info/materials>>. Citado na página 25.

PAUL, C. R. *Introduction to electromagnetic compatibility*. [S.l.]: Wiley, 2006. ISBN 9780471758143. Citado 9 vezes nas páginas 13, 14, 15, 16, 17, 18, 19, 20 e 21.

SELHI H.; CHRISTOPOULOS, C. Generalised tlm switch model for power electronics applications. *IEE Proceedings - Science Measurement and Technology*, The Institution of Electrical Engineers, v. 145, p. 101, 1998. ISSN 1350-2344,1359-7094. Disponível em: <<http://doi.org/10.1049/ip-smt%3A19981896>>. Citado 3 vezes nas páginas 35, 36 e 37.

ANEXOS

ANEXO A – CÓDIGO COMPUTACIONAL UTILIZADO PARA A SIMULAÇÃO

Programa feito como parte do Trabalho de Conclusão de Curso submetido ao departamento de Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina.

```

clc
clear all

Dados do problema
l = 8e-2; comprimento da linha
nt = 3; numero de nos
kt = 50; número de iterações
RL = 4.7; Resistencia da carga (neste caso, a resistência de gate)
Rs = 50; Resistencia da fonte (considerando um padrão encontrado durante o curso)
No instante K=1, todas as tensoes incidentes são nulas
for n=1:1:nt VID(n,1)=0; VIE(n,1)=0; VIC(1)=0; end

Calculo de parametros da linha
Dx = l/(nt-1); Incremento espacial em relação ao número de nós
L = 377e-6; L e C foram obtidos através dos cálculos apresentados
C = 88.48e-12;
R = 0; Desconsidera-se pelo fato de ter a informação de Z0
Z0 = 90; Encontrada através dos cálculos
Dt = sqrt(L*C);
f=500e3; Frequencia de 500KHz
t=0:Dt:Dt*(kt-1) Vetor de tempo
Excitacao = 6+6*sqrt(2*pi*t*f,50) Onda quadrada com duty cycle de 0,5
for k=1:1:kt Vs(k)=Excitacao(k) end

Inicio da iteração no tempo
for k=1:1:kt

Cálculo da capacitância e impedância do capacitor
Csw = 5.4e-9
ZC = Dt/(2*pi*f*Csw)

CÁLCULO DAS INCIDÊNCIAS
Primeiro nó, junto à fonte

```

```

for n = 1
if Rs == 0
V(n,k)=Vs(k);
else
V(n,k)=((Vs(k)/Rs)+(2*VID(n,k)/(R+Z0)))/(1/Rs+1/(R+Z0))
end
I(n,k)=(V(n,k)-2*VID(n,k))/(R+Z0)
VD(n,k)=2*VID(n,k)+I(n,k)*Z0
end

Segundo ao penúltimo nó
for n=2:1:(nt-1)
V(n,k)= (2*VIE(n,k)/Z0 + 2*VID(n,k)/(R+Z0))/(1/Z0 + 1/(R+Z0))
I(n,k)= (V(n,k)-(2*VID(n,k)))/(R+Z0)
VE(n,k)= V(n,k)
VD(n,k)= 2*VID(n,k)+I(n,k)*Z0
end

Para o último nó
for n = nt
V(n,k)= (2*VIE(n,k)/Z0 + 2*VIC(k)/(RL+ZC))/(1/Z0 + 1/(RL+ZC))
IC(k)= (V(n,k)-2*VIC(k))/(RL+ZC)
VC(k)= 2*VIC(k)+IC(k)*ZC
end

CÁLCULO DAS REFLEXÕES

Primeiro nó
for n=1
VRD(n,k)=VD(n,k)-VID(n,k)
end

Segundo ao penúltimo nó
for n=2:1:(nt-1)
VRD(n,k)=VD(n,k)-VID(n,k)
VRE(n,k)=VE(n,k)-VIE(n,k)
end

```

```

Último nó
for n= nt
VRE(n,k)=V(n,k)-VIE(n,k)
VRC(k)=VC(k)-VIC(k)
end
CONEXÃO COM O MOMENTO SEGUINTE
Primeiro nó
for n = 1
VID(n,k+1)=VRE(n+1,k)
end
Segundo ao penúltimo nó
for n = 2:1:(nt-1)
VIE(n,k+1)=VRD(n-1,k)
VID(n,k+1)=VRE(n+1,k)
end
Último nó
for n=nt
VIE(n,k+1)=VRD(n-1,k)
VIC(k+1)= -VRC(k)
end
end
plot(t,V(nt,1:kt))
title('Tensão no último nó em relação ao tempo') xlabel('Tempo [s]') ylabel('Tensão
[V]')
figure
plot(t,VRC)
title('Tensao refletida pelo capacitor') xlabel('Tempo[s]') ylabel('Tensão[V]')

```