

**UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
CURSO DE ENGENHARIA ELÉTRICA**

HENRIQUE THOMASELLI TEICHERT

ESTUDO DE CIRCUITOS GATE DRIVER PARA TRANSISTOR DE GAN

JOINVILLE

2022

HENRIQUE THOMASELLI TEICHERT

ESTUDO DE CIRCUITOS GATE DRIVER PARA TRANSISTOR DE GAN

Trabalho de Conclusão de Curso submetido ao Bacharelado em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, para obtenção do Grau de Engenheiro Eletricista

Orientador: Prof. Dr. Alessandro Luiz Batschauer

JOINVILLE

2022

HENRIQUE THOMASELLI TEICHERT

ESTUDO DE CIRCUITOS GATE DRIVER PARA TRANSISTOR DE GAN

Trabalho de Conclusão de Curso submetido ao Bacharelado em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, para obtenção do Grau de Engenheiro Eletricista

BANCA EXAMINADORA

Prof. Dr. Alessandro Luiz Batschauer

Universidade do Estado de Santa Catarina – UDESC

Membros:

Prof. Dr. Celso José Faria de Araújo

Universidade do Estado de Santa Catarina – UDESC

Prof. Dr. Marcos Vinicius Bressan

Universidade do Estado de Santa Catarina – UDESC

Joinville, 28 de julho de 2022

AGRADECIMENTOS

Agradeço à toda minha família, pois sem seu suporte não conseguiria ter chegado até aqui.

Agradeço ao meu professor orientador Dr. Alessandro Batschauer pela orientação, conselhos, paciência e tempo dado em meu auxílio durante o desenvolvimento deste trabalho, e pela placa de desenvolvimento utilizada.

Agradeço aos professores e colegas do Núcleo de Processamento de Energia Elétrica (nPEE) e da UDESC, que de alguma forma me ajudaram durante o trabalho e/ou na minha jornada como estudante de Engenharia Elétrica.

Agradeço ao nPEE pelos materiais e equipamentos utilizados para o trabalho.

Agradeço a Supplier por ceder tempo dos funcionários para conserto da placa de desenvolvimento.

Por fim, agradeço à UDESC pelo ensino de qualidade e gratuito, bem como o espaço fornecido para estudo.

RESUMO

Este trabalho visa estudar as novas tecnologias de semicondutores *wide bandgap* (salto largo entre bandas), em especial o Nitreto de Gálio (GaN), que prometem dominar o mercado da eletrônica de potência. Para isso, é estudado a estrutura destes transistores e dos principais circuitos de seu acionamento (circuitos de *gate drivers*). Três circuitos são escolhidos para avaliação por simulação com o *software* LTspice, a fim de avaliar suas capacidades de acionar dispositivos de vários fabricantes diferentes. No final do trabalho, são apresentados os resultados experimentais de um inversor meia-ponte, utilizando a placa de desenvolvimento da GaN Systems, a GS66508B-EVBDB1 *Daughter Board*, que possui um braço de transistores de GaN com o *gate driver* e a GS665MB-EVB, com vários circuitos auxiliares para teste de topologias de meia-ponte.

Palavras-chave: Nitreto de Gálio (GaN). Circuito *Gate Driver*.. GaN Systems. Inversor meia-ponte.

ABSTRACT

This term paper seeks to study new semiconductor technologies, called wide bandgap semiconductor, which promises to revolutionize power electronics' market, with special attention to Gallium Nitride (GaN). For that, the structure of this transistor is studied, as well as its' main driving circuits, called gate drivers. Three circuits are chosen for evaluation by simulations with the software LTspice, in order to evaluate its' capabilities to drive devices from different companies. In the end, experimental results of a half-bridge inverter are shown, assembled with GaN Systems' evaluation boards, the GS66508B-EVBDB1 Daughter Board, which consists of a phase-leg of GaN transistors and its gate drivers, and the GS665MB-EVB Mother Board, with auxiliary circuits for half-bridge topologies.

Keywords: Gallium Nitride (GaN). Gate Driver Circuit. GaN Systems. Half-bridge Inverter.

LISTA DE ILUSTRAÇÕES

Figura 1 – Níveis de energia.	18
Figura 2 – Níveis de energia ocupados nos materiais.....	19
Figura 3 – Níveis de energia no semicondutor.	20
Figura 4 – Estrutura cristalina do silício.....	20
Figura 5 – Representação das cargas elétricas nas bandas de energia do silício. ...	21
Figura 6 – Estrutura do silício tipo <i>n</i> (esquerda) e tipo <i>p</i> (direita).	22
Figura 7 – Comparação da concentração de portadores intrínsecos em função da temperatura.	25
Figura 8 – Estrutura cristalina do GaN.	27
Figura 9 – Representação da junção PN.	30
Figura 10 – Simbologia do componente diodo.	30
Figura 11 – Diagrama esquemático do MOSFET.....	32
Figura 12 – Diagrama detalhado da estrutura do MOSFET.	32
Figura 13 – Curvas de corrente de <i>drain</i> por tensão <i>drain-source</i> no MOSFET.	33
Figura 14 – Simbologia do componente MOSFET.	34
Figura 15 – Simbologia do componente IGBT.....	35
Figura 16 – Diagrama detalhado da estrutura do IGBT.....	35
Figura 17 – Limite teórico dos materiais semicondutores.	37
Figura 18 – Comparação de propriedades dos semicondutores.....	38
Figura 19 – Comparações entre transistores.	39
Figura 20 – Diagrama da região 2DEG.	42
Figura 21 – Estrutura do transistor GaN tipo depleção.	43
Figura 22 – Modelo do transistor de GaN tipo <i>cascode</i>	44
Figura 23 – Modelo do GaN HEMT <i>Cascode</i> com componentes parasitas	45
Figura 24 – Estrutura do GaN <i>Recessed Gate</i>	46
Figura 25 – Curvas de característica para o transistor GaN de intensificação.....	47
Figura 26 – Estrutura do transistor GaN com tratamento de plasma.	48
Figura 27 – Estrutura do transistor GaN com injeção de <i>gate</i>	48
Figura 28 – Curva de tensão de <i>threshold</i> em função da concentração de pGaN. ...	49
Figura 29 – a) Curvas de corrente <i>drain</i> em função da tensão <i>drain-source</i> ; b) Curva de corrente no <i>drain</i> em função da tensão <i>drain-source</i> com o dispositivo em bloqueio.	50

Figura 30 – Efeito da recuperação reversa no dispositivo GaN GIT.	51
Figura 31 – Comportamento da resistência do transistor de GaN em comparação com o transistor de SiC.	52
Figura 32 – Diagrama esquemático de um <i>Gate Driver</i> genérico.....	59
Figura 33 – Curvas de corrente e tensão no acionamento de um transistor.	59
Figura 34 – <i>Gate Driver</i> com <i>Totem-Pole</i>	60
Figura 35 – <i>Gate Driver</i> com <i>Totem-Pole</i> modificado.	61
Figura 36 – <i>Gate Driver</i> não isolado com funções de proteção e tensão negativa. ..	61
Figura 37 – <i>Gate Driver</i> com transformador de pulso.	62
Figura 38 – Circuito integrado do optoacoplador HCNW3120.....	62
Figura 39 – Circuito integrado UCC21220.	63
Figura 40 – Processo de entrada em condução do transistor de GaN em configuração meia-ponte.....	64
Figura 41 – Comparação de perdas <i>gate driver</i> em transistor de Si e GaN para diferentes frequências de chaveamento.....	66
Figura 42 – Comportamento da corrente no <i>gate</i> do dispositivo da Infineon.	70
Figura 43 – Gráfico da resistência de condução do dispositivo da Infineon.....	71
Figura 44 – Modelo do dispositivo de GaN da Infineon.....	71
Figura 45 – Curvas de saída características do dispositivo IGOT60R070D1 da Infineon em: a) $T_j = 25\text{ }^\circ\text{C}$, b) $T_j = 125\text{ }^\circ\text{C}$	72
Figura 46 – Circuito <i>gate driver</i> RC.....	72
Figura 47 – Modelos dos estados de acionamento do dispositivo de GaN.....	74
Figura 48 – <i>Loops</i> de corrente em um circuito <i>gate driver</i>	78
Figura 49 – Exemplo de conexão para um dispositivo da GaN Systems.	78
Figura 50 – Exemplo de soldagem de dispositivo da EPC com a utilização de vias para cancelamento de fluxo magnético na PCB.....	79
Figura 51 – Exemplo de <i>design</i> do <i>layout</i> de <i>power loop</i> em dispositivos da EPC. a) Design lateral, b) Design vertical.....	80
Figura 52 – Exemplo de <i>layout</i> para circuito <i>gate driver</i> para dispositivos do tipo <i>top-side cooling</i> da GaN Systems. a) vista superior, b) vista lateral.....	81
Figura 53 – Comparação de encapsulamento (tamanho fora de escala) entre transistores de GaN dos fabricantes: a) GaN Systems e b) EPC.	81
Figura 54 – Circuito <i>Gate Driver</i> isolado com tensão negativa (EZDrive).	83

Figura 55 – Circuito EZDrive da GaN Systems.	84
Figura 56 – Simulação do EZDrive.....	85
Figura 57 – Resultados da simulação do circuito EZDrive. a) Para o transistor da GaN Systems: tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde). b) Para o transistor da EPC: tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde).....	86
Figura 58 – Formas de onda no transistor da GaN Systems com variação da razão cíclica com circuito EZDrive, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde). a) $D = 0,25$; b) $D = 0,50$; c) $D = 0,75$; d) $D = 1,00$	87
Figura 59 – Formas de onda no transistor da EPC com variação da razão cíclica com circuito EZDrive, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde). a) $D = 0,25$; b) $D = 0,50$; c) $D = 0,75$; d) $D = 1,00$	88
Figura 60 – Formas de onda no transistor da GaN Systems com variação da razão cíclica entre 0 e 0,1 com circuito EZDrive, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde). a) $d = 0,01$; b) $d = 0,04$; c) $d = 0,08$	89
Figura 61 – Formas de onda no transistor da EPC com variação da razão cíclica entre 0 e 0,1 com circuito EZDrive, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde). a) $d = 0,01$; b) $d = 0,04$; c) $d = 0,08$	90
Figura 62 – Formas de onda no transistor da GaN Systems com variação da frequência no circuito EZDrive, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde). a) 500 kHz, b) 1 MHz, c) 2 MHz, d) 5 MHz.	91
Figura 63 – Formas de onda no transistor da EPC com variação da frequência no circuito EZDrive, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde). a) 500 kHz, b) 1 MHz, c) 2 MHz, d) 5 MHz.	92
Figura 64 – Circuito <i>Gate Driver 2</i>	93
Figura 65 – Implementação do circuito <i>gate driver 2</i> no LTspice.	94

Figura 66 – Resultado da simulação de teste do circuito <i>gate driver 2</i> . a) Tensão V_{gs} do transistor de GaN (azul), b) Tensão V_{ds} (azul) e corrente ID (vermelho) do transistor de GaN.	95
Figura 67 – Formas de onda com variação da razão cíclica no circuito <i>gate driver 2</i> , com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente ID (verde). a) $d = 0,25$; b) $d = 0,50$; c) $d = 0,75$; d) $d = 1,00$	96
Figura 68 – Formas de onda no transistor da GaN Systems com variação de frequência no circuito <i>gate driver 2</i> , com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente ID (verde). a) 100 kHz, b) 500 kHz, c) 1 MHz, d) 2 MHz.	98
Figura 69 – Circuito Gate Driver 3.....	99
Figura 70 – Circuito <i>gate driver 3</i> para simulação.....	102
Figura 71 – Resultados de simulação do circuito <i>gate driver 3</i> . a) Tensão V_{gs} do transistor de GaN (azul) a) Corrente ID do transistor de GaN (vermelho) e tensão V_{ds} (verde). c) Tensão medida para detectar curto-circuito (rosa) e tensão de referência (azul claro). d) Sinal de falta de curto-circuito (vermelho escuro).	103
Figura 72 – Resultados da simulação do circuito <i>gate driver 3</i> com detalhes no momento do curto-circuito. a) Tensão V_{gs} do transistor de GaN (azul) a) Corrente ID do transistor de GaN (vermelho) e tensão V_{ds} (verde). c) Tensão medida para detectar curto-circuito (rosa) e tensão de referência (azul claro). d) Sinal de falta de curto-circuito (vermelho escuro).	104
Figura 73 – Formas de onda no circuito <i>gate driver 3</i> com variação da razão cíclica, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente ID (verde). a) $d = 0,25$; b) $d = 0,50$; c) $d = 0,75$; d) $d = 1,00$	106
Figura 74 – Formas de onda do circuito <i>gate driver 3</i> com variação de frequência, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente ID (verde). a) 100 kHz, b) 500 kHz, c) 1 MHz, d) 2 MHz.	107
Figura 75 – Placa de desenvolvimento <i>daughter board</i> GS66508B-EVBDB1 da GaN Systems.	111
Figura 76 – Diagrama esquemático do circuito <i>gate driver</i> do transistor <i>high side</i> da placa GS66508B-EVBDB1.....	111

Figura 77 – Placa de desenvolvimento <i>mother board</i> GS66508B-EVBDB1 (colorido) da GaN Systems, com a <i>daughter board</i> (preto e branco) instalada.....	112
Figura 78 – Topologia do inversor de meia ponte.	114
Figura 79 – Técnica de PWM Senoidal. a) Sinal da portadora com forma de onda triangular (laranja) e sinal modulante com forma de onda senoidal (azul). b) Tensão de saída do inversor (vermelho) e componente fundamental da tensão de saída do inversor (preto).	115
Figura 80 – Diagrama esquemático da simulação da placa de desenvolvimento com o inversor.....	120
Figura 81 – Formas de ondas na escala de 60 Hz, obtidas na simulação. a) Tensão na carga (azul) e corrente na carga (vermelho), b) Tensão V_{gs} do transistor Q1 (verde) e do transistor Q2 (azul claro).	121
Figura 82 – Detalhe da forma de onda com pico de tensão negativa em V_{gs} . a) Tensão V_{gs} do transistor Q1 (verde claro) e do transistor Q2 (azul claro), b) Corrente I_D do transistor Q1 (verde) e do transistor Q2 (rosa).....	122
Figura 83 – Sobrecorrente nos transistores dos resultados da simulação. a) Tensão V_{gs} do transistor Q1 (verde claro) e do transistor Q2 (azul claro), b) Corrente I_D do transistor Q1 (verde) e do transistor Q2 (rosa), c) Tensão na carga (azul) e corrente na carga (vermelho).	123
Figura 84 – Detalhe da forma de onda da sobrecorrente nos transistores dos resultados da simulação. a) Tensão V_{gs} do transistor Q1 (verde claro) e do transistor Q2 (azul claro), b) Corrente I_D do transistor Q1 (verde) e do transistor Q2 (rosa).	124
Figura 85 – Formas de ondas das tensões e correntes de acionamento dos transistores. a) Tensão V_{gs} no transistor Q1 (verde claro) e corrente I_G no transistor Q1 (azul), b) Tensão V_{gs} no transistor Q2 (azul claro) e corrente I_G no transistor Q2 (vermelho).	125
Figura 86 – Formas de ondas das tensões e correntes de acionamento dos transistores com pico de tensão negativa em V_{gs} . a) Tensão V_{gs} no transistor Q1 (verde claro) e corrente I_G no transistor Q1 (azul), b)	

Tensão V_{gs} no transistor Q2 (azul claro) e corrente I_G no transistor Q2 (vermelho).	126
Figura 87 – Formas de ondas dos esforços de tensão e corrente nos transistores. a) Tensão V_{ds} no transistor Q1 (azul) e corrente I_D no transistor Q1 (verde), b) Tensão V_{ds} no transistor Q2 (vermelho) e corrente I_D no transistor Q2 (rosa).	127
Figura 88 – Placa do retificador monofásico com filtro capacitivo.	128
Figura 89 – Placa de circuito comparador para sinal PWM.	129
Figura 90 – Diagrama esquemático do circuito comparador.	129
Figura 91 – Diagrama esquemático do protótipo do inversor de meia-ponte.	130
Figura 92 – Protótipo do inversor de meia-ponte montado em bancada.	130
Figura 93 – Placa de desenvolvimento da GaN Systems em detalhes	131
Figura 94 – Tensão V_{ds} do transistor Q1 (azul) em detalhes e tensão de saída (amarelo) com 100 V na tensão de entrada.	132
Figura 95 – Tensão de saída (amarelo) em detalhes e tensão V_{ds} do transistor Q1 (azul) com 100 V na tensão de entrada.	132
Figura 96 – Tensão V_{ds} do transistor Q1 (azul) em detalhes e tensão de saída (amarelo) medida com 200 V na tensão de entrada.	133
Figura 97 – Tensão de saída (amarelo) em detalhes e tensão V_{ds} do transistor Q1 (azul) medida com 200 V na tensão de entrada.	133
Figura 98 – Tensão V_{ds} do transistor Q1 (azul) em detalhes na entrada em condução e tensão de saída (amarelo) com 200 V na tensão de entrada.	134
Figura 99 – Tensão V_{ds} do transistor Q1 (azul) em detalhes no bloqueio e tensão de saída (amarelo) com 200 V na tensão de entrada.	134
Figura 100 – Tensão V_{ds} do transistor Q1 (azul) em detalhes e tensão de saída (amarelo) medida com 300 V na tensão de entrada.	135
Figura 101 – Tensão de saída (amarelo) em detalhes e tensão V_{ds} do transistor Q1 (azul) medida com 300 V na tensão de entrada.	135
Figura 102 – Tensão V_{ds} do transistor Q1 (azul) na entrada em condução e tensão de saída (amarelo) com 300 V na tensão de entrada.	136
Figura 103 – Tensão V_{ds} do transistor Q1 (azul) no bloqueio e tensão de saída (amarelo) com 300 V na tensão de entrada.	136

LISTA DE TABELAS

Tabela 1 – Materiais semicondutores.....	22
Tabela 2 – Propriedades do Si e do SiC.	26
Tabela 3 – Comparação de propriedades entre Si, Sic e GaN.....	29
Tabela 4 – Transistores GaN do tipo intensificação.	54
Tabela 5 – Transistores GaN do tipo <i>cascode</i>	54
Tabela 6 – Dispositivos GaN com <i>gate driver</i> integrado.	55
Tabela 7 – Dispositivos GaN em meia-ponte.	55
Tabela 8 – Dispositivos GaN em meia-ponte com <i>gate driver</i> integrado.....	55
Tabela 9 – Resultados da variação da razão cíclica no circuito <i>gate driver 2</i>	97
Tabela 10 – Resumo dos circuitos <i>gate driver</i> estudados.	108
Tabela 11 – Parâmetros do transistor GS66508B da GaN Systems.....	113
Tabela 12 – Especificações iniciais para projeto do inversor de meia ponte.	117
Tabela 13 – Comparação entre os parâmetros do projeto inicial e do projeto modificado do inversor de meia ponte.....	118
Tabela 14 – Resultados obtidos da simulação da placa de desenvolvimento com o inversor.	122
Tabela 15 – Equipamentos utilizados na montagem e teste do protótipo.	128
Tabela 16 – Tempos de subida e descida da tensão V_{ds} medidos com o osciloscópio no transistor Q1.	137

ABREVIações

BJT – *Bipolar Junction Transistor* – Transistor Bipolar de Junção

JFET – *Junction Field-Effect Transistor* – Transistor de Junção de Efeito de Campo

MOSFET – *Metal Oxide-Semiconductor Field Effect Transistor* – Transistor de Efeito de Campo Metal Óxido Semicondutor

IGBT – *Insulated Gate Bipolar Transistor* – Transistor Bipolar de Porta Isolada

SiC – Carbetto de Silício

GaN – Nitreto de Gálio

PCB – *Printed Circuit Board* – Placa de Circuito Impressa

UPS – *Uninterruptible Power Supply* – Fonte de Alimentação Ininterrupta

EMI – *Electromagnetic Interference* – Interferência Eletromagnética

CI – Circuito Integrado

UVLO – *Under Voltage Lockout* – Travamento por Subtensão

CMTI – *Common Mode Transient Immunity* – Imunidade à Transientes de Modo Comum

SS – *Source Sense* – Sensor da Fonte (tradução livre)

CC – Corrente Contínua

CA – Corrente Alternada

LISTA DE SÍMBOLOS

E_g – Energia de *gap* (salto)

C_{gs} – Capacitância *gate-source* (porta-fonte)

C_{gd} – Capacitância *gate-drain* (porta-dreno)

C_{ds} – Capacitância *drain-source* (dreno-fonte)

Q_G – Carga total de *gate* (porta)

V_{th} - Tensão de *threshold* (limiar)

V_{gs} - Tensão *gate-source* (porta-fonte)

V_F – Tensão *forward* (polarização direta)

I_D – Corrente de *drain* (dreno)

I_G – Corrente de *gate* (porta)

$V_{gd(th)}$ – Tensão *gate-drain* de *threshold*

V_{sd} – Tensão *source-drain*

$R_{ds(on)}$ – Resistência de condução do canal *drain-source*

$V_{ds(off)}$ – Tensão de bloqueio

C_{iss} – Capacitância de entrada

C_{oss} – Capacitância de saída

C_{rss} – Capacitância de transferência reversa

$T_{d(on)}$ – Tempo de atraso para condução

T_r – Tempo de subida

$T_{d(off)}$ – Tempo de atraso para bloqueio

T_f – Tempo de descida

R_g – Resistência de *gate*

P_{driver} – Potência dissipada no circuito de *gate driver*

f_s – Frequência de chaveamento (ou comutação)

I_{ss} – Corrente de regime permanente

R_{int} – Resistência interna do *gate*

R_{dio} – Resistência interna do diodo entre *gate* e *source*

V_{DD} – Tensão de saída do *driver*

V_{RMS} – Tensão eficaz

C_{ez} – Capacitor do circuito EZDrive

R_{off} – Resistor de *gate* para entrada em bloqueio

T_{neg} – Período de tensão negativa

$V_{th,Q2}$ – Tensão de *threshold* do transistor Q2

V_z – Tensão do diodo zener

V_n – Tensão de pico negativa

V_{sense} – Tensão medida

$V_{ds,ON}$ – Tensão *drain-source* quando o transistor está em condução

$V_{g,ON}$ – Tensão do *driver* para colocar o transistor em condução

V_{ref} – Tensão de referência

L_{CS} – Indutância de *common-source* (fonte-comum)

v_{stray} – Tensão em componente parasita

L_{stray} – Indutância parasita

V_{o1} – Componente fundamental da tensão de saída

m_a – Índice de modulação de amplitude

V_{tri} – Amplitude da tensão de sinal triangular

m_f – Índice de modulação de frequência

f - Frequência

ω_n – Frequência angular natural

V_{in} – Tensão de entrada

L_f – Indutância do filtro

C_f – Capacitância do filtro

ξ – Coeficiente de amortecimento

R_o – Resistência de saída

P_o – Potência de saída

SUMÁRIO

1	INTRODUÇÃO	14
1.1	OBJETIVOS GERAIS.....	15
1.2	OBJETIVOS ESPECÍFICOS	15
1.3	ESTRUTURA DO TRABALHO.....	16
2	FUNDAMENTAÇÃO TEÓRICA	17
2.1	SEMICONDUCTORES	17
2.1.1	Semicondutores Convencionais	19
2.1.2	Semicondutores Wide Bandgap	22
2.1.2.1	<i>Carbeto de Silício</i>	23
2.1.2.2	<i>Nitreto de Gálio</i>	26
2.1.3	Transistores	29
2.1.3.1	<i>Junção PN</i>	30
2.1.3.2	<i>MOSFET</i>	31
2.1.3.3	<i>IGBT</i>	35
2.1.3.4	<i>Transistores Semicondutores Wide Bandgap</i>	36
2.2	TRANSISTOR DE GAN.....	41
2.2.1	Região 2DEG	42
2.2.2	Tipo depleção	43
2.2.3	Tipo cascode	43
2.2.4	Tipo intensificação	45
2.2.4.1	<i>Recessed Gate e Insulated Recessed Gate</i>	46
2.2.4.2	<i>Tratamento de Plasma</i>	47
2.2.4.3	<i>Injeção de Gate</i>	48
2.2.5	Dispositivos Comerciais Disponíveis Atualmente	53
2.3	CIRCUITO <i>GATE DRIVER</i>	55
2.3.1	Parâmetros e conceitos fundamentais para Gate Drivers	56
2.3.2	Acionamento de um transistor	58
2.3.3	Exemplos de circuitos Gate Drivers convencionais	60
2.3.4	Gate Driver para Transistor de GaN de Intensificação	64
2.3.4.1	<i>Acionamento do transistor de GaN</i>	64
2.3.4.2	<i>Perdas no transistor de GaN</i>	65

2.3.4.3	<i>Características gerais para projeto do gate driver</i>	67
2.3.4.4	<i>Escolha de V_{gs} para entrada em condução</i>	68
2.3.4.5	<i>Corrente de gate para diferentes estruturas de transistor de GaN</i>	69
2.3.4.6	<i>Modelo de condução reversa</i>	73
2.3.4.7	<i>Cross Conduction</i>	74
2.3.4.8	<i>Proteção contra sobrecorrente</i>	75
2.3.4.9	<i>Outros circuitos gate drivers propostos para transistores de GaN</i>	76
2.4	PCB LAYOUT EM CIRCUITO GATE DRIVER COM TRANSISTOR DE GAN	77
3	CIRCUITOS GATE DRIVERS ESCOLHIDOS PARA ANÁLISE	82
3.1	CIRCUITO GATE DRIVER 1	82
3.2	CIRCUITO GATE DRIVER 2	92
3.3	CIRCUITO GATE DRIVER 3	98
3.4	DISCUSSÃO DOS RESULTADOS	107
4	TESTES DE CIRCUITO GATE DRIVER DE PLACA DE DESENVOLVIMENTO	110
4.1	INVERSOR EM MEIA-PONTE	114
4.2	PROJETO DO INVERSOR DE MEIA PONTE	116
4.3	SIMULAÇÃO DO INVERSOR MEIA-PONTE PROJETADO	119
4.3.1	Resultados da simulação	121
4.4	IMPLEMENTAÇÃO DO PROTÓTIPO DO CONVERSOR COM A PLACA DE DESENVOLVIMENTO	127
4.4.1	Resultados experimentais	131
5	CONCLUSÃO	138
	REFERÊNCIAS	140
	ANEXO A – ESQUEMÁTICO DA DAUGHTER BOARD GS66508B-EVBDB1	148
	ANEXO B – ESQUEMÁTICO MOTHERBOARD GS665MB-EVB	149

1 INTRODUÇÃO

Os materiais semicondutores são de extrema importância na eletrônica, utilizados desde em componentes simples, como o diodo, até componentes extremamente complexos, como circuitos integrados e processadores. Por muitos anos, o silício tem sido o principal semicondutor utilizado nesses componentes (RABKOWSKI; PEFTITSIS; NEE, 2014).

Com o passar do tempo, a tecnologia utilizada para fabricação de componentes com silício tem sido aprimorada. Entretanto, cada vez mais este avanço tem sido mais lento e custoso, de modo que os limites teóricos para este material estão cada vez mais perto de serem atingidos, principalmente nos transistores de potência (ALEX LIDOW, 2021).

Cada vez mais a eficiência energética de produtos eletroeletrônicos é mais importante, devido ao crescente consumo de energia elétrica e preocupação com questões ambientais. Diante disso, é necessário realizar estudos sobre outros tipos de transistores disponíveis no mercado, que prometem trazer mais eficiência para os conversores estáticos.

Visando substituir o silício e produzir componentes com melhor desempenho, os semicondutores *wide bandgap* vêm sendo desenvolvidos, em especial o Carbeto de Silício (SiC) e o Nitreto de Gálio (GaN). Apesar de ainda serem relativamente caros, já há transistores disponíveis no mercado fabricados com esses materiais, que prometem revolucionar os índices de eficiência dos produtos eletrônicos. Porém, a implementação destes novos dispositivos nos conversores também traz desafios de projeto (JONES; WANG; COSTINETT, 2016).

Os transistores quando utilizados em conversores estáticos atuam como interruptores, onde podem ser submetidos à altas tensões e correntes elétricas, como por exemplo, no acionamento de motores elétricos (industrial ou tração) e inversores para utilização de fontes renováveis de energia elétrica (TEXAS INSTRUMENTS, 2019). Além disso, para fazer o acionamento do transistor é preciso fornecer uma energia relativamente alta.

Entretanto, os circuitos responsáveis pela geração dos sinais de comando para o acionamento são de baixa potência. Geralmente feito com circuitos digitais, que utilizam dispositivos microcontroladores, FPGAs, processadores de sinais digitais ou até mesmo circuitos integrados para essa aplicação específica (TEXAS INSTRUMENTS, 2019). Desse modo, deve haver um circuito de interface entre a geração do sinal de comando e o transistor, denominado de *gate driver*.

Além do circuito *gate driver* fornecer a potência necessária para acionar o transistor, ele serve para proteger tanto o transistor quanto os circuitos de comando de baixa potência que são extremamente sensíveis, de modo que qualquer pico de tensão ou corrente proveniente do conversor pode danificar estes circuitos. Essa proteção pode ser feita tanto com uma isolação (galvânica, óptica etc.), quanto com outros circuitos específicos para proteção, como o de sobrecorrente, sendo que a implementação dos dois dá maior confiabilidade para o conversor (TEXAS INSTRUMENTS, 2019).

1.1 OBJETIVOS GERAIS

O objetivo geral deste trabalho é obter conhecimento das características de acionamento do transistor de GaN, bem como estudar circuitos para esse fim. Também é desejado descobrir se é possível que um único circuito *gate driver* consiga acionar dispositivos de vários fabricantes diferentes. Para isso, também é feito um breve estudo sobre os semicondutores *wide bandgap*, a estrutura do transistor de GaN e as vantagens desses dispositivos para a eletrônica de potência.

Ainda, é feita uma pesquisa dos dispositivos de GaN de intensificação disponíveis comercialmente, bem como de circuitos *gate drivers* recomendados pelos fabricantes ou propostos em artigos científicos.

1.2 OBJETIVOS ESPECÍFICOS

Os objetivos específicos deste trabalho são:

- Avaliar por meio de simulações de três circuitos *gate drivers* para transistor de GaN;

- Testar experimentalmente em bancada de placa de desenvolvimento da fabricante GaN Systems, com um braço de transistores e circuitos de *gate drivers*, aplicados na topologia do inversor de meia-ponte.

1.3 ESTRUTURA DO TRABALHO

No início do capítulo dois, é feita uma revisão sobre os semicondutores de silício, seguindo com a revisão dos semicondutores *wide bandgap* SiC e GaN. Depois, é apresentada uma revisão sobre as principais estruturas de componentes semicondutores da eletrônica de potência: junção *pn*, MOSFET e IGBT, falando um pouco também sobre as aplicações e vantagens dos transistores de *wide bandgap* e seus fabricantes.

Ainda no capítulo 2, é estudado a estrutura do transistor de GaN, com um panorama sobre os dispositivos comerciais disponíveis atualmente. Por fim, é feita uma revisão sobre os principais conceitos de um circuito *gate driver*, seguindo com as características de circuitos *gate drivers* para transistores de GaN e finalizando com algumas recomendações para PCBs com transistores de GaN.

No capítulo 3, são feitas análises com simulações de três circuitos *gate drivers* para transistor de GaN que acione apenas uma chave. Para a configuração meia-ponte, circuitos que utilizam de chaves em paralelo, chaves em série, entre outros, não são do objetivo de estudo deste trabalho.¹

No capítulo 4, são apresentados os resultados dos testes em bancada da GS66508B-EVBDB1, uma placa de desenvolvimento com transistores de GaN e circuitos *gate drivers*. O capítulo é iniciado com uma breve introdução ao funcionamento do inversor meia-ponte, topologia escolhida para teste da placa de desenvolvimento, seguindo com o projeto do inversor meia-ponte, simulação do circuito *gate driver* com o conversor, montagem em bancada do protótipo e resultados experimentais.

Por fim, o capítulo 5 apresenta as considerações finais do trabalho como um todo.

¹ Muitos materiais analisam transistores de GaN em meia-ponte, por isso nas também é comentado um pouco sobre características do acionamento de transistores em configuração meia-ponte, de modo que possa servir de auxílio para projetos futuros.

2 FUNDAMENTAÇÃO TEÓRICA

Nesta seção, é realizada uma revisão de conceitos importantes que devem ser conhecidos para que se possa fazer um bom projeto de um circuito *gate driver*. Visto que o uso da tecnologia de transistores baseada no semicondutor GaN é relativamente recente (EVERTS et al., 2010), é feita uma revisão geral sobre os materiais semicondutores, tanto os convencionais de silício quanto os de *wide bandgap* de SiC e GaN. Depois é apresentada uma revisão sobre o funcionamento dos transistores, as características e diferenças que cada material semicondutor tem nos transistores.

Feita uma revisão geral sobre os semicondutores e os transistores, muda-se o foco para o transistor baseado em GaN e seus diferentes tipos: transistor de depleção, transistor *cascode* e transistor de intensificação. Além da caracterização dos tipos de transistores GaN, são feitas comparações entre dispositivos disponíveis no mercado a fim de ter uma maior compreensão sobre os requisitos que o circuito de *gate driver* deve atender.

Por fim, é tratado da importância e do funcionamento de um circuito *gate driver*, seus principais componentes e como funciona o acionamento de um transistor.

As seções 2.1 e 2.1.1 foram escritas com base no material visto em (HALLIDAY, 2016).

2.1 SEMICONDUTORES

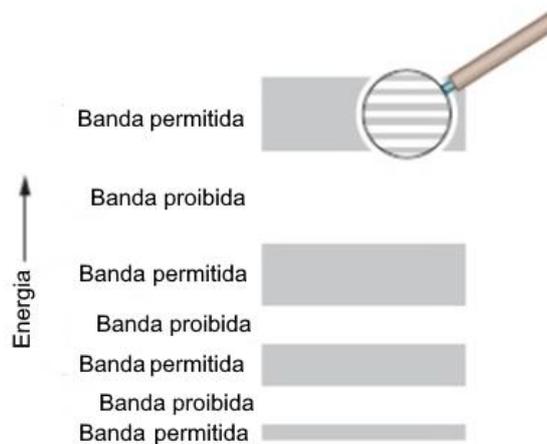
Os materiais utilizados podem ser divididos em três principais categorias conforme sua condutividade: condutor, semicondutor e isolante. O condutor é um material que possui baixa resistividade elétrica e é utilizado para conduzir corrente elétrica, geralmente são utilizados elementos metais como o cobre, ouro, alumínio, entre outros. O isolante é um material com alta resistividade, impedindo a passagem de corrente elétrica, como: o vidro e a borracha, por exemplo. O semicondutor, como seu nome sugere, é um tipo de material que fica no meio termo entre condutor e isolante, podendo ter uma alta ou baixa resistividade, dependendo de alguns fatores.

Em um átomo, os elétrons estão distribuídos em uma nuvem de órbitas ao redor do núcleo, sendo que esta área é dividida em várias camadas. Alguns elementos,

como os metais e os semicondutores, formam estruturas cristalinas. Em um cristal, cada átomo do elemento está ligado somente a outros átomos do elemento.

Costuma-se referir à essas camadas de elétrons como bandas de energia. Entre uma banda de energia e outra, há uma banda proibida, onde nenhum elétron pode ocupar. A Figura 1 demonstra um diagrama das bandas de energia de um sólido cristalino, em que quanto maior o nível da banda (mais longe do núcleo), maior é a energia potencial do elétron.

Figura 1 – Níveis de energia.



Fonte: Retirado de (HALLIDAY, 2016).

Em um átomo, a última banda de energia que tem elétrons é chamada de banda de valência (ou camada de valência), e a banda logo acima dela é chamada de banda de condução (ou camada de condução), que geralmente está vazia em condições normais de temperatura e pressão. Os elétrons que se encontram na banda de valência são menos atraídos pelo núcleo, portanto, requerem menos energia para ir a banda de condução.

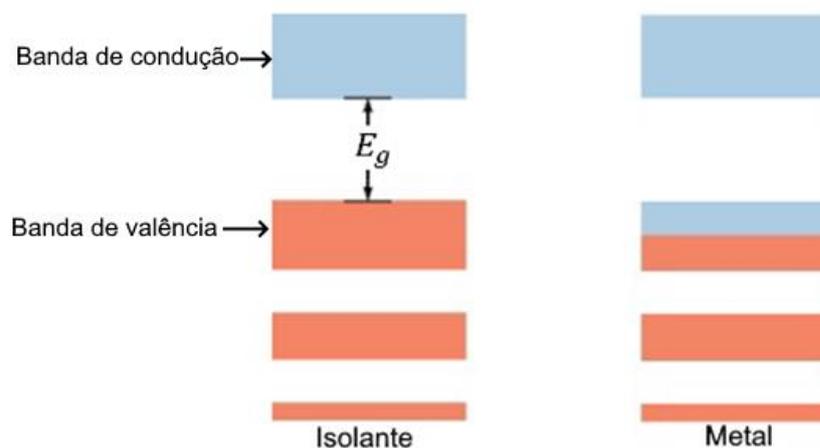
A corrente elétrica nos materiais se deve aos elétrons que estão na banda de condução, pois podem se mover com facilidade pelo cristal, devido à fraca influência do núcleo. É chamado de energia de *gap* E_g a quantidade de energia para que um elétron salte da banda de valência para a banda de condução, que é dado na unidade de eV (elétron-Volt).

Os condutores metálicos, como por exemplo o cobre, possuem uma configuração em que sua última banda de energia possui apenas um elétron. Esta camada suportaria mais um elétron e, portanto, existem níveis disponíveis dentro da

banda de valência para o elétron se mover. As bandas de energia inferiores à banda de valência do cobre estão todas ocupadas por elétrons, por isso, não há condução de corrente elétrica por este meio.

Nos isolantes, além da banda de valência estar completamente ocupada, a energia de *gap* é muito mais alta do que nos materiais condutores e semicondutores, por isso o material isolante não conduz corrente elétrica normalmente. A Figura 2 ilustra a ocupação de elétrons nas bandas de energia dos materiais condutores e isolantes.

Figura 2 – Níveis de energia ocupados nos materiais.



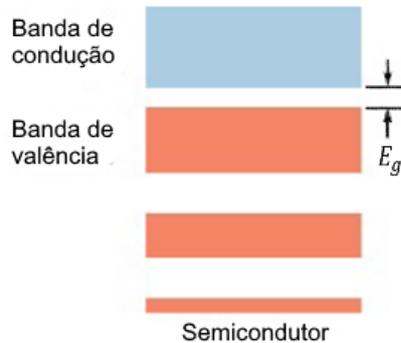
Fonte: Retirado de (HALLIDAY, 2016).

A seguir são apresentadas as características dos dois tipos de semicondutores estudados neste trabalho, com base nestas explicações dadas.

2.1.1 Semicondutores Convencionais

Por semicondutores convencionais, entenda-se que está sendo comentado dos materiais mais utilizados na indústria até então. Esses semicondutores possuem bandas de energia parecida com a de um isolante, onde todas as bandas estão ocupadas por elétrons. Entretanto, a energia de *gap* E_g é muito menor nos semicondutores convencionais.

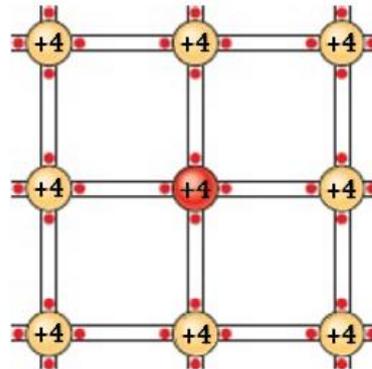
Figura 3 – Níveis de energia no semicondutor.



Fonte: Retirado de (HALLIDAY, 2016).

Os semicondutores clássicos são o Silício (Si) e o Germânio (Ge), porém, neste trabalho é tratado apenas do silício, pois o germânio não foi tão utilizado, devido a várias dificuldades de se utilizar componentes feitos com este elemento. Outro motivo para a adoção do silício como principal elemento semicondutor na indústria, foi sua abundância, pois o silício é um dos elementos mais fáceis de serem encontrados na crosta terrestre, apesar de ser necessário separá-lo de outras impurezas. A Figura 4 ilustra a estrutura cristalina do silício.

Figura 4 – Estrutura cristalina do silício.

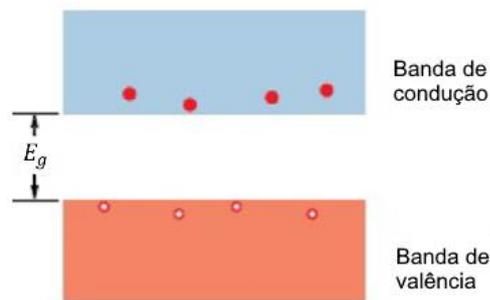


Fonte: Retirado de (HALLIDAY, 2016).

A energia de *gap* do silício é em torno de $E_g = 1,1 \text{ eV}$, que é relativamente baixa. Portanto, basta uma pequena força (ou diferença de potencial) para que os elétrons saltem da banda de valência para a banda de condução e se tornem elétrons livres. Na verdade, a temperatura ambiente é suficiente para fazer com que a agitação térmica do átomo arranque elétrons da banda de valência para a banda de condução.

Por isso, os semicondutores possuem “cargas positivas” em sua banda de valência, chamadas de lacunas. A ausência de carga negativa do elétron que saltou da banda de valência para a banda de condução, faz com que surja um buraco (lacuna) que é em sua essência uma carga positiva. Tanto os elétrons livres quanto as lacunas constituem a corrente elétrica no semicondutor. A Figura 5 mostra um esquemático das cargas nas bandas do semicondutor.

Figura 5 – Representação das cargas elétricas nas bandas de energia do silício.



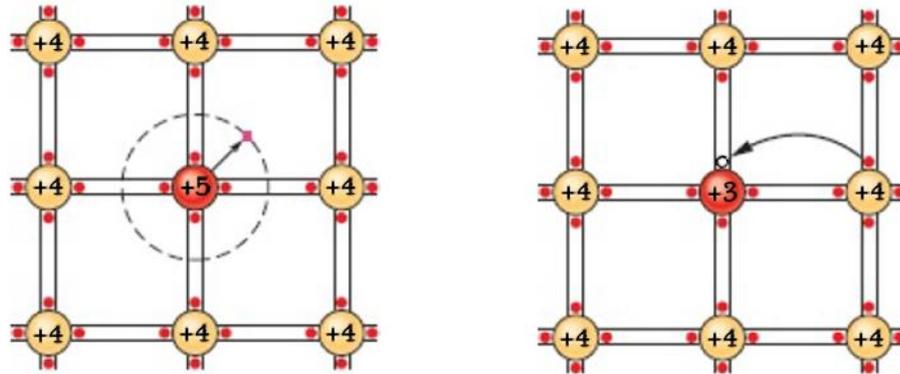
Fonte: Retirado de (HALLIDAY, 2016).

Um cristal de silício puro, ou seja, que possui apenas átomos de silício, é denominado de intrínseco. Entretanto, este semicondutor nesta forma não possui muita utilidade nas aplicações de engenharia, pois não possui uma condutividade tão boa quanto o cobre, por exemplo.

Para torná-los melhores, é feita a adição de impurezas, que são átomos de outros elementos específicos. Este processo é chamado de dopagem e um semicondutor dopado é classificado como extrínseco.

Há dois tipos de impurezas que são possíveis de se adicionar: átomos que doam elétrons e átomos que aceitam elétrons. O fósforo e o alumínio são exemplos de dopantes doadores e aceitadores, respectivamente. Ao adicionar um dopante doador, o cristal é classificado como tipo *n*. Ao adicionar um dopante aceitador, o cristal é classificado como tipo *p*.

Figura 6 – Estrutura do silício tipo *n* (esquerda) e tipo *p* (direita).



Fonte: Retirado de (HALLIDAY, 2016).

2.1.2 Semicondutores Wide Bandgap

Os semicondutores *wide bandgap* são materiais que, como sugere seu nome, possuem uma energia de *gap* maior em relação os semicondutores convencionais. Um semicondutor pode ser classificado desse tipo quando sua energia de *gap* é maior que 1,7 eV (JESKE, 2016). A Tabela 1 mostra alguns dos principais materiais semicondutores e suas respectivas E_g , sendo que os *wide bandgaps* estão destacados em verde.

Tabela 1 – Materiais semicondutores.

Materiais Semicondutores		
Material	Símbolo Químico	Energia de Bandgap (eV)
Germânio	Ge	0,7
Silício	Si	1,1
Arseneto de Gálio	GaAs	1,4
Carbeto de Silício	SiC	3,3
Óxido de Zinco	ZnO	3,4
Nitreto de Gálio	GaN	3,4
Diamante	C	5,5

Fonte: Adaptado de (WASHINGTON DC, 2013).

Neste trabalho, é tratado apenas do SiC e do GaN. Devido a sua energia de *gap* maior e outros fatores, os semicondutores *wide bandgap*, possuem propriedades elétricas com características bem mais interessantes para aplicações em semicondutores de potência.

Estes materiais já são conhecidos desde o século passado (OLIVEIRA, 2005), porém, havia muitas dificuldades em sua fabricação e ainda não se possuía um conhecimento profundo da estrutura desses materiais para aplica-os em dispositivos utilizados na eletrônica de potência.

Atualmente, muitas dessas dificuldades já foram superadas, devido a muitas pesquisas e desenvolvimentos que foram feitas ao longo do tempo (OLIVEIRA, 2005). Entretanto, esses materiais ainda apresentam um custo elevado quando comparados com dispositivos fabricados a base de silício. Apesar disso, acredita-se que o SiC e o GaN continuem ganhando espaço nos dispositivos semicondutores à medida que métodos de fabricação mais eficientes vão sendo dominados e, desse modo, diminuindo seu custo.

No comércio, já há vários dispositivos semicondutores fabricados com estes materiais e já estão sendo utilizados em várias aplicações, como em carros elétricos, *drivers* de motores em geral, carregadores de bateria, indústria aeroespacial e militar, conversores em redes CC e CA, fontes de energia renovável, alimentação de *data centers*, conversores de correção de fator de potência e outros (GAN SYSTEMS, 2022).

2.1.2.1 Carbetto de Silício

O Carbetto de Silício (SiC), raramente encontrado na natureza, é um material composto pelos elementos Silício e Carbono. Devido às suas propriedades térmicas, o processo de fabricação necessita de temperaturas muito elevadas, portanto, não é possível utilizar do mesmo método em que se cria cristais de Si. Apesar de que é possível construir mais *chips* por *wafers*² de SiC do que de GaN (MASOUD BEHESHTI, 2020), o processo para se criar *wafers* de SiC é mais caro e complicado.

² *Wafer* é uma massa com formato de disco bem fino, obtido a partir do processo de purificação do material semicondutor.

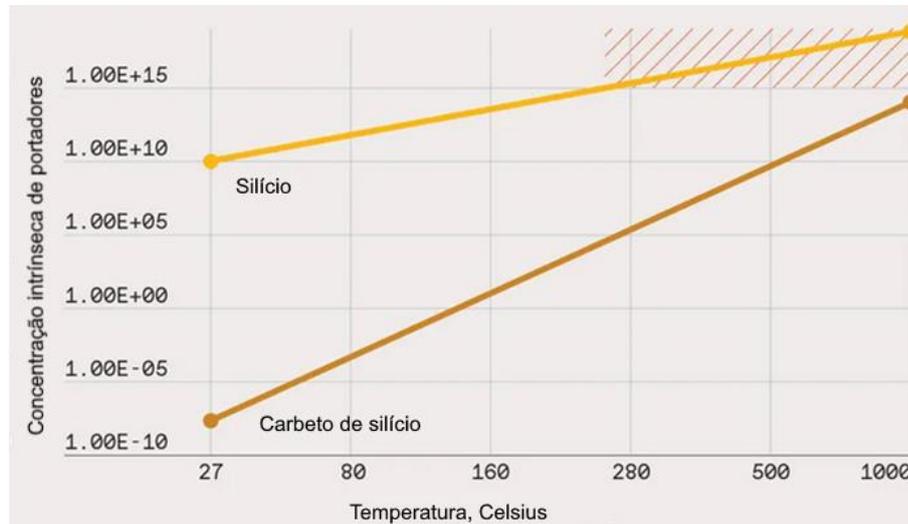
A produção em larga escala (relativamente falando) do SiC se deve ao químico Edward Goodrich Acheson, em 1895. A primeira vez que o material foi usado em um produto eletrônico comercial foi por Henry Harrison Chase Dunwoody, que inventou o detector de rádio com SiC. A partir do final da década de 1990, já haviam equipamentos e processos para se criar cristais de SiC bons o suficiente para se construir transistores (MANTOOTH; ZETTERLING; RUSU, 2021).

Este material possui uma característica de politipismo, ou seja, pode ser crescido em diversas estruturas cristalinas, que nesse caso são formados de 50% de átomos de Carbono (C) ligados covalentemente a 50% de átomos de Silício (Si). Há muitas estruturas cristalinas diferentes que podem ser formadas com o SiC e cada uma têm propriedades elétricas diferentes (OLIVEIRA, 2005).

Os principais tipos de SiC são: 3C-SiC, 4H-SiC e 6H-SiC. Uma descrição mais detalhada dessas estruturas envolve conceitos avançados de física do estado sólido, que está fora do escopo deste trabalho. Devido à maior mobilidade de elétrons do que o 6H-SiC e da energia de *gap* maior do que o 3C-SiC, o 4H-SiC é o mais utilizado para a construção de semicondutores de potência do que os outros dois tipos. Porém, a mobilidade de elétrons do 4H-SiC é mais baixa do que a do Si, devido a defeitos na estrutura do cristal localizados próximo a banda de condução (OLIVEIRA, 2005).

De acordo com (OLIVEIRA, 2005), a baixa concentração de portadores e a energia de *gap* maior do SiC garantem um desempenho superior ao Si quando submetido a altas temperaturas. Temperaturas maiores que 300°C fazem com que um dispositivo de Si, que tem uma concentração de portadores muito maior que do SiC, tenha muito mais portadores intrínsecos do que os portadores devido à dopagem. Desse modo, o dispositivo feito de Si não consegue mais entrar em um estado “desligado” em que não conduz corrente, o que não irá ocorrer com o dispositivo de SiC mesmo para temperaturas extremamente elevadas (MANTOOTH; ZETTERLING; RUSU, 2021). Devido às fortes ligações do silício com o carbono, também possui uma condutividade térmica e campo elétrico de ruptura maiores que o Si.

Figura 7 – Comparação da concentração de portadores intrínsecos em função da temperatura.



Fonte: Retirado de (MANTOOTH; ZETTERLING; RUSU, 2021).

A Tabela 2 mostra suas principais propriedades elétricas comparadas com a do silício. Como pode-se ver, todas as propriedades do 4H-SiC possuem valores muito maiores que as do Si, exceto a mobilidade de elétrons. Contudo, já há tratamentos para a fabricação de SiC que melhoram a mobilidade de elétrons, aumentando a performance de condução do semiconductor (OLIVEIRA, 2005). Isso reflete em componentes feitos de SiC muito mais interessantes, como é visto adiante. Além disso, o SiC pode ser termicamente oxidado para crescer filmes de SiO₂, uma vantagem para a construção de dispositivos tipo MOS. Porém, mesmo isso traz desafios na construção de dispositivos de SiC (OLIVEIRA, 2005).

Ainda, o dispositivo de SiC possui uma resistência de condução bem menor que um de Si, o que reduz as perdas no material. Entretanto, há desafios no projeto de circuitos devido à componentes parasitas que existem, tanto na PCB quanto no dispositivo semiconductor. (DAVIS, 2021).

Tabela 2 – Propriedades do Si e do SiC.

Propriedade	Definição	Si	SiC – 4H
E_g (eV)	Energia de Bandgap	1.12	3.26
E_{BR} (MV/cm)	Tensão de ruptura de campo crítico	0.3	3.0
V_s ($\times 10^7$ cm/s)	Velocidade de saturação	1.0	2.2
μ ($\text{cm}^2/\text{V}\cdot\text{s}$)	Mobilidade dos elétrons	1400	900
κ (W/cm \cdot K)	Condutividade térmica	1.3	3.7

Fonte: Retirado de (TEXAS INSTRUMENTS, 2019).

Os transistores de potência são o foco deste trabalho, porém, a utilização do SiC na eletrônica vai além disso. Por exemplo, há pesquisas sendo feitas para utilizar o SiC como material semiconductor de base na criação de circuitos integrados e circuitos de RF para serem embarcados em sondas que irão até a superfície de Vênus, onde a temperatura média da superfície é de 464°C e se torna inviável a utilização de circuitos à base de Si (MANTOOTH; ZETTERLING; RUSU, 2021).

2.1.2.2 Nitreto de Gálio

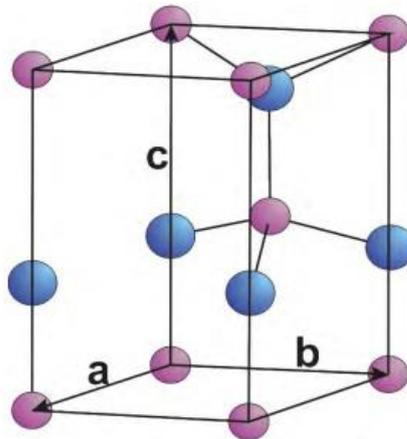
O Nitreto de Gálio (GaN) é um material semiconductor composto pelos elementos Gálio e Nitrogênio. Assim como o SiC, havia vários desafios de manufatura com o GaN antes que os dispositivos comerciais com GaN fossem possíveis.

A utilização de tecnologias com GaN é muito mais recente do que com o SiC. A primeira demonstração de deposição com GaN foi feita em 1969 com um substrato de safira, por Maruska e Tietjen na RCA Laboratories. Nessa época, o GaN era tido como um material promissor para dispositivos emissores de luz. Depois disso, vários métodos e técnicas de fabricação e manipulação do GaN foram desenvolvidas. A princípio, ele era utilizado em diodos emissores de luz (LED) e diodos de laser, sendo que em 1993 o primeiro LED azul de brilho alto foi introduzido (NAKAMURA; KRAMES, 2013).

Posteriormente, outras aplicações de RF também fizeram uso do GaN, como em 2004, onde a empresa Eudyna Corporation começou a comercializar transistores para esta área (ALEX LIDOW, 2021). Nos últimos anos, já se tornou possível a construção e comercialização de semicondutores de potência com o GaN.

O GaN pertence ao grupo III-V, que é um grupo de materiais que possuem excelentes propriedades químicas e físicas, como estabilidade termodinâmica, alta energia de *gap*, condutividade térmica, entre outras. Possui uma estrutura cristalina hexagonal denominada *wurtzita*, como mostra a Figura 8, onde os átomos de Ga estão na cor roxa e N em azul. Em geral, materiais desse grupo possuem ligações químicas fortes, baixa constante dielétrica, alto ponto de fusão, elevada dureza e alto módulo de compressibilidade (GOMES, 2011).

Figura 8 - Estrutura cristalina do GaN.



Fonte: Retirado de (GOMES, 2011).

Devido a grandes diferenças entre seus parâmetros de rede, por causa do substrato no qual os cristais são crescidos, havia uma grande dificuldade de formar ligas a partir destes compostos binários. A manutenção da temperatura também era um fator desafiante. Esses problemas de defeitos e deformações da estrutura cristalina também dificultavam o crescimento de GaN em substratos de silício (EVERTS et al., 2010). Após serem desenvolvidas algumas técnicas para produção de ligas e métodos de caracterização para controle de crescimento de materiais, foi possível a obtenção da liga AlGaN (GOMES, 2011). Como é visto posteriormente, o AlGaN é uma liga muito importante na construção de transistores de potência de GaN.

Bulks de GaN para serem utilizados como substrato em crescimento epitaxial³ são muito caros (EVERTS et al., 2010). Entretanto, atualmente é possível produzir cristais de GaN em vários substratos, como safira, carbeto de silício e silício. Ao se crescer uma camada epitaxial de GaN em um substrato de silício, a própria infraestrutura de manufatura de silício pode ser utilizada ao invés de se criar outra, eliminando custos de processos especializados e usando a vantagem de que já há *wafers* de silício prontos com um baixo custo (EPC, 2021) (EVERTS et al., 2010).

Os custos de produção de dispositivos com GaN são maiores do que dispositivos de Si, porém, dispositivos de GaN são muito mais baratos do que os de SiC, dando uma ampla vantagem na adoção do GaN como semicondutor base, apesar de que ambos os semicondutores dão aos dispositivos características que os tornam interessantes em aplicações distintas (MASOUD BEHESHTI, 2020).

Na Tabela 3 pode-se comparar as propriedades elétricas dos três principais materiais semicondutores que são tratados nesta revisão bibliográfica. Observa-se que o GaN possui a maior energia de *gap* entre os materiais, de 3,4 eV. Isso aliado a seu alto valor de campo elétrico crítico, muito maior que do silício, pode resultar em dispositivos que bloqueiam uma tensão muito maior, assim como dispositivos com SiC.

Ainda se nota que o GaN possui os maiores valores de mobilidade de elétrons (esse valor seria para uma estrutura de AlGaN/GaN, e não do material GaN intrínseco (EVERTS et al., 2010)) e de velocidade saturação do elétron. Essas propriedades garantem que um dispositivo feito de GaN possa ser submetido a valores de frequência de chaveamento extremamente elevados. Em termos de condutividade térmica, o SiC tem uma larga vantagem, sendo preferível em aplicações que envolvem altas temperaturas. Entretanto, dispositivos feitos com GaN conseguem operar temperaturas maiores que os de Si, pois possuem uma menor densidade de portadores intrínsecos na mesma temperatura (EVERTS et al., 2010).

Os dispositivos a base de GaN também possuem uma resistência de condução menor que do Si, pois conseguem atingir valores mais altos de mobilidade (EVERTS et al., 2010).

³ Crescimento epitaxial é uma técnica de deposição de fina camada monocristalina sobre substrato monocristalino

Tabela 3 – Comparação de propriedades entre Si, Sic e GaN.

Propriedade dos materiais	Si	4H-SiC	GaN
Energia de <i>gap</i> (eV)	1,1	3,2	3,4
Campo elétrico crítico (10^6 V cm ⁻¹)	0,3	3	3,5
Mobilidade dos elétrons (cm ² V ⁻¹ s ⁻¹)	1450	900	2000
Velocidade de saturação dos elétrons (10^6 cm s ⁻¹)	10	22	25
Condutividade térmica (W cm ⁻² K)	1,5	5	1,3

Fonte: adaptado de (RABKOWSKI; PEFTITSIS; NEE, 2014).

2.1.3 Transistores

Feita a revisão de conceitos sobre os materiais elétricos e a estrutura atômica dos semicondutores, é visto agora o principal componente eletrônico construído a base de semicondutores, o transistor.

Sua aplicação vai desde a microeletrônica, em circuitos integrados onde os transistores possuem comprimentos na ordem de nanômetros, até a eletrônica de potência, onde o transistor precisa suportar centenas de Amperes e unidades de kV.

O transistor é um dispositivo semicondutor de três terminais e possui duas funções principais em um circuito eletrônico: amplificar sinais ou atuar como interruptor eletrônico.

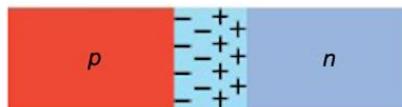
Atualmente, os transistores de silício dominam o mercado. Os principais tipos são: *Bipolar Junction Transistor* (BJT), *Junction-Gate Field-Effect Transistor* (JFET), *Metal-Oxide-Semiconductor Field-Effect Transistor* (MOSFET) e *Insulated Gate Bipolar Transistor* (IGBT).

Visto que este trabalho tem como foco a área de eletrônica de potência, é mostrado brevemente apenas o funcionamento de transistores típicos que são usados para atuar como interruptor eletrônico (ou chave): o MOSFET e IGBT.

2.1.3.1 Junção PN

Para entender o transistor, primeiro é explicado brevemente o conceito de junção PN. Como visto na seção 2.1.1, é possível dopar um material semiconductor para torná-lo do tipo p ou n . Entretanto, essas modificações por si só não fazem muita diferença. Suas reais aplicações estão quando se junta um cristal de semiconductor do tipo p com um do tipo n , como mostra o esquemático da Figura 9.

Figura 9 – Representação da junção PN.



Fonte: Retirado de (HALLIDAY, 2016).

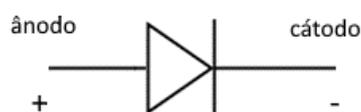
Ao fazer essa ligação, cria-se uma junção PN. A região de interface entre os tipos p e n recebe o nome de camada de depleção.

Desse modo, não há condução de corrente elétrica pela junção PN a não ser que haja uma diferença de potencial suficiente para vencer a camada de depleção. Para uma junção PN de silício, essa tensão é em torno de 0,7 V.

Se a junção for polarizada diretamente (positivo da fonte de tensão no lado p) com uma tensão maior que a tensão necessária para “vencer” a camada de depleção, a junção permite passagem de corrente entre os terminais. Caso a junção for polarizada reversamente (positivo da fonte de tensão no lado n), a camada de depleção aumenta e a junção não permite passagem de corrente.

O diodo é um dos principais componentes da eletrônica que nada mais é do que uma junção PN. O terminal do lado da parte p recebe o nome de ânodo e o terminal no lado da parte n recebe o nome de cátodo. A Figura 10 mostra seu símbolo elétrico.

Figura 10 – Simbologia do componente diodo.



Fonte: fornecido pelo autor (2021).

2.1.3.2 MOSFET

O MOSFET foi descrito inicialmente por Hofstein e Heiman em 1963 (RABKOWSKI; PEFTITSIS; NEE, 2014) e foi uma revolução para a eletrônica, permitindo a construção de circuitos integrados e sendo utilizado como chave para aplicações de alta potência. Neste trabalho é vista apenas a estrutura do MOSFET para aplicações de eletrônica de potência.

Como seu nome indica, é feito com base em um material semicondutor, um óxido, geralmente óxido de silício, e um metal. Seus três terminais, cobertos por uma fina camada de metal, recebem o nome de *drain*, *gate* e *source*. O óxido no componente é utilizado para criar uma camada isolante entre o terminal *gate* e os outros dois terminais.

Há dois tipos de transistores MOSFET:

- o de depleção, que atua como uma chave normalmente fechada e para colocar o transistor em bloqueio é necessária uma tensão negativa;
- e o de intensificação, que atua como uma chave normalmente aberta e para colocar o transistor em condução é necessária uma tensão positiva. Para este tipo, será descrito sua estrutura e funcionamento.

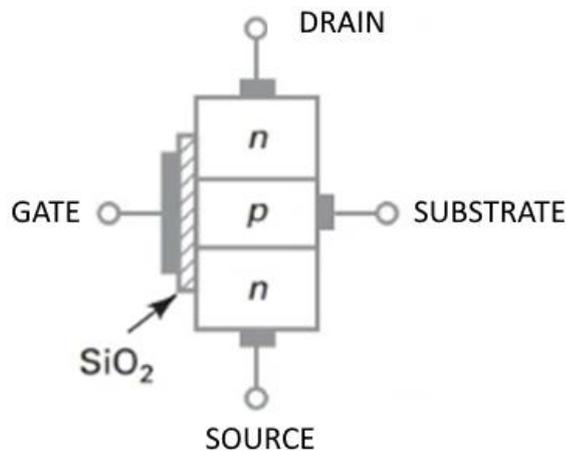
No MOSFET, há um substrato (*substrate*) de semicondutor tipo *p*, que separa duas regiões do tipo *n* que estão conectadas aos terminais *drain* e *source*. O terminal do substrato é geralmente conectado ao *source*, conforme apresenta a Figura 11. Na Figura 12, é visto um esquema mais atual e detalhado de um MOSFET de potência e nele se nota que há várias camadas com níveis de dopagens diferentes.

Observa-se pela Figura 11 que internamente há formações de junções PN, o que caracteriza um diodo intrínseco entre o canal *drain* e *source*, assim como um diodo no sentido *source-drain*, ou seja, em anti-paralelo. Para isso ocorrer, o substrato deve estar conectado ao *source*, o que acontece na maioria dos dispositivos MOSFETs feitos para eletrônica de potência. Nesse caso, o MOSFET pode conduzir corrente elétrica em ambos os sentidos.

Porém, este diodo em anti-paralelo tem um alto tempo de recuperação de corrente reversa, o que o torna indesejável em conversores de potência, pois além da

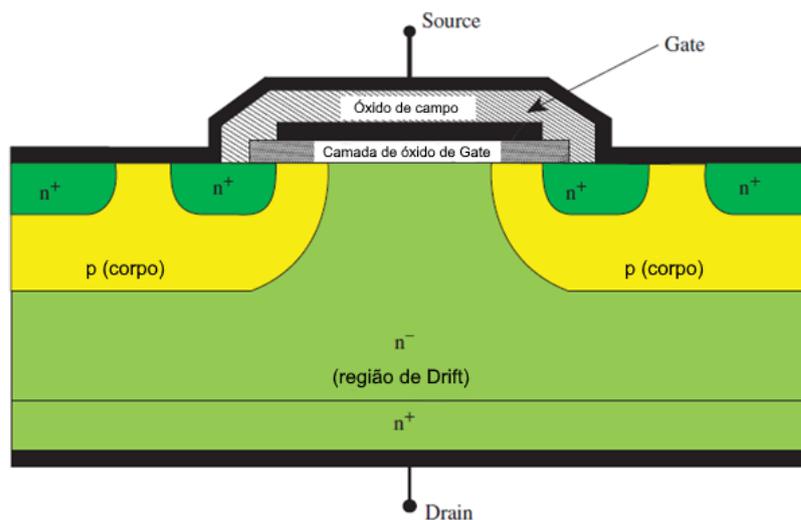
comutação se tornar mais lenta, pode causar altas correntes, levando a danos do componente.

Figura 11 – Diagrama esquemático do MOSFET.



Fonte: modificado de (MALVINO; BATES, 2016).

Figura 12 – Diagrama detalhado da estrutura do MOSFET.



Fonte: retirado de (RABKOWSKI; PEFTITSIS; NEE, 2014).

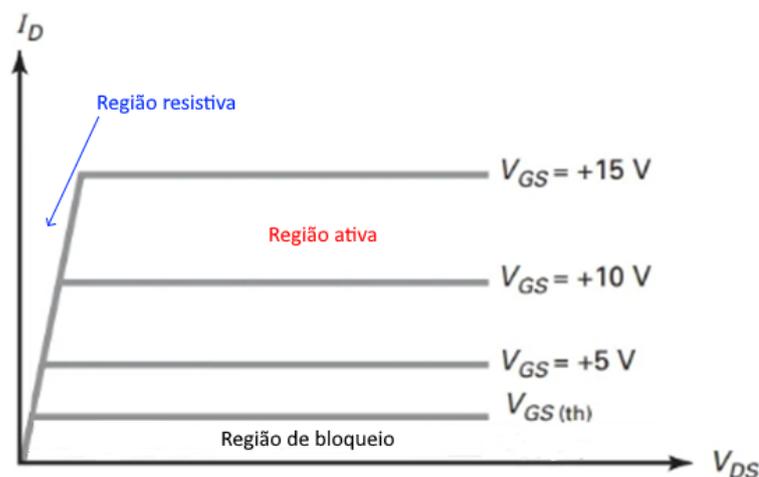
Em condições normais, o MOSFET não conduz corrente. Para que haja corrente elétrica passando pelo canal *drain-source*, deve-se aplicar uma tensão entre os terminais *gate-source* do componente. Dessa maneira, a diferença de potencial repele as lacunas do substrato tipo *p*, criando um canal do tipo *n* entre o *drain* e o *source*, permitindo a passagem de corrente.

Geralmente são utilizados MOSFETs com canal do tipo *n*, porém, também existem dispositivos com canal do tipo *p*.

O tamanho desse canal depende do valor de tensão *gate-source* aplicado, mas possui um limite. Usualmente, é aplicado o maior valor de tensão possível até que o canal seja saturado, para permitir a maior quantidade de corrente passando pelo canal que o dispositivo suporta.

Após o canal atingir a saturação, não é possível aumentar a corrente elétrica, porém, a tensão entre *drain-source* pode aumentar. Essa situação é evitada em aplicações de eletrônica de potência, pois gera muitas perdas de energia.

Figura 13 – Curvas de corrente de *drain* por tensão *drain-source* no MOSFET.



Fonte: modificado de (MALVINO; BATES, 2016).

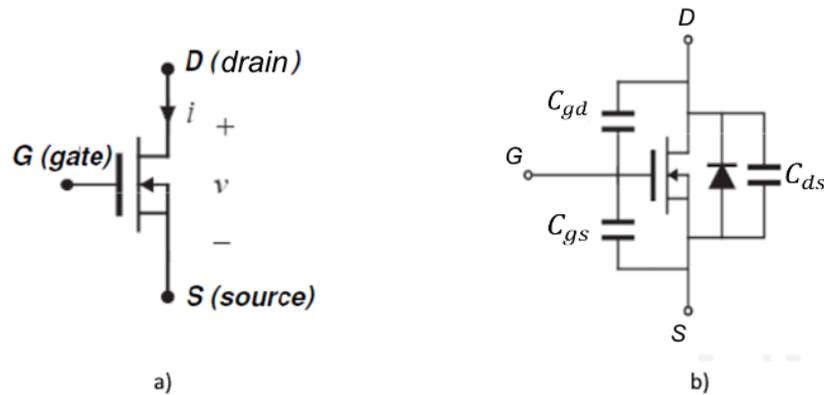
Portanto, o componente geralmente é operado na região onde a curva I-V possui uma característica linear, chamada de ôhmica ou resistiva, pois é possível modelar um MOSFET como sendo uma resistência. Nessas condições a tensão entre *drain* e *source* é mínima, conforme apresenta a Figura 13. Assim, diz-se que o componente é ligado / entra em condução.

Retirando-se o sinal de comando, ou seja, a tensão *gate-source* vai para zero, o MOSFET volta ao seu estado natural. Nesse modo de operação, o componente pode bloquear uma determinada tensão, dependendo de suas características de construção. Isso é informado no *datasheet* do componente.

Essa capacidade de bloquear uma tensão entre os canais *drain-source* se deve muito ao campo elétrico crítico, uma propriedade elétrica do material semicondutor,

dado em MV/cm (RIBEIRO, 2020). Além disso, para que seja possível bloquear uma maior tensão, o canal deve ser mais longo, o que aumenta a resistência *drain-source*.

Figura 14 – Simbologia do componente MOSFET.



Fonte: retirado de (BATSCHAUER, 2021).

A figura 14.a mostra o símbolo do MOSFET. Devido as várias camadas condutoras e isolantes presentes no dispositivo, há a presença de capacitâncias entre os terminais do componente, como mostra a Figura 14.b.

A capacitância entre o *gate-source* (C_{gs}) deve ser carregada para que o transistor entre em condução. Em MOSFETs, é necessária uma relativamente alta corrente de pico de 1 A, 2 A, 8 A e até 16 A, dependendo do modelo. Para bloquear o transistor, a capacitância C_{gs} deve ser descarregada.

A capacitância entre o *gate* e o *drain* (C_{gd}) é relativamente pequena, porém, não linear.

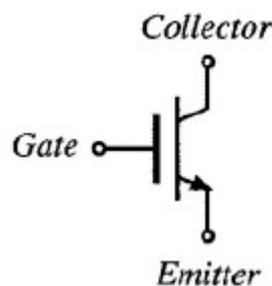
A capacitância entre o *drain* e *source* (C_{ds}) é não linear. Essa capacitância leva a perdas de comutação, uma vez que a energia armazenada nessa capacitância é geralmente perdida durante a entrada em condução do MOSFET.

Essas capacitâncias devem ser conhecidas para cálculos de perdas do componente. Quanto menor as capacitâncias, maior a frequência de comutação que o transistor pode ser operado. Como é visto na seção 2.3, de revisão do circuito *Gate Driver*, estas capacitâncias são de suma importância para projeto de um circuito *gate driver*.

2.1.3.3 IGBT

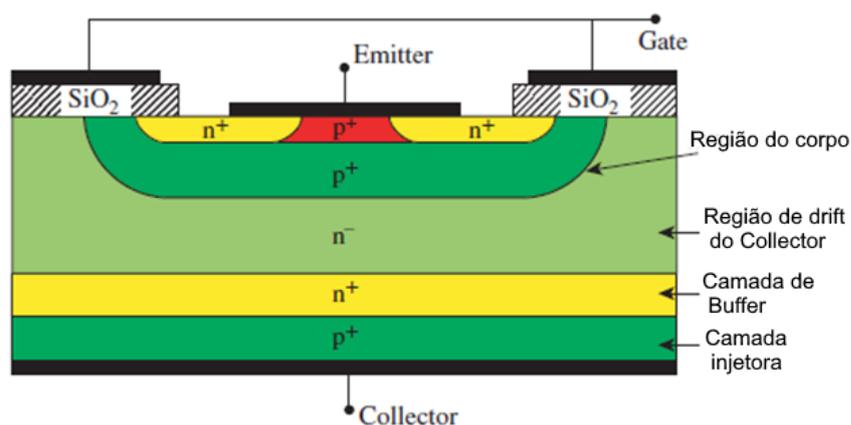
O transistor IGBT foi criado para ser aplicado em circuitos de potência mais elevadas, usando o MOSFET como inspiração. A primeira patente descrevendo essa estrutura foi registrada por Becke e Wheatley, em 1980 (RABKOWSKI; PEFTITSIS; NEE, 2014). O IGBT une características de condução bipolar (corrente com elétrons e lacunas) do BJT com o modo de acionamento do MOSFET, portanto, apresenta uma construção bem similar ao MOSFET. A Figura 15 apresenta seu símbolo e a Figura 16 o esquema de construção.

Figura 15 – Simbologia do componente IGBT.



Fonte: retirado de (ERICKSON, 2001).

Figura 16 – Diagrama detalhado da estrutura do IGBT.



Fonte: retirado de (RABKOWSKI; PEFTITSIS; NEE, 2014).

Além dos terminais *collector* e *emitter*, por onde a corrente passa, possui um terminal de *gate* com uma camada MOS. Desse modo, o circuito de comando para o IGBT é muito parecido com o do MOSFET, sendo necessário carregar a capacitância no *gate*. Portanto, aplica-se uma tensão *gate-emitter* positiva para o dispositivo entrar

em condução. Muitas vezes o mesmo *driver* que aciona o MOSFET pode acionar o IGBT.

O canal *collector-emitter* pode ser modelado como uma fonte de tensão constante e a queda de tensão varia pouco com o aumento da corrente.

Devido a suas características construtivas, a velocidade para entrar em bloqueio é menor que no MOSFET, portanto, a frequência de comutação que pode ser submetido é menor. Apesar disso, o IGBT consegue conduzir correntes e bloquear tensões bem mais elevadas do que o MOSFET (BATSCHAUER, 2021).

O fenômeno de cauda que a corrente apresenta durante o bloqueio, em que a partir de um certo instante o módulo da derivada da corrente diminui, é bastante notável no IGBT. Um modo de reduzir esse efeito indesejável é aumentar a resistência de condução do dispositivo, porém, isso limitaria seu uso em aplicações de alta potência (BATSCHAUER, 2021).

Diferentemente do MOSFET, o IGBT não apresenta diodo intrínseco. Entretanto, os fabricantes geralmente adicionam um diodo em anti-paralelo a fim do dispositivo conduzir corrente em ambos os sentidos. A princípio, este diodo adicional é melhor que o diodo intrínseco do MOSFET. Entretanto, é comum os fabricantes inserirem um diodo adicional com melhor desempenho no MOSFET (BATSCHAUER, 2021).

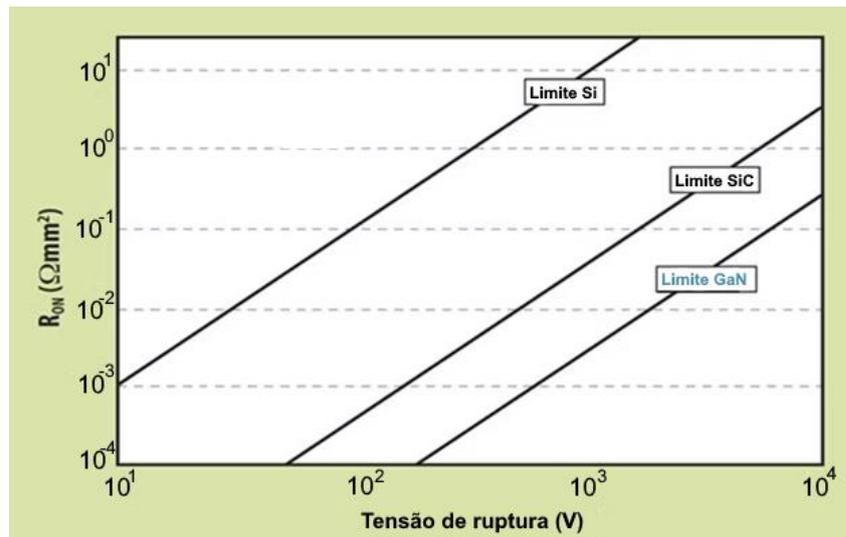
Com o IGBT é possível bloquear tensões negativas, porém, não muito elevadas. Existem IGBTs com coeficiente de temperatura positivo e coeficiente de temperatura negativo. IGBTs com coeficiente negativo geralmente são mais rápidos (BATSCHAUER, 2021).

2.1.3.4 Transistores Semicondutores Wide Bandgap

Apesar de ainda haver melhorias nos processos de fabricação e construção dos transistores de silício, bem como novas estruturas sendo propostas (RABKOWSKI; PEFTITSIS; NEE, 2014), os custos desses avanços aumentaram muito e os limites teóricos de performance já estão sendo atingidos pela indústria. Como mostra a Figura 17, os limites teóricos de resistência de condução de dispositivos do SiC e do GaN vão além dos limites do Si, mostrando seu potencial. Há

uma expectativa de que os transistores *wide bandgap* irão tomar os lugares dos transistores convencionais em aplicações que requerem alta eficiência e robustez. Mesmo para aplicações de baixo custo, espera-se que o transistor de potência de GaN consiga substituir o tradicional MOSFET (ALEX LIDOW, 2021).

Figura 17 – Limite teórico dos materiais semicondutores.

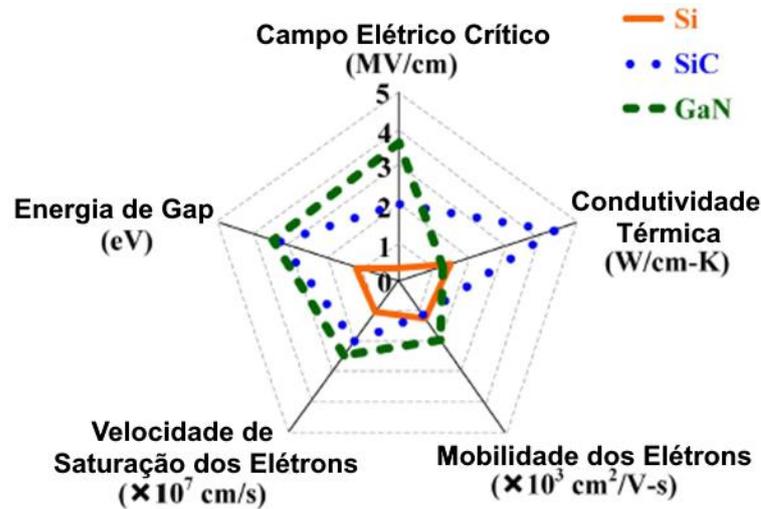


Fonte: retirado de (DAVIS, 2022).

Os transistores de potência de SiC e GaN trazem muitas vantagens para os conversores estáticos, entretanto, também trazem desafios no projeto dos mesmos. Essa implementação requer um circuito de *gate driver* dedicado para lidar com efeitos adversos como componentes parasitas, correntes de Foucault e influências dos indutores (EVERTS et al., 2010). Além do mais, é necessário um cuidado maior no projeto do *layout* das PCBs. Nesta seção, é visto algumas diferenças entre os dois tipos de semicondutores de potência e para quais aplicações cada um é mais recomendado.

O gráfico na Figura 18 nos mostra visualmente as principais características elétricas dos três principais semicondutores na eletrônica de potência que são comentados neste trabalho. Essas propriedades nos semicondutores *wide bandgap* permitem a construção de dispositivos muito melhores que os dispositivos de silício.

Figura 18 – Comparação de propriedades dos semicondutores.



Fonte: retirado de (JONES; WANG; COSTINETT, 2016).

Um dispositivo de GaN ou de SiC consegue reduzir vários parâmetros de um sistema quando comparado com o uso de dispositivos de Si. Para uma mesma aplicação:

- O alto valor de bloqueio de tensão diminui a quantidade de dispositivos necessários no sistema;
- O alto valor de frequência de chaveamento resulta em capacitores e indutores de filtragem menores;
- A condutividade térmica melhor deixa o dispositivo menos afetado pelo calor, necessitando de componentes de ventilação/resfriamento/dissipação menores;
- A resistência de condução menor gera menos perdas (TEXAS INSTRUMENTS, 2019).

Com isso, os dispositivos e o sistema se tornam muito menores, mais leves e potencialmente mais baratos quando comparado com o mesmo sistema utilizando dispositivos a base de silício. Além disso, dispositivos menores também é um fator que contribui para a diminuição da resistência de condução (TEXAS INSTRUMENTS, 2019).

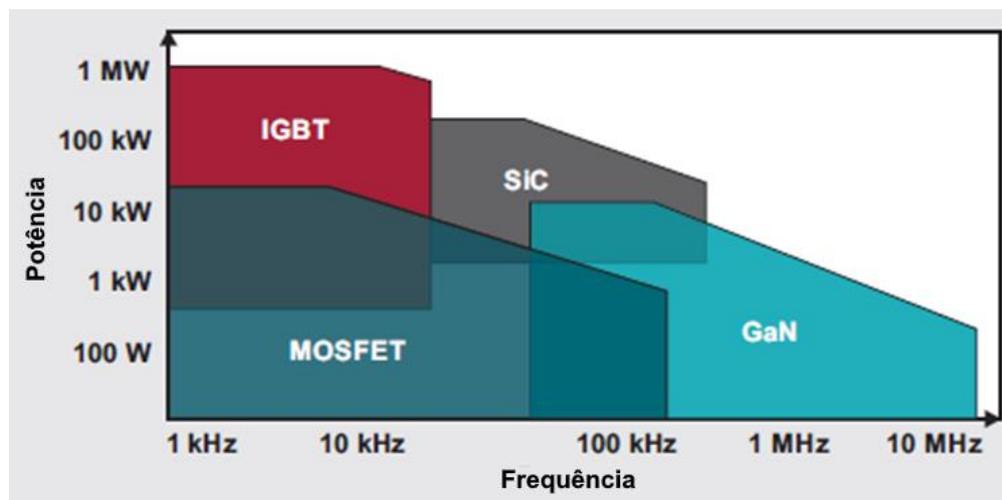
Os semicondutores de potência de SiC chegaram antes ao mercado, inclusive como diodos ultra-rápidos. Os tipos de estruturas dos transistores de potência de SiC são os mesmos empregados nos transistores de silício: MOSFETs e IGBTs. A faixa

de tensão ótima destes transistores atualmente é na faixa de 650 V a 1200 V (TEXAS INSTRUMENTS, 2019) (MASOUD BEHESHTI, 2020).

Aplicações como correção de fator de potência, inversores para placas solares, carregadores de carros elétricos, sistemas de UPS, inversores para tração de carros elétricos (TEXAS INSTRUMENTS, 2019). Por exemplo, carros de Fórmula E se beneficiam muito com a redução de peso, do volume e de eficiência ao utilizar SiC nos seus inversores de tração, dando maior performance para o veículo. O aumento do *range* para um veículo elétrico também é um ponto interessante na utilização destes dispositivos.

Uma grande vantagem nos transistores de SiC ou GaN é a frequência de chaveamento, que pode chegar a centenas de kHz, sendo que os dispositivos de GaN que conseguem operar na faixa dos MHz, como mostra a Figura 19.

Figura 19 – Comparações entre transistores.



Fonte: retirado de (MASOUD BEHESHTI, 2020).

Alguns dos fabricantes atuais de dispositivos semicondutores SiC de potência são: ON Semiconductor, Wolfspeed, Infineon, GeneSiC Semiconductor, STMicroelectronics, ROHM Semiconductor e Hitachi Power Semiconductor Device Ltd.

Os transistores de GaN em sua maioria são do tipo FET. Possuem uma estrutura similar ao do MOSFET, podendo ser do tipo intensificação, depleção ou *cascode*. O foco do trabalho é nos dispositivos do tipo intensificação. Nos transistores

comerciais de GaN, a faixa de tensão de bloqueio em geral vai de 100 V até 650 V, limitando seu uso em aplicações de baixa a média potência.

Devido à suas características de construção, podem ser submetidos a frequências de chaveamento extremamente altas, pois além de suas propriedades elétricas propícias para isso, também se beneficiam do fato de que o transistor de GaN não possui diodo intrínseco como o MOSFET tradicional, e ainda, suas capacitâncias de entrada e saída são muito menores. Portanto, possuem menor carga de saída e menor carga de recuperação reversa (JONES; WANG; COSTINETT, 2016). Possui valores de Q_G extremamente baixos, permitindo uma figura de mérito de performance ($R_{ds,on} \times Q_G$) muito melhor que outros transistores (EVERTS et al., 2010).

Além de componentes de filtragem menores, o rápido acionamento dos transistores de GaN reduz muito as perdas por chaveamento, o que também aumenta a eficiência do sistema. Além disso, os transistores de GaN conseguem operar com um tempo morto muito menor que os transistores convencionais, melhorando muito a eficiência e performance da aplicação como, por exemplo, a diminuição de ruído sonoro em um motor. Essa otimização do tempo morto se deve a linearidade da carga de saída (devido a capacitância de saída), que é muito mais linear em dispositivos de GaN do que FETs de potência de Si. Por isso, a capacitância de saída pode ser carregada e descarregada mais rapidamente, diminuindo o tempo morto. (INFINEON, 2015).

O GaN já é encontrado em aplicações como sensor LiDAR, equipamentos médicos, carregamento *wireless*, conversores CC-CC, técnicas para melhorar eficiência energética em amplificadores de potência de rádio frequência, amplificadores classe D para áudio, inversores para placas solares, driver para motores como por exemplo em robótica, automação industrial e drones (EPC, 2022).

Alguns dos fabricantes atuais de dispositivos semicondutores de GaN são: Efficient Power Conversion (EPC), GaN Systems, Infineon, Wolfspeed, Texas Instruments, STMicroelectronics, Nexperia e Transphorm. Também é válido notar que alguns dos fabricantes produzem o transistor somente em um circuito integrado já com o *gate driver* e proteções. Além disso, alguns só fabricam transistores para aplicações

de RF (Rádio Frequência) e outros disponibilizam dispositivos GaN já em uma estrutura de meia-ponte.

Tanto o GaN quanto o SiC conseguem atingir níveis maiores de proteção contra radiação do que o Si, o que os torna muito mais interessantes em aplicações aeroespaciais (MOUSER ELECTRONICS, 2022).

2.2 TRANSISTOR DE GAN

O transistor de potência à base de GaN é o foco deste trabalho, escolhido pois possui diferenças significativas no seu acionamento, em relação aos transistores de Si e SiC (JONES; WANG; COSTINETT, 2016). Como dito anteriormente há três tipos de transistores GaN: de depleção, *cascode* e de intensificação.

Nesta seção é visto como são suas estruturas e o seu funcionamento, sendo mais breve para os transistores de depleção e *cascode*, e em maior detalhe o transistor de intensificação, pois este é mais utilizado na eletrônica de potência. Entretanto, alguns fabricantes de semicondutores de potência optam por transistores do tipo *cascode*, já que seu acionamento é mais fácil de se fazer (JONES; WANG; COSTINETT, 2016).

O transistor do tipo depleção pode ser utilizado em conversores em que a entrada é em corrente, porém, a maioria dos conversores utilizados é com entrada em tensão. Como o transistor do tipo depleção é normalmente fechado, é menos seguro caso falte energia para seu comando, o que pode ocasionar curtos entre fontes e braços de conversores, danificando o sistema. Por isso, não é dada muita atenção a este tipo de transistor.

A estrutura mais comum encontrada nos transistores de GaN é o *High Electron Mobility Transistor* (HEMT), que significa transistor de alta mobilidade de elétrons. Essa estrutura foi inicialmente observada em 1975 por T.Mimura e posteriormente em 1994 por M. A. Khan e outros, com um fenômeno onde havia uma alta mobilidade de elétrons na interface entre os materiais GaN e o AlGaIn (ALEX LIDOW, 2021).

Transistores de GaN podem ser dispositivos tanto do tipo vertical como lateral, assim como nos MOSFETs e IGBTs. Um dispositivo do tipo vertical possui uma estrutura em que a orientação da corrente elétrica em relação ao componente é

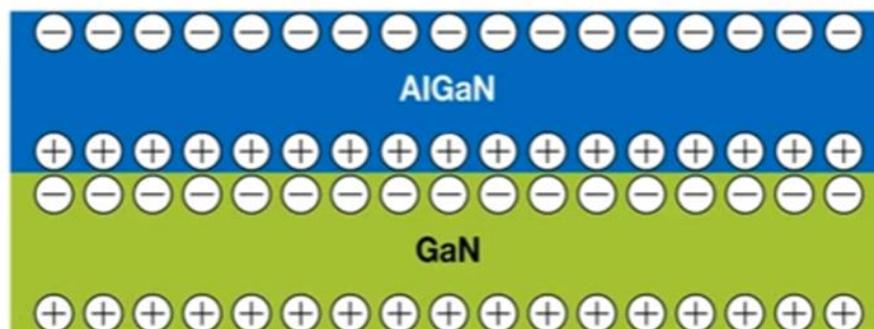
vertical, enquanto no dispositivo do tipo lateral, a corrente flui horizontalmente. O tipo da estrutura afeta o valor de capacidade de corrente que o dispositivo consegue aguentar (TRIEBL, 2022).

Ainda não é muito comum de se ver dispositivos GaN do tipo vertical devido ao seu custo, então o tipo lateral domina o comércio. O GaN HEMT é um transistor de efeito de campo de hetero junção (HFET) do tipo lateral (JONES; WANG; COSTINETT, 2016). Assim como o MOSFET, ele possui três terminais: *gate*, *source* e *drain*.

2.2.1 Região 2DEG

Diferentemente dos transistores MOSFET e IGBT, o GaN HEMT não possui um canal de semiconductor dopado para a condução de corrente elétrica, mas sim uma região bidimensional de elétrons chamada de 2DEG (*Two-Dimensional Electron Gas*), que se forma devido à polaridade dos cristais e do efeito piezoelétrico devido à tensão na junção das estruturas cristalinas. Nessa fina camada, uma alta quantidade de elétrons consegue fluir devido ao campo elétrico criado pelo efeito piezoelétrico que atrai elétrons a superfície, criando um gás de elétrons bidimensional.

Figura 20 – Diagrama da região 2DEG.



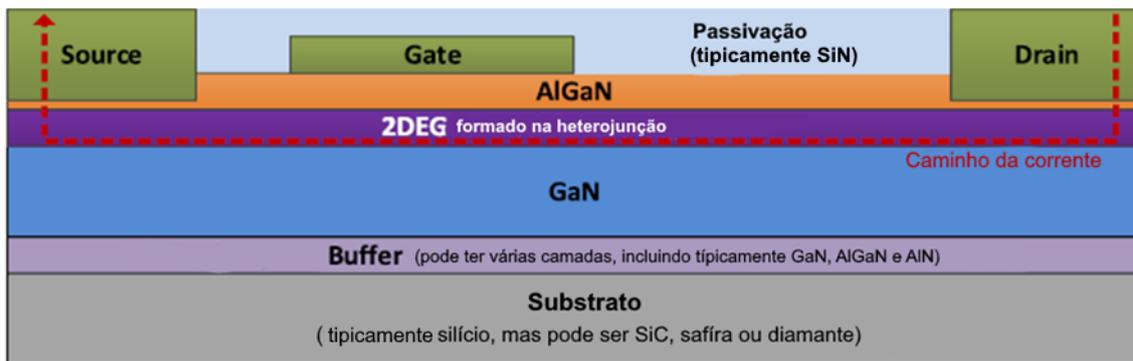
Fonte: retirado de (EPC CORPORATION, 2022).

A adição de impurezas para dopar o substrato de silício em tipo *p* e *n*, resulta no aumento de colisões entre os elétrons livres com a estrutura cristalina, dificultando o fluxo de elétrons. O fato do GaN HEMT possuir a região 2DEG para a passagem de fluxo sem a necessidade de dopagem, tem se a resistência de canal significativamente menor quando comparado com o transistor de silício.

2.2.2 Tipo depleção

A Figura 21 mostra a estrutura do transistor GaN HEMT. A união das camadas de AlGaIn e GaN tornam o dispositivo naturalmente do tipo depleção, ou seja, uma chave normalmente fechada. O canal feito pela região 2DEG liga os terminais *source* e *drain* do dispositivo.

Figura 21 – Estrutura do transistor GaN tipo depleção.



Fonte: retirado de (JONES; WANG; COSTINETT, 2016).

Neste dispositivo, deve-se aplicar uma tensão negativa entre os terminais *gate* e *source* para fazê-lo entrar em bloqueio (RIBEIRO, 2020).

Em sua estrutura, acima da camada de substrato de silício há uma camada de *buffer* que serve para aliviar o estresse entre os materiais para depositar a camada de GaN (JONES; WANG; COSTINETT, 2016).

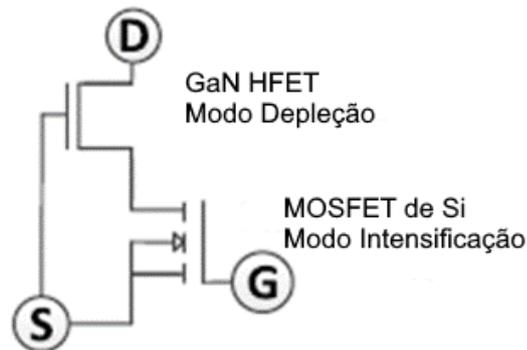
A estrutura do GaN HEMT de depleção é a base para a construção dos transistores tipo *cascode* e de intensificação. Não possui diodo intrínseco, entretanto, há mecanismo de condução reversa (RIBEIRO, 2020).

2.2.3 Tipo *cascode*

Para contornar o estado de normalmente conduzindo dos transistores de depleção, uma das soluções empregadas foi a adição de um MOSFET de intensificação de silício junto do GaN HEMT. Com isso, é possível controlar a entrada de condução ou bloqueio do dispositivo através do comando do MOSFET, e não do transistor de GaN. O resultado é um dispositivo de GaN normalmente bloqueado.

O MOSFET é conectado de modo que sua saída *drain-source* determina a entrada *gate-source* do GaN HEMT. Ambos os dispositivos conduzem a corrente quando acionados e a tensão no bloqueio é distribuída entre os dois (JONES; WANG; COSTINETT, 2016).

Figura 22 - Modelo do transistor de GaN tipo *cascode*.



Fonte: retirado de (JONES; WANG; COSTINETT, 2016).

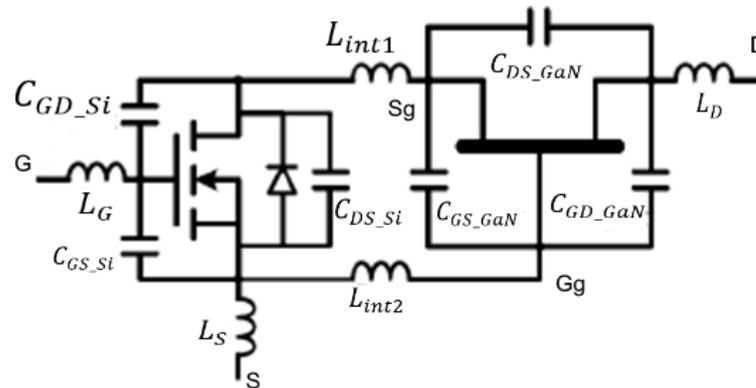
Então, quando o MOSFET é comandado a entrar em condução, os terminais *gate-source* do GaN HEMT ficam com uma tensão em torno de 0 V, fazendo com que o dispositivo também conduza. Quando o MOSFET é comandado a entrar em bloqueio, sua tensão *drain-source* começa a aumentar, resultando no bloqueio do GaN HEMT, pois agora há tensão em seus terminais *gate-source*.

É claro que a combinação dos dois dispositivos resulta em figuras de mérito menos atrativas do que um dispositivo puro de GaN HEMT. A performance do chaveamento é altamente influenciada pelas indutâncias parasitas dentro do encapsulamento, assim como o casamento de capacitâncias entre os dois transistores. Se o dispositivo não for bem projetado levando em conta estes fatores, a perda por chaveamento aumenta consideravelmente (JONES; WANG; COSTINETT, 2016).

Para diminuir o impacto do MOSFET na eficiência do GaN HEMT *cascode*, fabricantes optam por MOSFETs com baixa tensão de bloqueio, sendo o GaN HEMT de depleção responsável pela maior parte da tensão de bloqueio do dispositivo *cascode*. Desse modo, a resistência do canal *drain-source* e a recuperação reversa do diodo intrínseco são menores (RIBEIRO, 2020). A desvantagem é que a tensão de bloqueio do dispositivo GaN HEMT *cascode* é menor se comparado à um transistor de intensificação, por exemplo.

Apesar disso, alguns fabricantes optam pelos transistores *cascode* devido à maior facilidade de projetar seu circuito de *driver*, que é mais similar ao do MOSFET e do IGBT.

Figura 23 – Modelo do GaN HEMT *Cascode* com componentes parasitas



Fonte: retirado de (RIBEIRO, 2020).

Em (HUANG; LI; LIU; LEE, 2013), é apresentado um modelo elétrico do transistor GaN HEMT *cascode*, que nos mostra suas capacitâncias e indutâncias parasitas, como mostra a Figura 23. Como não é uma tarefa fácil medir essas indutâncias parasitas e as capacitâncias possuem um comportamento não linear, o emprego deste modelo para o projeto do circuito *gate driver* seria extremamente complexo. Uma outra maneira de se fazer este projeto é utilizando o método baseado na carga total de *gate* (Q_G), do mesmo modo que feito em MOSFETs e IGBTs (RIBEIRO, 2020).

2.2.4 Tipo intensificação

Existem algumas estruturas diferentes para o GaN HEMT de intensificação, portanto, pode mudar de um fabricante/dispositivo para outro. No geral, todas elas fazem uma modificação na região do terminal *gate*. De acordo com (JONES; WANG; COSTINETT, 2016), algumas dessas estruturas são:

- *P-doped* GaN ou *P-doped* AlGaN;
- *P-doped* AlGaN;
- *Plasma treatment*;
- *Recessed gate*;
- *Insulated recessed gate*;

- *Hybrid MIS-HFET*.

Neste trabalho, é detalhado apenas algumas delas, dando preferência para as que são utilizadas em dispositivos comerciais disponíveis no momento.

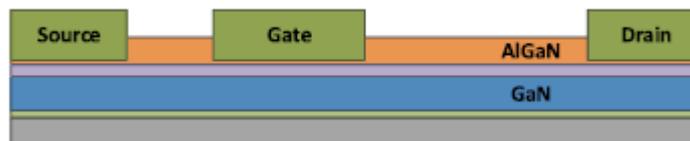
O transistor GaN HEMT de intensificação foi inicialmente introduzido por (KHAN et al., 1996), em que o dispositivo utilizado possui substrato de safira e foram feitas modificações na dopagem nas camadas dos materiais AlGaN e GaN. Desse modo, obteve-se um transistor em que a tensão de *threshold* era maior que zero, tornando o um dispositivo normalmente aberto, o que caracteriza um transistor do tipo intensificação (RIBEIRO, 2020).

2.2.4.1 *Recessed Gate e Insulated Recessed Gate*

Os transistores com a estrutura *recessed gate* têm o tamanho da espessura da camada de AlGaN sob o *gate* modificada, em relação ao transistor de depleção, como mostra a Figura 24. Reduzindo essa espessura, a condutividade da região de interface 2DEG é reduzida.

Desse modo, quando a espessura é reduzida o suficiente, o dispositivo não atua mais como uma chave normalmente fechada. Assim, deve ser aplicada uma tensão positiva entre o *gate* e o *source* para o canal começar a conduzir corrente novamente, ou seja, a tensão de *threshold* agora é maior que zero.

Figura 24 – Estrutura do GaN *Recessed Gate*.



Fonte: retirado de (JONES; WANG; COSTINETT, 2016).

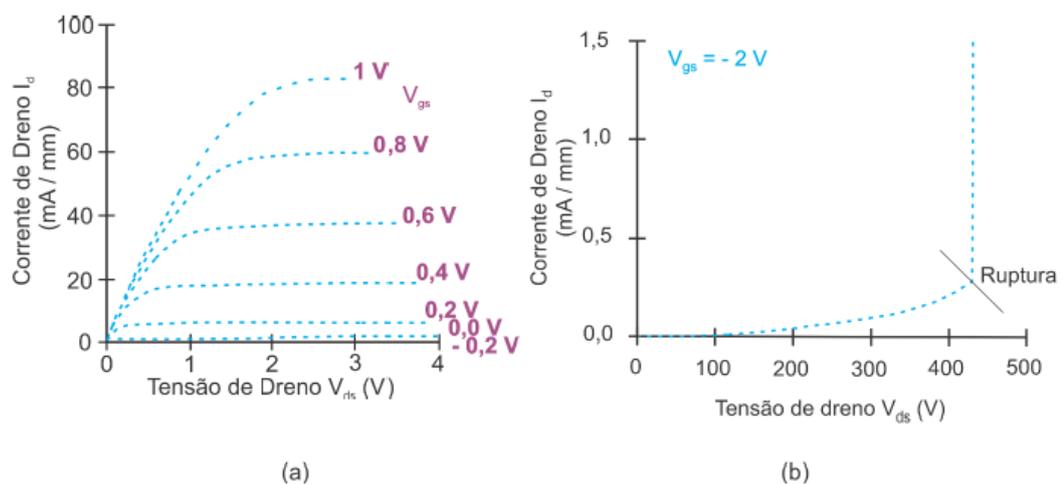
Entretanto, a resistência específica do canal para valores positivos de tensão de *threshold* pode aumentar o suficiente para inviabilizar a estrutura, devido às perdas no dispositivo (RIBEIRO, 2020).

Uma forma de resolver esse problema é colocar uma camada isolante entre o *gate* e a camada de AlGaN, criando no processo uma capacitância entre as camadas. Desta forma, a tensão de *threshold* pode ser aumentada, viabilizando a estrutura. Os

dispositivos com estas características são do tipo *Insulated Recessed Gate* (RIBEIRO, 2020).

Na Figura 25, podemos ver resultados obtidos em que, para valores da tensão *gate-source* em torno de zero, o dispositivo não conduz corrente pelo canal, e para valores positivos, o dispositivo conduz. Também se observa que para uma tensão negativa, abaixo o suficiente da tensão de *threshold* para bloquear completamente a corrente, o dispositivo não conduz até que a tensão de *breakdown* seja alcançada (SAITO et al., 2006).

Figura 25 – Curvas de característica para o transistor GaN de intensificação.

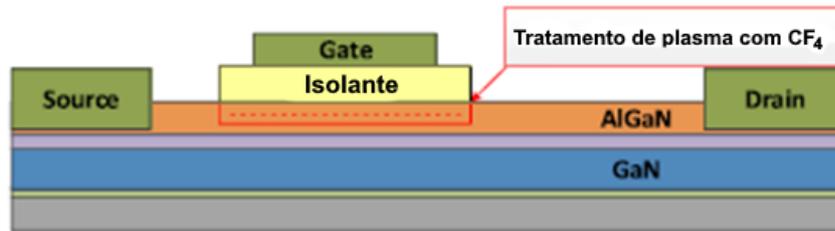


Fonte: retirado de (RIBEIRO, 2020).

2.2.4.2 Tratamento de Plasma

Na estrutura com tratamento de plasma, um certo volume entre o terminal de *gate* e a camada de AlGaIn é preenchida com um material isolante e plasma fluoreto para o depósito de íons de fluoreto, como mostra a Figura 26. Desse modo, é necessária a aplicação de uma tensão positiva no *gate* para que o dispositivo conduza corrente elétrica (RIBEIRO, 2020) (JONES; WANG; COSTINETT, 2016).

Figura 26 – Estrutura do transistor GaN com tratamento de plasma.

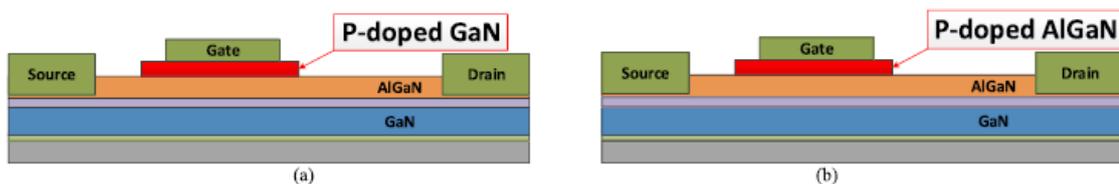


Fonte: retirado de (JONES; WANG; COSTINETT, 2016).

2.2.4.3 Injeção de Gate

O transistor com estrutura de injeção de *gate* tem como princípio a inserção de uma camada de material semiconductor dopada entre o terminal de *gate* e a camada de AlGaN. O *p-doped* GaN e o *p-doped* AlGaN são dois tipos de transistores de injeção de *gate*. A Figura 27 mostra o esquema de ambas as estruturas.

Figura 27 – Estrutura do transistor GaN com injeção de *gate*.



Fonte: retirado de (JONES; WANG; COSTINETT, 2016).

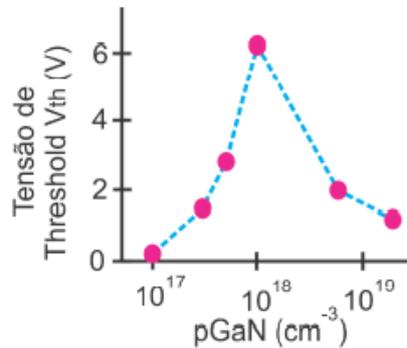
A implementação dessas camadas dopadas cria uma característica típica de diodo, com uma tensão de polarização direta (V_F). Isso aumenta a tensão de *threshold*, fazendo com que o dispositivo deixe de ser do tipo depleção para ser de intensificação. O material usado (GaN, AlGaN ou outro) afeta diretamente o valor de deslocamento da tensão. Fabricantes como EPC e Panasonic utilizam destas estruturas em seus dispositivos (JONES; WANG; COSTINETT, 2016).

Além disso, essa nova camada não altera a região 2DEG da estrutura, portanto, não afeta a condutividade do dispositivo, diferentemente da estrutura *recessed-gate* em que a redução da espessura do material AlGaN prejudica a condutividade.

Porém, a relação entre a dopagem do material e o aumento da tensão de *threshold* não é linear. Em (EFTHYMIU et al., 2017), foi obtida uma curva da tensão de *threshold* em função da dopagem do material, que pode ser vista na Figura 28.

Percebe-se que a tensão de *threshold* começa a decair a partir de determinada concentração de material dopado.

Figura 28 – Curva de tensão de *threshold* em função da concentração de pGaN.



Fonte: retirado de (RIBEIRO, 2020).

Com a nova camada de material dopado na estrutura, são três as situações de tensão *gate-source* para o dispositivo (UEMOTO et al., 2007):

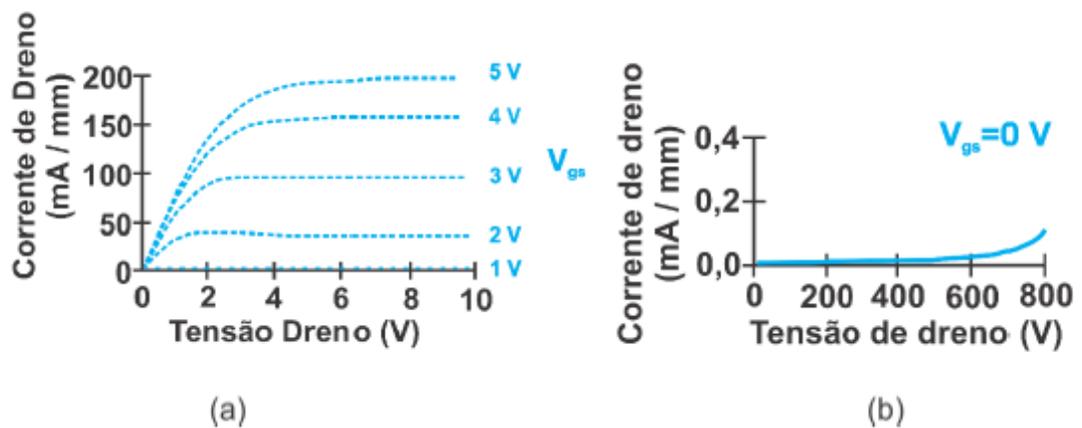
- $V_{gs} = 0 V$;
- $V_{th} < V_{gs} < V_F$;
- $V_{gs} > V_F$

Na primeira situação, o dispositivo se encontra no estado bloqueado, ou seja, o canal 2DEG não está formado. Na segunda situação, a região 2DEG está formada e há presença de elétrons, portanto, o canal pode conduzir uma corrente I_D . Na terceira situação, o canal que já estava conduzindo uma corrente I_D , além da presença de elétrons agora também há lacunas, o que resulta em uma corrente no terminal de *gate* (I_G). A tensão V_F tem valores em torno de 3 V.

Outro parâmetro que afeta a tensão de *threshold* é a temperatura da junção, que a reduz a tensão de *threshold* conforme a temperatura aumenta.

A característica $I \times V$ de um GaN HEMT com estrutura de injeção de *gate* pode ser vista na Figura 29. É possível ver claramente que o dispositivo se comporta como um transistor de intensificação. Em (a) é visto o comportamento para condução e em (b) é visto o comportamento para o modo de bloqueio (UEMOTO et al., 2007).

Figura 29 – a) Curvas de corrente *drain* em função da tensão *drain-source*; b) Curva de corrente no *drain* em função da tensão *drain-source* com o dispositivo em bloqueio.



Fonte: retirado de (RIBEIRO, 2020).

Diferentemente do MOSFET que possui a condução no sentido reverso através de um diodo intrínseco, o GaN HEMT possui sua condução reversa pelo próprio canal 2DEG, portanto, podendo conduzir corrente em ambos os sentidos. Para isso deve se atingir a tensão *gate-drain* de *threshold* ($V_{gd(th)}$). Após uma análise das tensões entre os terminais do dispositivo, é possível chegar à conclusão que $V_{gd(th)} = V_{sd}(V_{gs}=0)$.

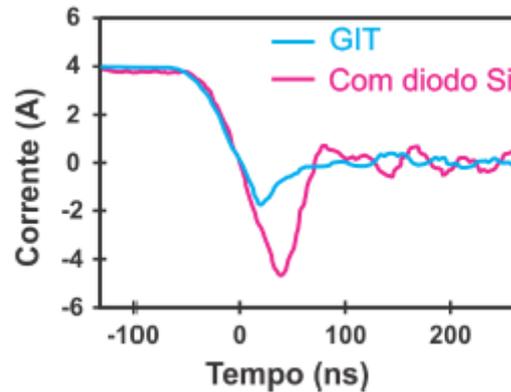
Essa característica de condução de corrente em ambos os sentidos, do *source* para *drain* e do *drain* para *source*, é interessante para várias aplicações. Entretanto, o que acontece no GaN HEMT é que a tensão V_{sd} durante a condução reversa é elevada, o que aumenta as perdas no dispositivo (RIBEIRO, 2020).

Uma solução para reduzir a tensão V_{sd} é a adição de um diodo Schottky de Si em paralelo com o canal *Source-Drain* na estrutura do dispositivo (MORITA et al., 2012). Isso pode reduzir o valor de V_{sd} para em torno da metade durante a condução reversa. Entretanto, essa alteração pode acabar inutilizando algumas das principais vantagens do transistor GaN HEMT, como tempo de transição e efeito de recuperação reversa (RIBEIRO, 2020).

No GaN HEMT, a ocorrência da recuperação reversa, efeito que ocorre com a corrente no dispositivo ao passar do estado conduzindo para o estado de bloqueio, é muito menor do que é visto em um diodo de Si (ou no diodo intrínseco de MOSFETs). A Figura 30 mostra a comparação entre um transistor GaN e um diodo de recuperação

rápida de Si. Essa é mais uma grande vantagem do GaN HEMT em relação a outros dispositivos.

Figura 30 – Efeito da recuperação reversa no dispositivo GaN GIT.



Fonte: retirado de (RIBEIRO, 2020).

Assim como o MOSFET, no GaN HEMT também é possível representar o canal de condução por uma resistência de condução ($R_{ds(on)}$). O valor de $R_{ds(on)}$ é variável conforme a temperatura da junção, possuindo um coeficiente de temperatura positivo (o que permite a aplicação dos transistores operando em paralelo), bem como a tensão de *threshold* do dispositivo.

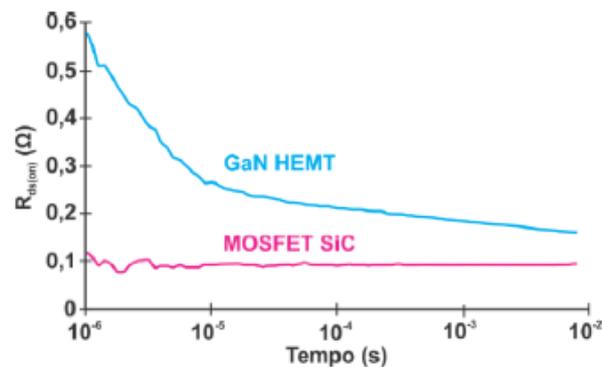
A resistência $R_{ds(on)}$ no GaN HEMT possui duas componentes, um valor estático e um valor dinâmico. O efeito dinâmico decorre da estrutura do dispositivo GaN HEMT e é um efeito indesejável, pois acarreta o aumento da resistência de condução. O principal motivo, estudado por (TANAKA et al., 2016), se deve a utilização de carbono na dopagem, o que gera armadilhas na estrutura, levando ao que se chama de efeito de colapso de corrente durante o início de condução do dispositivo (RIBEIRO, 2020).

O que acontece é que durante o início de condução do dispositivo, a resistência $R_{ds(on)}$ apresenta um valor de pico, que vai diminuindo ao longo do tempo, até que o dispositivo entre em um regime permanente. A Figura 31 compara a resistência de condução de um dispositivo GaN HEMT com um MOSFET SiC ao longo do tempo, onde podemos ver claramente o efeito dinâmico de $R_{ds(on)}$ no GaN HEMT.

A princípio, este efeito dinâmico na resistência de condução do transistor GaN é indesejado, pois traz consequências negativas quando um conversor está operando

em frequências elevadas, onde não daria tempo para o componente reduzir a resistência. Além disso, mostra que há uma característica de coeficiente negativo de temperatura, o que prejudica o paralelismo de transistores. Entretanto, não foi encontrado mais informações a respeito deste efeito durante as pesquisas para revisão bibliográfica e os fabricantes reiteram que os transistores GaN comerciais pode ser submetido a altíssimas frequências e aplicado em paralelo com outros dispositivos GaN (GAN SYSTEMS, 2021).

Figura 31 – Comportamento da resistência do transistor de GaN em comparação com o transistor de SiC.



Fonte: retirado de (RIBEIRO, 2020).

Esse efeito depende de três principais fatores em que o dispositivo está submetido, sendo que o aumento de qualquer um deles causa o aumento da resistência de condução dinâmica:

- Tensão de bloqueio ($V_{ds(off)}$);
- Período em que o dispositivo se encontrava bloqueado;
- Temperatura.

Um modo de se reduzir o efeito de colapso de corrente é utilizando uma tensão V_{gs} maior. O aumento da tensão *gate-source* não consegue eliminar o efeito, apenas faz com que ocorra uma recuperação mais rápida. Uma estrutura de GaN HEMT chamada de *Hybrid-Drain-embedded Gate Injection Transistor* (HD-GIT) tem como objetivo mitigar este efeito (RIBEIRO, 2020), porém, não é estudado neste trabalho, ficando apenas como uma informação adicional, pois não houve ênfase nesta estrutura nos materiais lidos durante a pesquisa.

Já foi verificado que em um dispositivo de GaN de 650 V (o fabricante não é mencionado, mas os dispositivos da GaN Systems é que possuem essa especificação), para minimizar os efeitos do valor dinâmico de $R_{ds(on)}$ é necessário aplicar uma tensão V_{gs} entre +5 V e +6 V (WANG et al., 2016).

2.2.5 Dispositivos Comerciais Disponíveis Atualmente

Foi feito uma pesquisa das empresas que fabricam transistores GaN do tipo intensificação, com o objetivo de conhecer as características dos componentes comerciais disponíveis atualmente, como máxima tensão de bloqueio (V_{ds}), máxima corrente no *drain* (I_D), resistência de condução máxima ($R_{ds(on)}$), máxima tensão V_{GS} , entre outros, para que se possa projetar um circuito *gate driver* que seja capaz de atender o maior número possível de dispositivos de GaN.

A seguir são apresentadas as Tabelas 4, 5, 6, 7 e 8, que mostram as faixas de valores das características dos componentes que cada fabricante produz. É válido lembrar que os dispositivos citados aqui foram selecionados até o dia 21 de dezembro de 2021 e que na data de publicação deste trabalho, alguns dispositivos podem não estar mais disponíveis. Recomenda-se que seja conferido o *datasheet* do dispositivo de interesse para mais informações.

Alguns fabricantes indicam o parâmetro $V_{gs,max}$ nos datasheets, que é o valor limite para picos de tensão que o dispositivo tolera nos terminais *gate-source* durante um transiente.

Também são apresentados dispositivos que ainda estão em desenvolvimento, a fim de que o circuito *gate driver* também possa atender a requisitos de dispositivos que venham ser disponíveis no futuro. Estes são marcados com um * após o nome do fabricante.

Durante a pesquisa, também foram selecionados dispositivos de empresas que fabricam outros tipos de produtos, como transistores tipo *cascode*, transistores com *gate driver* integrado e CIs com transistores em configuração meia-ponte. Porém, estas listas ficam apenas como informação extra para que se possa ter uma noção maior dos dispositivos GaN no mercado, pois o desenvolvimento do *gate driver* deste

trabalho é com foco nos dispositivos de intensificação com um único transistor no encapsulamento.

Tabela 4 – Transistores GaN do tipo intensificação.

Fabricante	V_{ds} (V)	I_D (A)	$R_{ds(on)}$ (m Ω)	$V_{gs}/V_{gs,max}$ (V)	$V_{gs(th)}$ (V)	C_{iss} (pF)	C_{rss} (pF)	C_{oss} (pF)
EPC	15 a 200	1,7 a 90	1,45 a 550	+6 a -4	1 a 1,6	14 a 2150	0,1 a 100	6,5 a 1650
GaN Systems	100 e 650	4 a 90	7 a 450	+7 a -10 / +10 a -20	1,7	26 a 600	0,3 a 12	7 a 250
Infineon ⁴	400 e 600	31	70	-10 / -25	1,2	382 e 380	0,3	72
Infineon*	600	10 a 31	70 e 190	-10 / -25	1,2	157 e 380	0,15 e 0,3	28 e 72

Fonte: fornecido pelo autor (2022)

Tabela 5 – Transistores GaN do tipo *cascode*.

Fabricante	V_{ds} (V)	I_D (A)	$R_{ds(on)}$ (m Ω)	$V_{gs}/V_{gs,max}$ (V)	$V_{gs(th)}$ (V)	C_{iss} (pF)	C_{rss} (pF)	C_{oss} (pF)
Nexperia	650	33,4 a 60	39 a 50	+12 a 0 / +20 a -20	3,9 e 4	1000 e 1500	5 e 8	130 e 147
Transphorm	650 e 900	3,6 a 93	18 a 560	+12 e +8 a 0 / +20 a -20 e +18 a -18	2,1 a 4	576 a 5218	1,5 a 26	9 a 307
Transphorm*	650	13	180	+12 a 0 / +20 a -20	4	598	1	30

Fonte: fornecido pelo autor (2022).

⁴ A Infineon indica apenas os limites de valores negativos para tensão V_{gs} e $V_{gs,max}$.

Tabela 6 – Dispositivos GaN com *gate driver* integrado.

Fabricante	V_{ds} (V)	I_D (A)	$R_{ds(on)}$ (m Ω)	C_{oss} (pF)
Texas Instruments	600	17 a 40	57 a 150	27 a 71
Navitas Semi.	650	5 a 20	100 a 430	11 a 47
Texas Instruments*	600 e 650	44 e 55	30 a 50	110 e 218

Fonte: fornecido pelo autor (2022).

Tabela 7 – Dispositivos GaN em meia-ponte.

Fabricante	V_{ds} (V)	I_D (A)	$R_{ds(on)}$ (m Ω)	V_{gs} (V)	$V_{gs(th)}$ (V)	C_{iss} (pF)	C_{rss} (pF)	C_{oss} (pF)
EPC	30 a 100	1,7 a 40	2,1 a 70	+6 a -4	1,3 a 1,4	79 a 1630	0,5 a 64	52 a 1370

Fonte: fornecido pelo autor (2022).

Tabela 8 – Dispositivos GaN em meia-ponte com *gate driver* integrado.

Fabricante	V_{ds} (V)	I_D (A)	$R_{ds(on)}$ (m Ω)	$V_{gs(th)}$ (V)	C_{oss} (pF)
STMicroelectronics	620	2,6 a 9,7	220 a 1012	1,7	7 a 20

Fonte: fornecido pelo autor (2022).

Obs.: Os dois transistores que compõem os dispositivos GaN em meia-ponte podem ter os valores dos parâmetros diferentes entre si. Os valores de V_{ds} , I_D , $R_{ds(on)}$ e V_{gs} são os valores máximos mostrados nos *datasheets*. Os outros parâmetros são valores típicos. Por fim, todos os valores indicados são para temperatura de 25 °C.

2.3 CIRCUITO GATE DRIVER

Nesta seção, é discutido alguns conceitos e parâmetros do transistor importantes que devem ser considerados ao projetar um circuito de *gate driver*. Ainda, antes de

ver esses aspectos para o transistor GaN, é falado um pouco também sobre o acionamento de MOSFETs e IGBTs, pois ainda são extremamente utilizados.

2.3.1 Parâmetros e conceitos fundamentais para Gate Drivers

Como visto na seção 2.1.3, os transistores possuem capacitâncias entre seus terminais e que a capacitância C_{gs} deve ser carregada para que o transistor entre em condução e descarregada para que entre em bloqueio. Entretanto, essa informação não está disponível no *datasheet* do componente fornecido pelo fabricante.

As capacitâncias fornecidas pelo fabricante são: capacitância de entrada (C_{iss}), capacitância de saída (C_{oss}) e a capacitância de transferência reversa (C_{rss}) (símbolos podem variar de fabricante para fabricante).

Curto-circuitando a saída do transistor (entre terminais *drain-source*), a capacitância de entrada pode ser medida entre os terminais *gate* e *source*. Portanto, C_{gs} está em paralelo com C_{gd} , resultando na capacitância de entrada C_{iss} . Pela capacitância C_{gs} ser muito maior do que C_{gd} , a maior parte da capacitância de entrada se deve à C_{gs} , portanto, assim é possível estimar seu valor.

Curto-circuitando a entrada (entre os terminais *gate-source*), a capacitância de saída pode ser medida entre os terminais *drain* e *source*. Portanto, C_{ds} está em paralelo com C_{gd} , resultando na capacitância de saída C_{oss} . Pela capacitância C_{ds} ser maior que C_{gd} , a maior parte da capacitância de saída se deve à C_{ds} .

Outros parâmetros importantes fornecidos no *datasheet* são:

- Tempo de atraso para condução (*Turn-On Delay Time*) ($T_{d(on)}$), que é o tempo que o transistor leva para começar a conduzir corrente desde o instante em que recebeu o comando;
- Tempo de subida (*Rise Time*) (T_r), que é o tempo em que o transistor leva desde que a corrente atinge 10% do seu valor final até quando a corrente chega em aproximadamente 90% do seu valor final;
- Tempo de atraso para bloqueio (*Turn-Off Delay Time*) ($T_{d(off)}$), que é o tempo em que o transistor leva desde o instante que recebeu o comando para entrar em bloqueio até a corrente que estava conduzindo chegar a 90% do seu valor;

- Tempo de descida (*Fall Time*) (T_f), que é o tempo em que o transistor leva desde que a corrente atinge 90% do valor inicial até quando a corrente chega em aproximadamente 10% do seu valor inicial.

Além destes parâmetros de tempo, algumas topologias de conversores que possuem “braços” (como conversores meia-ponte, ponte completa etc.) precisam de um tempo adicional para entrada em condução, denominado de tempo morto (*dead time*), configurado no circuito de *gate driver*. Esse tempo adicional serve para certificar que um transistor entre em bloqueio antes que o outro entre em condução, evitando assim um curto-circuito que pode danificar o conversor e a fonte de entrada.

A capacitância de entrada junto com o tempo de subida é que determinam a corrente necessária para que o transistor entre em condução. Os circuitos de *gate driver* podem ter um resistor de *gate* (R_g) conectado entre a tensão de comando e o terminal *gate* para controlar as derivadas de corrente da entrada de condução e/ou no bloqueio, pois uma fonte conectada à uma capacitância descarregada gera um pico de corrente muito alto. É possível separar os caminhos de entrada em condução e bloqueio, permitindo assim valores diferentes de R_g para cada um. Porém, valores altos de resistência diminuem a eficiência do conversor.

Quando o sinal de comando é dado para o transistor entrar em condução, uma corrente é fornecida pelo circuito *gate driver* para que o transistor acione. Inicialmente há um pico de corrente, que vai decaindo exponencialmente devido a característica capacitiva do circuito.

Durante este tempo, o circuito fornece a corrente para que a capacitância de entrada carregue sua carga, dado pelo parâmetro *Total Gate Charge* (Q_G), fornecido no *datasheet*. Depois, essa corrente chega em um valor muito baixo, sendo geralmente desprezada. Portanto, o valor médio da corrente de *gate* é muito baixa.

O menor tempo possível para que um transistor entre em condução já é fornecido pelo *datasheet*, o tempo de subida. Se for escolhido um resistor R_g menor, a corrente de pico é maior e a carga acumula mais rápido, porém, não diminui o tempo para ligar o transistor. Se R_g for maior, a corrente é menor e a capacitância carrega mais lentamente e, conseqüentemente, o transistor demora mais para entrar em condução. O mesmo vale para o bloqueio.

A tensão aplicada nos terminais *gate-source* do transistor para que este conduza deve se manter durante todo o tempo de condução desejado, assim como no bloqueio. Devido às capacitâncias e indutâncias parasitas dos componentes e da PCB, na prática se usa um valor de tensão negativo para o bloqueio do transistor, para evitar que algum ruído acione o transistor em um momento indesejado.

O bloqueio do transistor é bem mais lento que a entrada em condução, desse modo, pode ser adicionado um resistor de menor valor ou até mesmo nenhum resistor, usando apenas a resistência da trilha da placa de circuito impresso.

O *gate driver* também auxilia a diminuir às perdas de comutação do conversor. Para isso, deve se fazer seu projeto visando o menor tempo de entrada em condução e bloqueio possíveis de se atingir com o transistor. Quanto maior o módulo da tensão V_{gs} , mais rápido é a transferência de carga para a capacitância de entrada, portanto, mais rápida é a entrada em condução. O mesmo vale para o bloqueio.

Entretanto, essa comutação mais rápida gera inconvenientes, como aumento de interferência eletromagnética (EMI) emitida pelo circuito. Assim, deve se tomar cautela com a escolha da tensão aplicada ou implementar técnicas para diminuir o efeito de EMI.

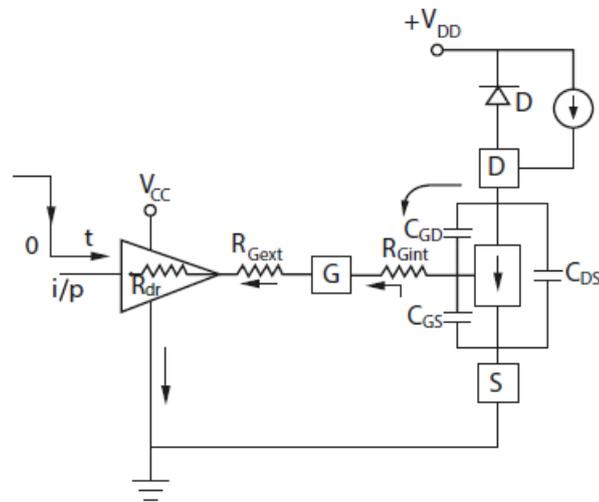
A perda no circuito *gate driver* é dada pela equação (1), em que depende da carga de carga de *gate* (Q_G) do transistor, da tensão V_{gs} aplicada e da frequência de chaveamento (f_s). Para transistores de Si, como o MOSFET e o IGBT, as perdas no circuito de *driver* geralmente é desprezada, pois operam em frequências baixas o suficiente em que não há uma perda significativa de potência.

$$P_{driver} = Q_G \cdot V_{gs} \cdot f_s \quad (1)$$

2.3.2 Acionamento de um transistor

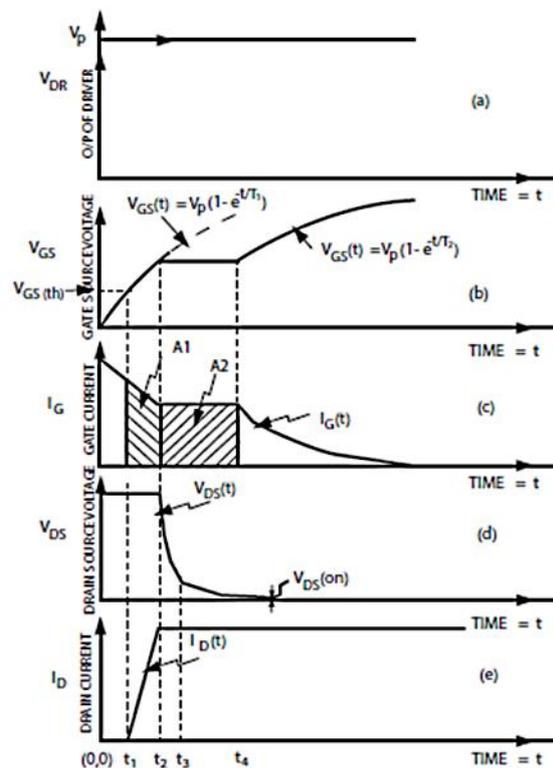
Agora é analisado um simples circuito para ver o comportamento de um *gate driver* e como um transistor (IGBT ou MOSFET) é acionado. Na Figura 32, está ilustrado um bloco *gate driver* genérico em série com uma resistência R_g , sendo que o transistor (um MOSFET, por exemplo) está modelado com sua resistência de *gate* interna e suas capacitâncias entre os terminais. Ainda, há um barramento de tensão CC fornecendo corrente que entra pelo terminal de *drain* do transistor.

Figura 32 – Diagrama esquemático de um *Gate Driver* genérico.



Fonte: retirado de (ORIGE; NOVAES, 2021).

Figura 33 – Curvas de corrente e tensão no acionamento de um transistor.



Fonte: retirado de (ORIGE; NOVAES, 2021).

Os gráficos da Figura 33 ilustram o processo a ser descrito. Supõe-se que inicialmente o transistor está bloqueado, portanto, há uma tensão V_{ds} entre os

terminais *drain* e *source*. No momento em que o sinal de comando para acionar é dado, há um pico de corrente no terminal *gate* e a tensão V_{gs} começa a subir. A corrente de *gate* fornecida pelo *gate driver* começa a decrescer, pois a capacitância de entrada do transistor está sendo carregada.

Quando a tensão V_{gs} atinge o nível $V_{gs(th)}$ do transistor, a corrente no terminal de *drain* começa a subir, entretanto, a tensão V_{ds} permanece igual. Portanto, a partir desse instante há perdas de chaveamento no transistor, pois há corrente e tensão no transistor ao mesmo tempo.

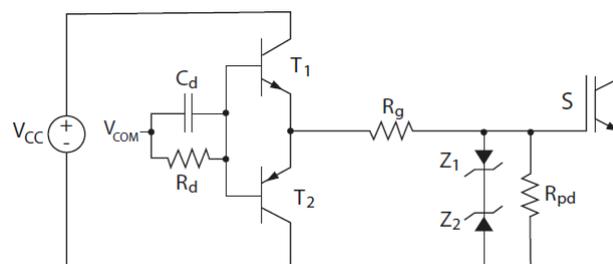
Quando a corrente I_D atinge o valor da corrente de carga, a tensão V_{gs} permanece constante durante um período. Essa região de operação do transistor é denominada de região de Miller. Quando o transistor está nesta região, a tensão V_{ds} começa a decrescer. Além da tensão V_{gs} constante, a corrente de *gate* também permanece constante.

Quando a tensão V_{ds} se aproxima de 0 V, não há mais perdas de chaveamento. A tensão V_{gs} volta a subir até atingir o valor projetado para o *gate driver* e a corrente de *gate* volta a decrescer. Quando a tensão V_{ds} atinge 0 V, há somente corrente I_D passando no transistor e o dispositivo está em estado de condução, finalizando assim o processo de acionamento do transistor. Para o bloqueio do dispositivo, ocorre um processo análogo, porém, a corrente I_D vai a 0 A e a tensão V_{ds} vai para o nível do barramento CC.

2.3.3 Exemplos de circuitos Gate Drivers convencionais

O circuito da Figura 34 é um exemplo de *gate driver* não isolado, em que se utiliza a estrutura *totem-pole*, onde são utilizados um transistor BJT *npn* e outro *pnp*.

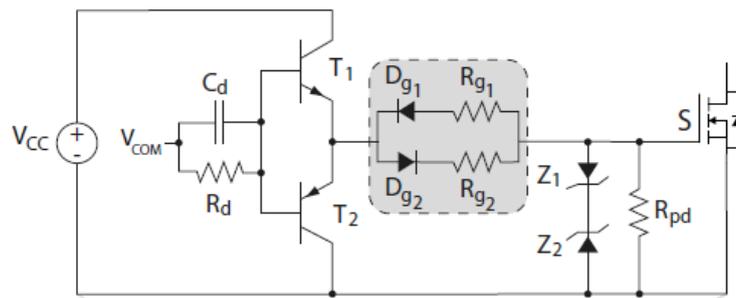
Figura 34 – Gate Driver com Totem-Pole.



Fonte: retirado de (ORIGE; NOVAES, 2021).

Este circuito possui ainda dois diodos Zener para realizar o grampeamento da tensão V_{gs} dentro dos limites do dispositivo. Sua maior vantagem é que é um circuito extremamente simples de ser implementado. Entretanto, este fornece apenas dois níveis de tensão para o acionamento do transistor: $+V_{cc}$ e 0. É possível ainda trocar o resistor R_g por um par resistor-diodo em antiparalelo, como mostra a Figura 35.

Figura 35 - *Gate Driver* com *Totem-Pole* modificado.

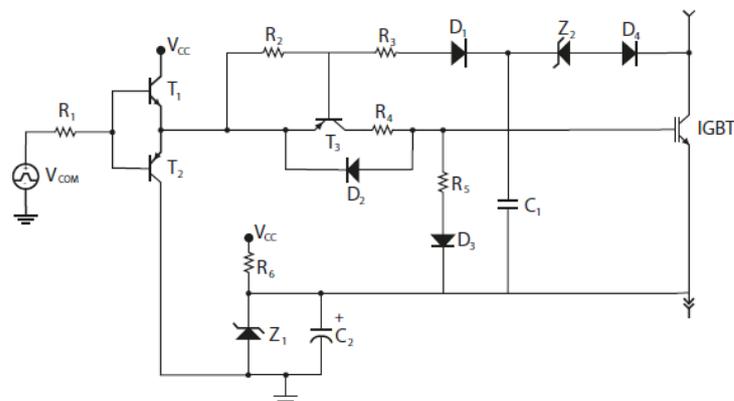


Fonte: retirado de (ORIGE; NOVAES, 2021).

O circuito ilustrado na Figura 36, também do tipo não isolado, é mais complexo que o apresentado anteriormente, porém, possui duas novas funções:

- tensão negativa aplicada em V_{gs} para o bloqueio do transistor, por meio do diodo Z1 e o capacitor C2;
- proteção contra sobrecorrente, por meio do diodo Z2 que monitora a tensão V_{ds}/V_{ce} (a tensão V_{ds} (ou V_{ce}) aumenta conforme a corrente I_D (I_c) aumenta).

Figura 36 – *Gate Driver* não isolado com funções de proteção e tensão negativa.

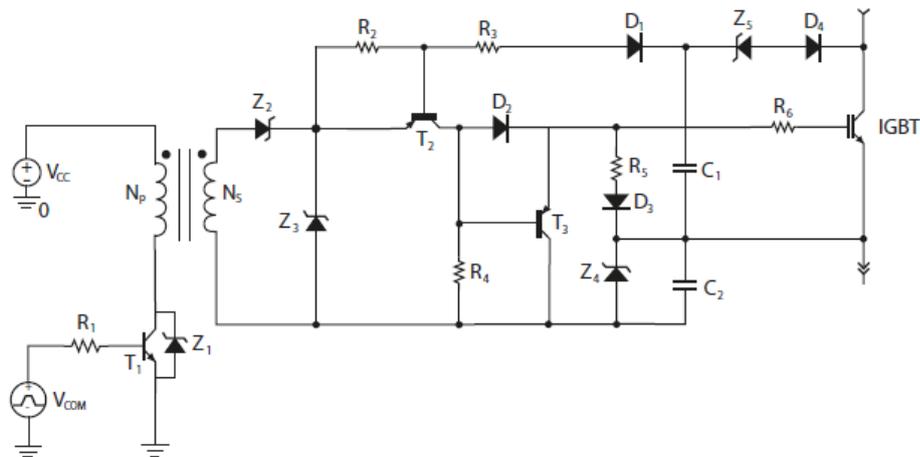


Fonte: retirado de (ORIGE; NOVAES, 2021).

Uma forma de se ter um *gate driver* isolado é por meio de isolamento galvânica. Uma técnica muito comum é o transformador de pulso. Algumas vantagens além da

isolação galvânica são: possibilidade de operar em alta frequência, imunidade à interferência eletromagnética, múltiplas saídas, entre outros. O transformador de pulso pode ser aplicado em um dos circuitos não isolados apresentados anteriormente. Entretanto, a faixa de variação da razão cíclica fica limitada para não ocorrer a saturação do núcleo magnético. A Figura 37 mostra o diagrama de um circuito com o transformador de pulso.

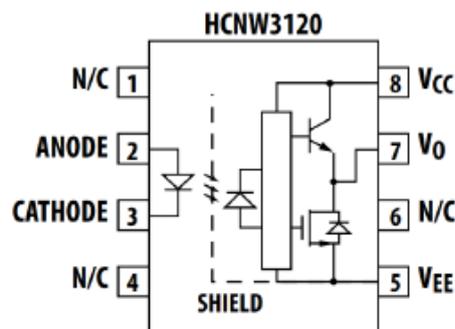
Figura 37 – *Gate Driver* com transformador de pulso.



Fonte retirado de (ORIGE; NOVAES, 2021).

Outra forma de se obter um *gate driver* isolado é por meio da isolação óptica. Para isso, é utilizado um circuito integrado chamado de optoacoplador. Este CI tem em sua pastilha dois circuitos isolados entre si: uma entrada, com um diodo emissor de luz, e uma saída, com um transistor acionado por luz. A Figura 38 mostra um esquemático do circuito interno do HCNW3120.

Figura 38 – Circuito integrado do optoacoplador HCNW3120.



Fonte: retirado de (ORIGE; NOVAES, 2021).

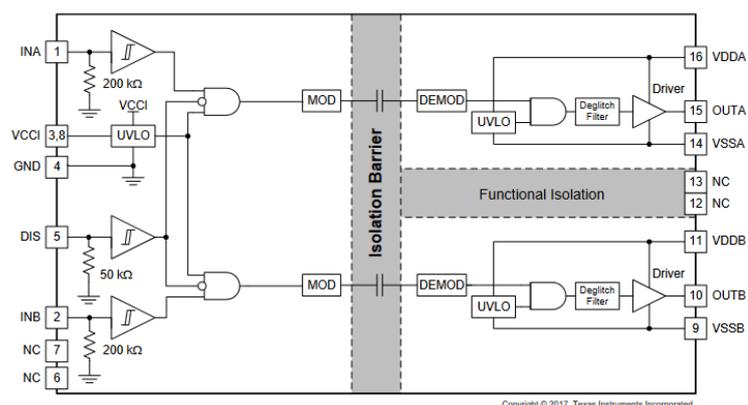
O optoacoplador é utilizado em conjunto com um circuito de *driver* não isolado, como um dos que foram apresentados anteriormente aqui. Desse modo, quando há um sinal de controle para acionar o transistor, este passa pelo fotodiodo, que emite uma luz para acionar o transistor, que por sua vez dá o comando para acionar o transistor do conversor de potência.

Este circuito possui algumas desvantagens como frequência de comutação limitada (depende do CI utilizado) e efeitos indesejáveis com o aumento da temperatura. Apesar disso, é um modo relativamente barato de se obter isolamento óptico e é amplamente utilizado.

A fibra óptica também é um modo de se obter isolamento óptico, entretanto, além do seu alto custo, demanda circuitos como modulação, demodulação, entre outros, que tornam seu projeto muito mais complexo.

Atualmente, é comum utilizar circuitos integrados de *gate drivers* que já possuem várias funções como monitoramento de corrente e tensão, inversão de sinal para comando complementar, controle de tempo morto, desabilitação de comando e muitas outras funções. Além disso, alguns também já possuem uma isolamento interna. A Figura 39 mostra o diagrama esquemático de um destes CIs, o UCC21220 da Texas Instruments.

Figura 39 – Circuito integrado UCC21220.



Fonte: Retirado de (TEXAS INSTRUMENTS, 2022).

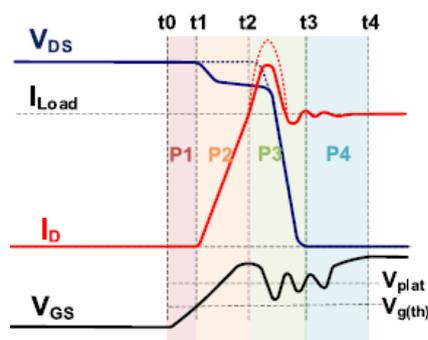
2.3.4 Gate Driver para Transistor de GaN de Intensificação

Como já mencionado, não é possível utilizar o mesmo circuito *gate driver* de um transistor de Si em um transistor GaN de intensificação, pois as tensões *gate-source* máxima, mínima e de *threshold* são bem menores. Isso também torna o dispositivo muito mais susceptível a ruídos. Portanto, para um conversor em que se deseja utilizar o transistor de GaN, é necessário projetar um circuito *gate driver* dedicado para acionamento de transistor de GaN e ter uma fonte de alimentação muito bem regulada para evitar danos ao componente.

2.3.4.1 Acionamento do transistor de GaN

Conforme apresentado em (GAREAU; HOU; EMADI, 2020), o acionamento do transistor de GaN é basicamente igual ao MOSFET e IGBT, como já descrito na seção 2.3.1. A Figura 40, no entanto, mostra o acionamento do transistor de baixo em uma configuração meia-ponte. Resumidamente, na fase P1 a tensão V_{gs} começa a subir. Na fase P2, a tensão V_{gs} atingiu o valor de *threshold* e a corrente no canal de *drain* começa a subir. Na fase P3, a tensão V_{gs} entra no valor da região de Miller, a tensão V_{ds} começa a descer e há um pico de corrente de *drain*, devido a capacitância de saída do transistor de cima estar sendo carregada para que possa entrar em bloqueio. Na fase P4, a corrente de *drain* já decresceu para a corrente de carga, a tensão V_{ds} cai para zero e a tensão V_{gs} atinge seu valor máximo. Também estão ilustradas algumas oscilações que ocorrem no acionamento devido aos componentes parasitas capacitivos e indutivos decorrentes do dispositivo e do circuito.

Figura 40 – Processo de entrada em condução do transistor de GaN em configuração meia-ponte.



Fonte: retirado de (GAREAU; HOU; EMADI, 2020).

Em (WANG et al., 2016), é descrito um equacionamento mais detalhado do processo de comutação do transistor da GaN Systems de 650 V. Para o projeto do *gate driver*, enfatiza-se aqui a equação de corrente no capacitor, dada pela equação (2). Com esta equação, é possível calcular o valor necessário da corrente a ser fornecida pelo circuito de *gate driver* para entrada em condução/bloqueio do transistor, com o tempo de subida/descida desejado.

$$i_c = C \frac{dv}{dt} \quad (2)$$

$$I_G = C_{iss} \frac{\Delta V_{gs}}{\Delta t} \quad (3)$$

2.3.4.2 Perdas no transistor de GaN

De acordo com (GAREAU; HOU; EMADI, 2020), os mecanismos de perdas no transistor de GaN são similares aos dos transistores de Si, podendo ser divididos em perdas de condução e comutação.

Para as perdas de condução, pode ser utilizada a equação (4) para se obter uma estimativa, onde I_D é o valor eficaz da corrente no *drain*. Para se obter um valor mais preciso, é necessário levar em consideração os efeitos da temperatura na junção e do valor dinâmico da resistência de condução, o que torna o modelo mais complexo.

$$P_{cond} = R_{ds(on)} \cdot I_D^2 \quad (4)$$

As perdas de comutação incluem:

- perdas de sobreposição de curva I-V, que pode ser obtida calculando-se a área da curva resultante no período que os valores de I_D e V_{ds} são maiores que zero, como pode ser visto na Figura 40. Sua expressão matemática é dada pela equação (5).
- Perdas provenientes de carga e descarga de capacitâncias parasitas do transistor (E_{oss}) pode ser calculada por meio da equação (6);
- em configurações meia-ponte, perdas provenientes da carga de capacitância parasita do outro transistor do braço (E_{qoss}) pode ser calculada por meio da equação (7).

$$P_{sw} = \frac{1}{T_s} \int_{t_1}^{t_2} V_{ds}(t) i_D(t) dt \quad (5)$$

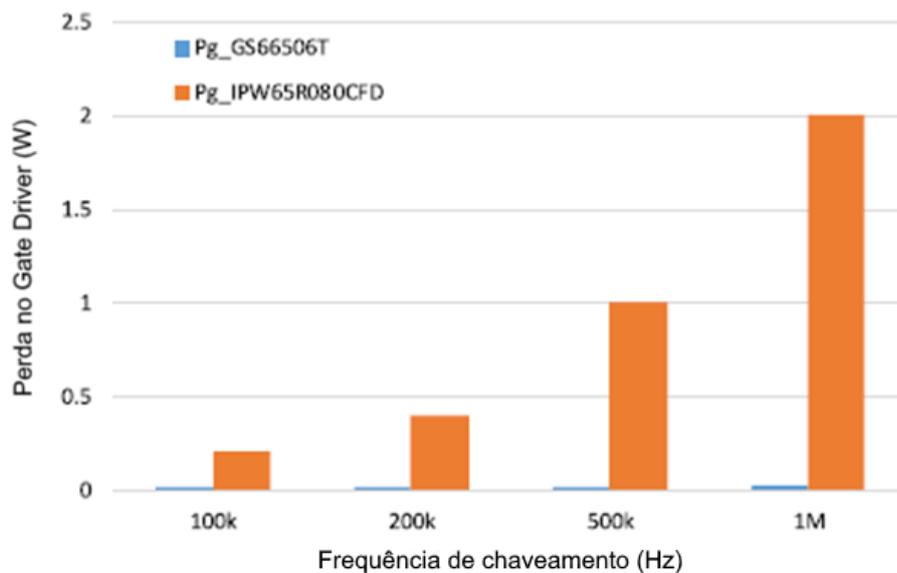
$$E_{oss} = \int_0^{V_{dc}} V_{ds} \times C_{oss}(V_{ds}) dV_{ds} \quad (6)$$

$$E_{qoss} = \int_0^{V_{dc}} (V_{dc} - V_{ds}) \times C_{oss}(V_{ds}) dV_{ds} \quad (7)$$

As perdas de *gate driver* para o transistor de GaN também são dadas pela equação (1), assim como os MOSFETs e IGBTs. A Figura 41 destaca a diferença de perdas *gate driver* entre um transistor de GaN e um MOSFET em diferentes frequências, mostrando neste quesito a superioridade do GaN em altas frequências de chaveamento, devido à sua baixa tensão V_{gs} e carga de *gate* (Q_g) extremamente baixa.

Para análises matemáticas mais detalhadas e propostas de modelos para obtenção de perdas em transistores de GaN, recomenda-se a leitura de (GAREAU; HOU; EMADI, 2020) e (WANG et al., 2016).

Figura 41 – Comparação de perdas *gate driver* em transistor de Si e GaN para diferentes frequências de chaveamento.



Fonte: retirado de (GAREAU; HOU; EMADI, 2020).

2.3.4.3 Características gerais para projeto do gate driver

Assim como no *gate driver* para transistores de Si, é possível a implementação de um resistor de *gate* para controlar a velocidade de acionamento (dv/dt) do transistor de GaN. O resistor de *gate* também atua como amortecedor para as indutâncias parasitas e no *gate loop* do circuito, diminuindo oscilações que podem ocasionar picos na tensão V_{gs} (GAN SYSTEMS, 2022) (EPC, 2022).

Se utilizados dois resistores de *gate* separados para entrada em condução e bloqueio, recomenda-se valores maiores (10-20 Ω) para entrada em condução e valores menores (1-2 Ω) para o bloqueio. Em muitos casos, podem ser utilizados resistores SMD 0402 ou 0603, devido às baixas perdas de acionamento e Q_g extremamente baixo do transistor de GaN (GAN SYSTEMS, 2021).

De acordo com (EPC, 2021), a técnica de adotar um diodo no caminho de bloqueio não é recomendada, pois adiciona uma queda de tensão no caminho e aumenta a impedância, o que aumenta o tempo de bloqueio. Portanto, (EPC, 2021) recomenda utilizar um *gate driver* que possua dois terminais diferentes para a entrada em condução e bloqueio do transistor.

De acordo com (GAN SYSTEMS, 2022) (EPC, 2021), CIs de *gate drivers* para transistores de Si podem ser utilizados, contanto que tenham suporte para alimentação da tensão de saída que esteja dentro dos padrões de transistores de GaN (em torno de 5 a 6 V), caso contrário, deve-se utilizar um circuito externo que altere o nível de tensão para valores adequados. Além disso, o CI deve ter a função de UVLO (*Under Voltage Lockout* – Travamento Por Subtensão) que seja adequada para operação em 5 a 6 V. Essa função realiza a desabilitação do sinal de comando caso a tensão fornecida para o transistor não esteja dentro dos limites estabelecidos pelo CI. De acordo com (EPC, 2021), para transistores da EPC recomenda-se que limite superior de 4 V para que o transistor seja habilitado e limite inferior de 3,8 V para que o transistor seja desabilitado.

Alguns dispositivos de GaN possuem um terminal denominado de *Source Sense* (SS), ou *Kelvin Source*, para otimização do *gate driver*. De acordo com (GAN SYSTEMS, 2022), este pino melhora a performance de comutação porque elimina a indutância *common source*. A indutância *common source* é a indutância compartilhada

pelo caminho da corrente principal e o *loop* do *gate driver*, levando a corrente do *drain-source* e a corrente que carrega o *gate*. Em uma configuração meia-ponte, a indutância *common source* do transistor de cima tem um impacto significativo, pois quanto maior seu valor, maiores são as perdas de chaveamento (TEXAS INSTRUMENTS, 2022).

O pino SS deve ser implementado como sinal de retorno para o circuito *gate driver*, ou seja, fechar a malha. Esse terminal ajuda a diminuir a oscilação de tensão no *gate*, entretanto, também aumenta a indutância de *gate loop* (JONES et al., 2015). De acordo com (DIOGO VARAJAO, 2021), essa configuração requer isolamento entre sinais de entrada e saída para o CI de *gate driver*, pois quando há comutações muito rápidas, os picos de tensão entre os terminais *source* e *Kelvin Source* podem alcançar dezenas de Volts.

Uma técnica comum para proteção contra sobretensão nos componentes é a utilização do diodo Zener. O transistor de GaN possui capacitâncias extremamente pequenas, de modo que a adição do diodo Zener com sua capacitância parasita irá afetar a performance do circuito (SPRO et al., 2017). Em (SPRO et al., 2017), é feito um estudo do efeito do diodo Zener em circuitos de *gate driver* para transistores de GaN, onde se concluiu que para altos valores de resistência de *gate* (maior que 50Ω) a capacitância de junção do diodo Zener causou um tempo de atraso adicional do sinal, porém, para baixos valores de resistência de *gate* (menor que 50Ω), esse efeito pode ser desprezado. Entretanto, deve-se estar ciente deste efeito em aplicações com tempo morto.

Outras maneiras de se mitigar essas oscilações são: utilizar um *snubber* RC entre os terminais *gate-source* (que deve ser utilizado só como último recurso pois impacta nas transições de chaveamento (REUSCH; ROOIJ, 2017) e utilizar um *ferrite bead* (que amortece as oscilações de altas frequências, mas aumenta a indutância no *gate*) (GAN SYSTEMS, 2021).

2.3.4.4 Escolha de V_{gs} para entrada em condução

Uma grande dificuldade em se projetar um circuito *gate driver* que atenda vários transistores de GaN de diferentes fabricantes, é atingir o nível adequado de tensão V_{gs} para que o dispositivo opere com a melhor resistência $R_{ds(on)}$ possível. Por

exemplo, de acordo com (GAN SYSTEMS, 2022), a tensão V_{gs} para a resistência $R_{ds(on)}$ ótima para o dispositivo é de +6 V. Entretanto, a tensão V_{gs} ótima para um dispositivo da fabricante EPC é de +5 V e a tensão V_{gs} máxima é +6 V, de acordo com (EPC, 2021), o que colocaria o dispositivo no seu limite (apesar de que, de acordo com (EPC, 2022), o dispositivo da EPC consegue operar com confiabilidade utilizando 6 V). Assim, para um circuito *gate driver* que consiga acionar transistores de vários fabricantes, provavelmente terá de ser feita a escolha de qual fabricante terá o dispositivo com melhor desempenho.

Foi experimentado por (JONES et al., 2015) que para um dos transistores da GaN Systems de 650 V, não houve redução significativa de $R_{ds(on)}$ do dispositivo para uma tensão V_{gs} maior que 5 V. Isso indica que pode ser possível projetar um *gate driver* que atenda tanto o transistor da GaN Systems quanto da EPC sem muita perda de performance dos transistores. Entretanto, vale lembrar que para atingir a maior velocidade de chaveamento possível, deve ser utilizada a maior tensão possível.

2.3.4.5 Corrente de gate para diferentes estruturas de transistor de GaN

Como já comentado na seção 2.2, existem diferentes estruturas do transistor de GaN, portanto, pode haver diferenças no modo em que é feito o acionamento do dispositivo de cada fabricante. A princípio, todos os transistores utilizados como interruptores necessitam de uma pequena corrente no *gate* para que o dispositivo se mantenha em condução.

De acordo com (GAN SYSTEMS, 2021), o transistor da GaN Systems não necessita de uma corrente CC fornecida pelo *gate driver* para manter o dispositivo em condução, pois não há junções PN (diodos) em sua estrutura. Foi descoberto por (JONES et al., 2015) que o dispositivo da GaN Systems na tensão $V_{gs} = 6\text{ V}$, tem uma corrente no *gate* de apenas 0,5 mA para uma temperatura de 150°C na junção.

Entretanto, no dispositivo da Infineon, devido à sua estrutura há uma junção PN entre *gate-source* com uma tensão de polarização direta (V_F) de 3~3,5 V, juntamente com uma resistência interna (R_{dio}), o que impacta na forma de acionamento deste dispositivo. Este diodo faz com que a tensão do nó do *gate* seja

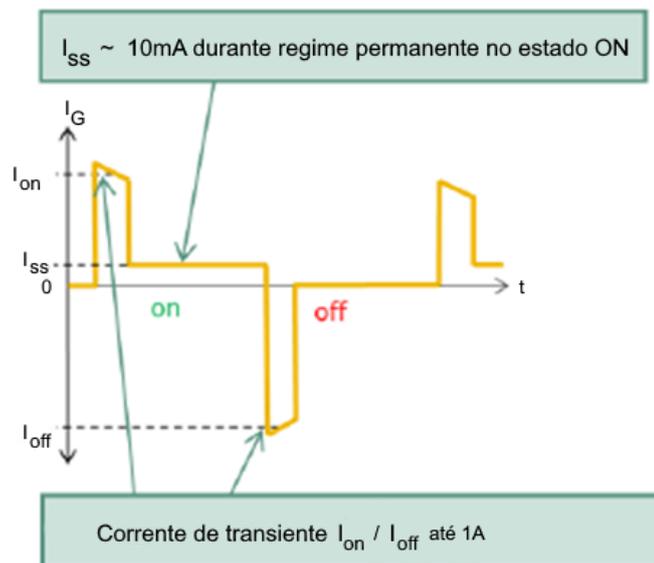
grampeado em uma tensão próxima de V_F . A resistência R_{dio} tem valores em torno de 2Ω (BERNHARD ZOJER, 2021).

Sendo assim, há a necessidade de uma corrente I_{SS} no *gate* com valor considerável para manter o dispositivo em condução, após o pico de corrente inicial de acionamento, como mostra a Figura 42 (BERNHARD ZOJER, 2021). Essa corrente é dada pela equação (8), onde V_{DD} é a tensão de saída do comando do circuito integrado de *driver* e R_{int} é a resistência interna de *gate*.

$$I_{SS} = \frac{V_{DD} - V_F}{R_g + R_{int}} \quad (8)$$

A corrente I_{SS} deve ser projetada para ser a menor possível, pois causa perdas adicionais. Na realidade, o valor de I_{SS} afeta diretamente a resistência de condução $R_{ds(on)}$ do dispositivo sendo utilizado, como demonstrado em (DIOGO VARAJAO, 2021). De acordo com (DIOGO VARAJAO, 2021), essa corrente fica em torno de 10 mA para aplicações típicas.

Figura 42 - Comportamento da corrente no *gate* do dispositivo da Infineon.

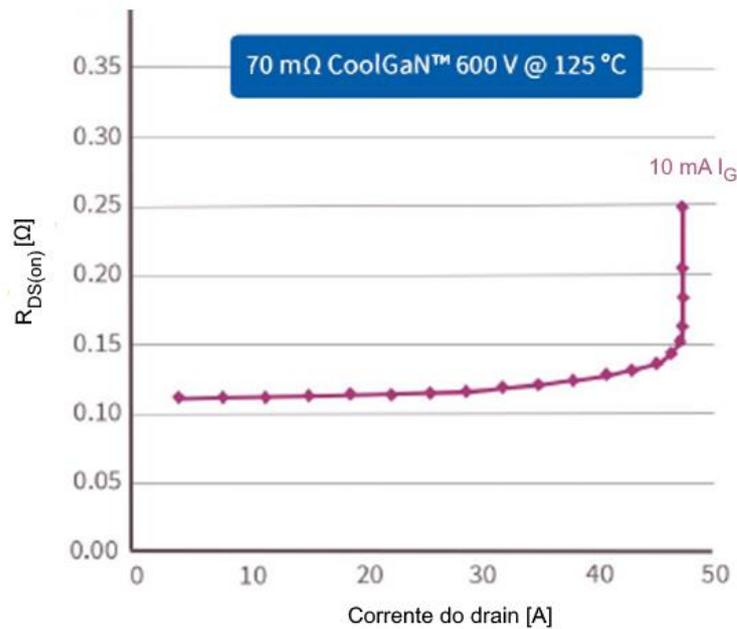


Fonte: Retirado de (DIOGO VARAJAO, 2021)

Na Figura 43, é visto que $R_{ds(on)}$ tem menor dependência da corrente que está passando pelo *drain*, o que torna o dispositivo mais robusto (DIOGO VARAJAO, 2021). O modelo equivalente do dispositivo da Infineon pode ser representado como mostra a Figura 44.

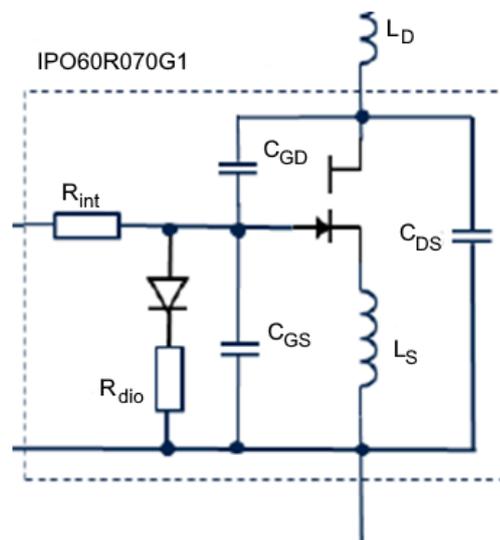
A Figura 45 mostra como as curvas de $I_D \times V_{DS}$ do dispositivo da Infineon são afetadas pelo valor da corrente no *gate*. Nota-se que para valores maiores de corrente no *gate*, o dispositivo consegue conduzir mais corrente no *drain*, confirmando sua importância no acionamento do transistor.

Figura 43 – Gráfico da resistência de condução do dispositivo da Infineon.



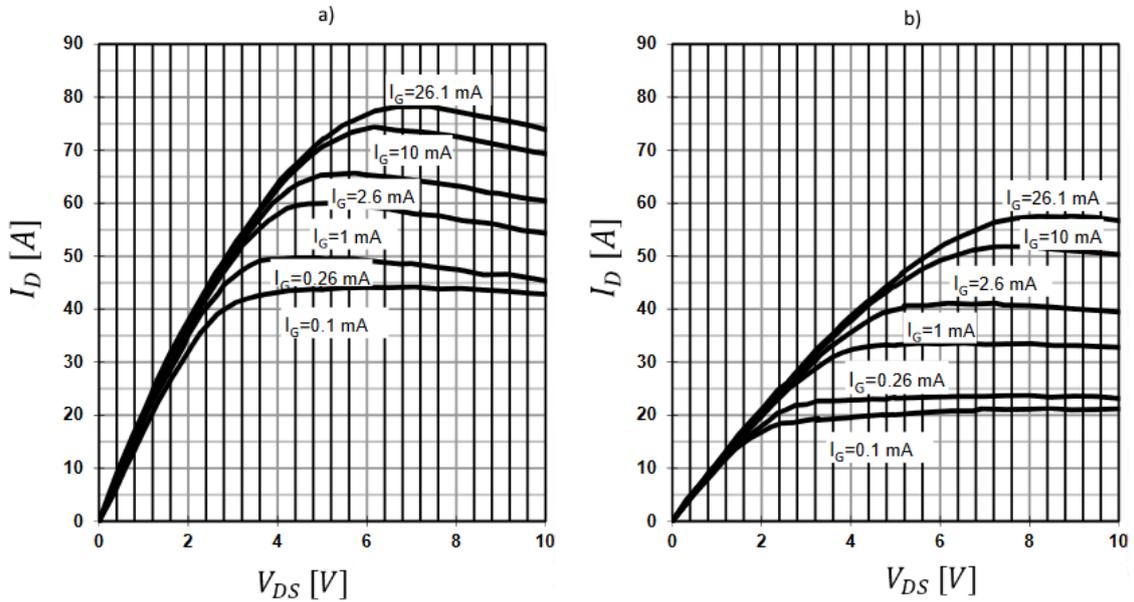
Fonte: Retirado de (DIOGO VARAJAO, 2021)

Figura 44 – Modelo do dispositivo de GaN da Infineon.



Fonte: Retirado de (BERNHARD ZOJER, 2021)

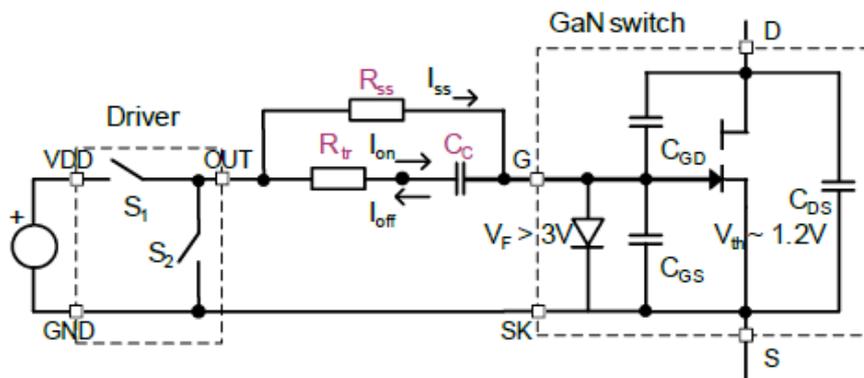
Figura 45 – Curvas de saída características do dispositivo IGOT60R070D1 da Infineon em: a) $T_j = 25\text{ }^\circ\text{C}$, b) $T_j = 125\text{ }^\circ\text{C}$.



Fonte: retirado de (INFINEON, 2022).

Em (BAINAN SUN, 2021) é recomendado um circuito RC que utiliza um valor de resistência no *gate* diferente da resistência para a corrente de pico inicial (entrada em condução), para acionamento de dispositivos da Infineon, que para facilitar é dito que o dispositivo é acionado por corrente. Porém, este circuito leva em consideração que a tensão no nó do *gate* será grampeada pela tensão de V_F . O circuito pode ser visto na Figura 46.

Figura 46 - Circuito *gate driver* RC.



Fonte: retirado de (BAINAN SUN, 2021).

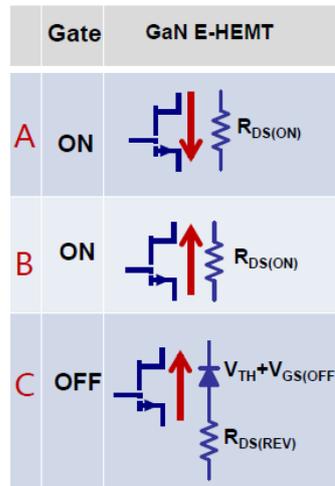
É comentado em (SPRO et al., 2017) e (NAGAO; FURUTA; KOBAYASHI, 2020) que dispositivos da GaN Systems e da EPC são acionados por tensão e que o circuito *gate driver* do tipo que é visto em (BAINAN SUN, 2021) não é adequado para o acionamento de dispositivos destes fabricantes.

2.3.4.6 Modelo de condução reversa

Assim como o MOSFET e o IGBT, o transistor de GaN de intensificação entra em bloqueio com $V_{gs} = 0$ V, porém, devido à baixa tensão $V_{gs(th)}$, uma solução para evitar acionamentos indesejáveis por causa de ruídos é a utilização de tensão negativa. Entretanto, essa tensão deve ser projetada apropriadamente, pois devido às características construtivas do transistor de GaN, uma tensão negativa pode aumentar perdas por condução reversa.

Como já explicado, o dispositivo de GaN não possui diodo intrínseco. Na direção reversa, o transistor conduz quando a tensão V_{gd} excede a tensão de *threshold*, fazendo com que o dispositivo conduza. Essa situação pode ser modelada por um diodo com uma tensão de polarização (V_F), mas sem carga de recuperação reversa. Desse modo, se utilizada uma tensão negativa em V_{gs} , esta é adicionada a queda de tensão de V_F e aumenta as perdas por condução reversa, pois aumenta a tensão V_{sd} (GAN SYSTEMS, 2022). A Figura 47 mostra os modelos dos estados em condução (*ON*) e em bloqueio (*OFF*) do dispositivo de GaN. O tempo morto também deve ser minimizado para reduzir as perdas por condução reversa.

Figura 47 – Modelos dos estados de acionamento do dispositivo de GaN.



Fonte: Retirado de (GAN SYSTEMS, 2021).

2.3.4.7 Cross Conduction

Em topologias com braços de transistores utilizando o transistor de GaN, o efeito de *cross conduction* fica bastante destacado, devido à alta frequência de chaveamento. Este efeito ocorre quando a capacitância parasita de um dispositivo do braço causa o acionamento simultâneo do outro transistor, aumentando as perdas de chaveamento, ou até danificando o dispositivo. Um método para se detectar este efeito em transistores de GaN é demonstrado em (QIU et al., 2020).

De acordo com os resultados obtidos por (JONES et al., 2015), recomenda-se um *gate driver* com uma resistência para entrada em condução e um caminho livre para o bloqueio, sendo que o valor de resistência deve ser alto o suficiente para mitigar o efeito, mas não tanto a ponto de aumentar as perdas de chaveamento devido ao tempo maior de entrada em condução. Para aplicações com corrente de carga de até 10 A, valores entre 5-10 Ω são apropriados.

Além disso, o CI *gate driver* também necessita ter um alto *Common Mode Transient Immunity* (CMTI) para reduzir este efeito de *cross conduction*. Entretanto, a maioria dos CIs comerciais não possuem um valor suficiente para o alto dv/dt que transistores de GaN podem alcançar (JONES et al., 2015).

2.3.4.8 Proteção contra sobrecorrente

Para o transistor de GaN, esse tipo de proteção deve ser extremamente rápido e robusto, o que vem a ser um desafio, pois deve levar em consideração os tempos de atraso de CIs utilizados. De acordo com (LESLÉ et al., 2021), o transistor de GaN suporta algumas centenas de nanosegundos em estado de curto-circuito. Além disso, seu tamanho menor resulta em uma capacidade de dissipação térmica menor, tornando o dispositivo mais sensível a esses eventos que geram uma quantidade de calor muito elevada.

Alguns métodos de proteção para curto-circuito já utilizados em IGBTs e MOSFETs vem sendo adaptados para serem aplicados em transistores de GaN. Um deles é o método DeSat (desaturação), que se baseia na medição da tensão *drain-source*, pois quando ocorre um aumento significativo na corrente do *drain*, o dispositivo tende a sair da região de operação linear para a região de saturação.

Pontos negativos desta técnica é que a utilização um diodo de alta tensão para medir a tensão, o que aumenta as perdas de chaveamento devido à capacitância parasita adicional. Outro método comum é a utilização de um resistor *shunt*, entretanto, esta técnica adiciona indutâncias parasitas no circuito. Em todas essas técnicas, a ação para atuar no curto-circuito ocorre apenas após sua detecção (LESLÉ et al., 2021).

Foi avaliado por (MAERZ et al., 2016) alguns métodos para proteção de curto-circuito, onde conclui-se que a técnica de DeSat é a que mais adequa aos requisitos de projeto com dispositivos de semicondutores *wide bandgap*.

Em (HOU et al., 2021) é afirmado que os CIs tradicionais (feitos para serem utilizados em transistores de Si) com função de DeSat não são rápidos o suficiente para serem aplicados em transistores de GaN e que a técnica deve ser abordada por meio de componentes discretos.

2.3.4.9 Outros circuitos gate drivers propostos para transistores de GaN

Em (CHEN et al., 2021), ao invés do circuito *gate driver* em si, é proposta uma fonte de alimentação para o *gate driver* para ser utilizada em conjunto com CIs de *gate drivers* comerciais já disponíveis. A diferença desta fonte de alimentação é que quando há um pico de tensão positiva que pode acionar o transistor, a fonte gera uma tensão negativa, evitando o acionamento. Essa tensão negativa vai para zero antes do próximo pico de tensão negativa, para evitar danos ao componente.

Alguns autores propõem circuitos que possuem três níveis de tensão aplicado em V_{gs} : um positivo para entrada em condução e um sinal negativo que cai para 0 V após um certo tempo, para entrada em bloqueio (NAGAO; FURUTA; KOBAYASHI, 2020).

Em (QUITADAMO; RAVIOLA; FIORI, 2019), para lidar com as oscilações da tensão e corrente no *gate* causadas por ruídos e outros efeitos, é proposta uma técnica de acionamento onde é feita uma otimização da forma de onda da corrente no *gate*, por meio de um circuito do tipo *Active Gate Driver*, que consegue dar a forma desejada para as formas de onda de chaveamento.

Um outro tipo de circuito *gate driver* que vem sendo estudado para transistores semicondutores *wide bandgap* são os *current source* (fonte de corrente) ou *resonant* (ressonante) *gate drivers*. Consiste no uso de componentes ressonantes (indutores e capacitores) para diminuir as perdas de chaveamento ou perdas do *gate driver* que tendem a aumentar em frequências de chaveamento maiores (MORADPOUR et al., 2020) (SUN; ZHANG; ANDERSEN, 2018).

Foi projetado por (TURRIATE et al., 2018) um circuito *gate driver* para transistor de GaN a ser aplicado em conversores ponte completa, com a utilização de um transformador de pulso para fornecer alimentação aos CIs necessários para funcionamento do *gate driver* e ainda prover isolamento galvânica. É necessário um cuidado maior com as capacitâncias e indutâncias parasitas adicionadas com a aplicação de um transformador de pulso.

2.4 PCB LAYOUT EM CIRCUITO GATE DRIVER COM TRANSISTOR DE GAN

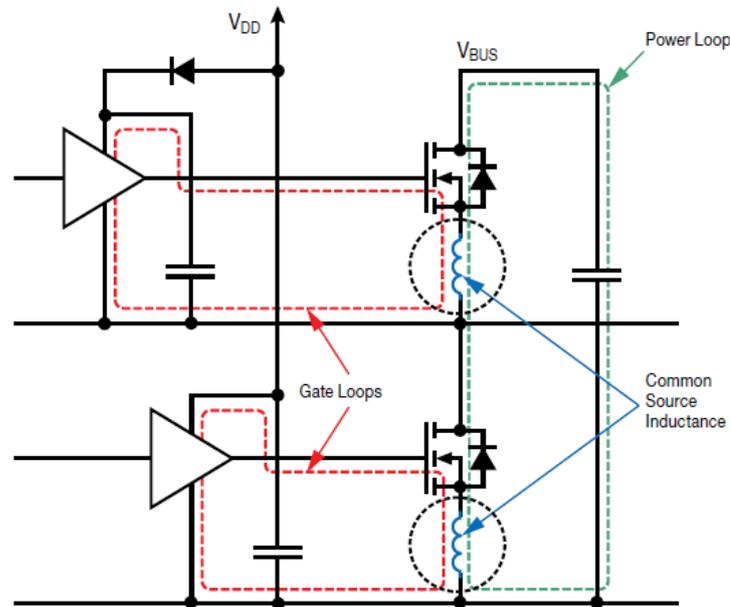
Nesta seção são apresentadas algumas dicas e recomendações para layout da PCB de circuitos com transistores de GaN. Recomenda-se conferir as referências utilizadas nesta seção para maiores detalhes.

Devido à alta frequência de chaveamento imposta ao transistor de GaN, é necessário minimizar o máximo possível as indutâncias parasitas do circuito, pois como mostra a equação (13), a queda de tensão sobre estas aumenta conforme a variação de corrente aumenta. As indutâncias parasitas causam sobretensões, oscilações de tensão e geração de EMI (GAN SYSTEMS, 2022). As tensões geradas na indutância *common-source* (L_{CS}) têm polaridade contrária a tensão V_{gs} , que resulta no aumento dos tempos de *turn-on* e *turn-off*, aumentando as perdas de chaveamento (JONES; WANG; COSTINETT, 2016).

$$v_{stray} = L_{stray} \frac{di}{dt} \quad (13)$$

A Figura 48 mostra um esquemático dos principais *loops* de corrente em um circuito *gate driver* e a indutância L_{CS} , que é comum entre os dois *loops*: o *gate loop* e o *power loop*. Em um layout de PCB, as trilhas de *loops* de corrente devem ser curtas e largas para diminuir a indutância parasita da trilha.

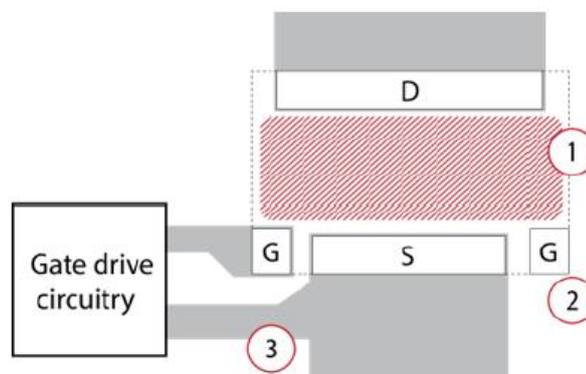
Figura 48 – *Loops*⁵ de corrente em um circuito *gate driver*.



Fonte: retirado de (ROOIJ et al., 2022).

De acordo com (ROOIJ et al., 2022), a prioridade no *design* do *layout* é: indutância L_{CS} , depois *power loop* e por último *gate loop*. Um modo de se diminuir a indutância L_{CS} é utilizando o pino Kelvin Source para retorno do sinal de *gate driver*, quando o dispositivo dispõe de um. Caso contrário, a função deste pino pode ser implementada por meio de uma trilha conectada em um dos lados do *pad* de *Source*, como mostra a Figura 49.

Figura 49 - Exemplo de conexão para um dispositivo da GaN Systems.

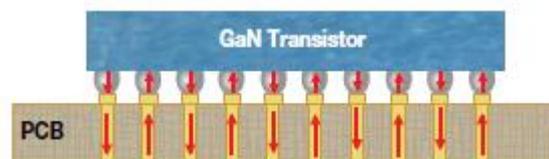


Fonte: retirado de (GAN SYSTEMS, 2021).

⁵ Malhas (tradução livre).

A indutância em um *loop* é determinada pela energia magnética armazenada nela. Portanto, um modo de diminuir a indutância é cuidar da disposição dos componentes e das trilhas para que haja condutores adjacentes com correntes em sentido contrário, de modo que ocorra o cancelamento dos campos magnéticos induzidos. Para transistores da EPC, isso também pode ser feito na própria soldagem do componente na placa, como mostra a Figura 50 (ROOIJ et al., 2022).

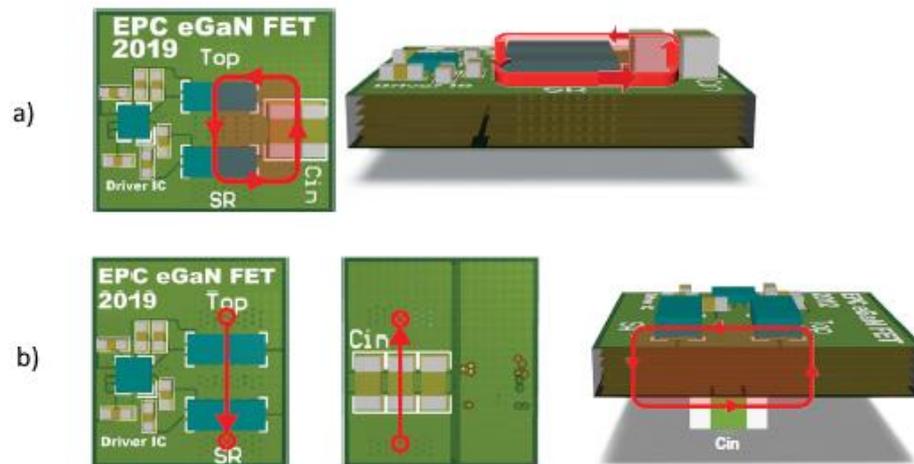
Figura 50 - Exemplo de soldagem de dispositivo da EPC com a utilização de vias para cancelamento de fluxo magnético na PCB.



Fonte: retirado de (ROOIJ et al., 2022).

Dois dos métodos citados em (ROOIJ et al., 2022) para diminuição do *power loop* são o *design* lateral e o vertical. Esses métodos consistem na disposição dos capacitores de entrada C_{in} (para filtragem no transistor, conectados no próprio circuito *gate driver*, como mostra a Figura 51) modo a cancelar o fluxo magnético produzido nas correntes do circuito de potência de alta frequência. Como o nome indica, no *design* lateral os capacitores ficam no mesmo lado da placa que os transistores, de modo que o *loop* formado tenha um fluxo lateral. A camada inferior da placa serve para o fluxo da corrente no sentido contrário, fazendo assim o cancelamento de fluxo magnético. A Figura 51.a, ilustra este método. No *design* vertical, aos capacitores são soldados na parte de baixo da placa, com a conexão feita nos transistores por meio de vias. A Figura 51.b ilustra este método.

Figura 51 - Exemplo de *design* do *layout* de *power loop*⁶ em dispositivos da EPC. a) Design lateral, b) Design vertical.



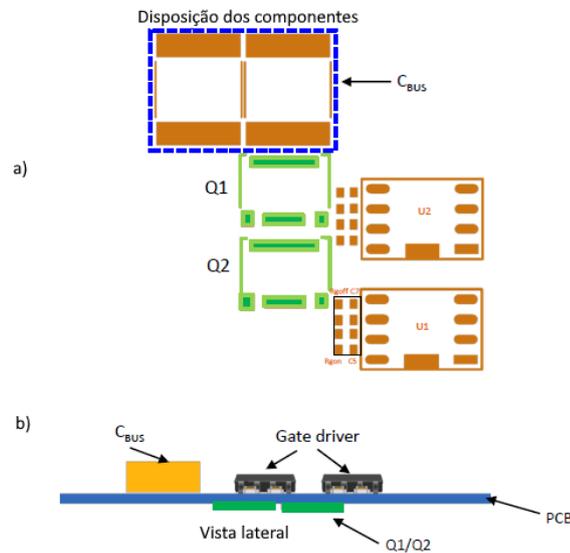
Fonte: retirado de (ROOIJ et al., 2022).

Para o *gate loop*, os componentes do circuito de *gate driver*, tanto os passivos quanto os CIs, devem ser colocados o mais próximo possível dos transistores. A Figura 52 mostra um exemplo de *layout* para transistores do tipo *top-side cooling* da GaN Systems, onde o dispositivo se encontra na parte de baixo da PCB (GAN SYSTEMS, 2022). Há dispositivos que possuem dois terminais de *gate* para otimização do *layout* do circuito de *gate driver*. Entretanto, caso um dos terminais não seja utilizado, o pino deve ser mantido flutuando, ou seja, sem conexão nenhuma, como indicado pela anotação “2” no esquema do transistor da Figura 49 (GAN SYSTEMS, 2021).

Por fim, ressalta-se o transistor de GaN em si, que em geral possui uma *footprint* e encapsulamento diferentes dos transistores de silício, necessitando de um *layout* de PCB dedicado para o componente. Além disso, os terminais e o tamanho dos transistores trazem uma dificuldade adicional na soldagem dos componentes na PCB. A Figura 53 mostra dois transistores de fabricantes diferentes, para demonstrar a diferença entre os componentes.

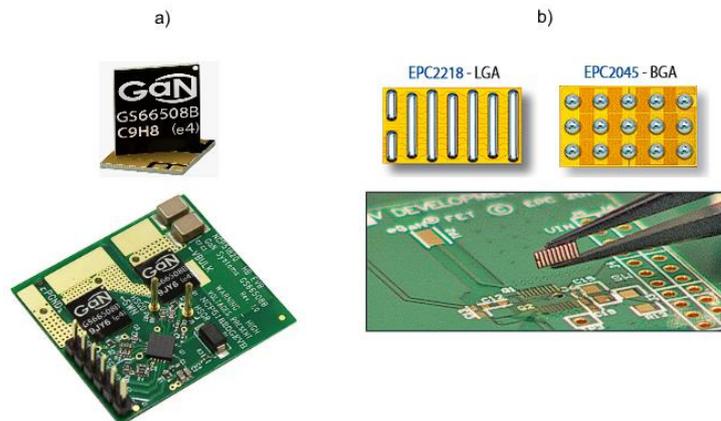
⁶ Malha de potência (tradução livre).

Figura 52 - Exemplo de layout para circuito *gate driver* para dispositivos do tipo *top-side cooling*⁷ da GaN Systems. a) vista superior, b) vista lateral.



Fonte: adaptado de (GAN SYSTEMS, 2022).

Figura 53 - Comparação de encapsulamento (tamanho fora de escala) entre transistores de GaN dos fabricantes: a) GaN Systems e b) EPC.



Fonte: retirado de (GAN SYSTEMS, 2022), (GAN SYSTEMS, 2022), (EPC, 2022).

⁷ Resfriamento pelo lado de cima (tradução livre).

3 CIRCUITOS GATE DRIVERS ESCOLHIDOS PARA ANÁLISE

Dos vários circuitos pesquisados para o desenvolvimento deste trabalho, são apresentados três circuitos para serem analisados. A seguir é apresentada uma lista dos critérios que os circuitos *gate driver* pesquisados devem ter, ordenados do mais importante para menos importante, utilizada para a escolha dos circuitos.

- Isolação;
- Razão cíclica variável de 0 a 1.
- Proteção de subtensão (UVLO) no comando;
- Proteção de sobrecorrente;

As simulações são feitas no *software* LTspice. Os modelos dos transistores da GaN Systems e da EPC utilizados foram obtidos nos sites dos próprios fabricantes. Não foi possível testar transistores da Infineon pois a empresa não disponibilizou nenhum modelo para ser utilizado em LTspice até o momento em que este trabalho é desenvolvido. Além disso, apenas no circuito *gate driver 1* o dispositivo da EPC é testado, pois nos outros dois circuitos a tensão V_{gs} utilizada é $\geq +6$ V, que é o limite do dispositivo da EPC.

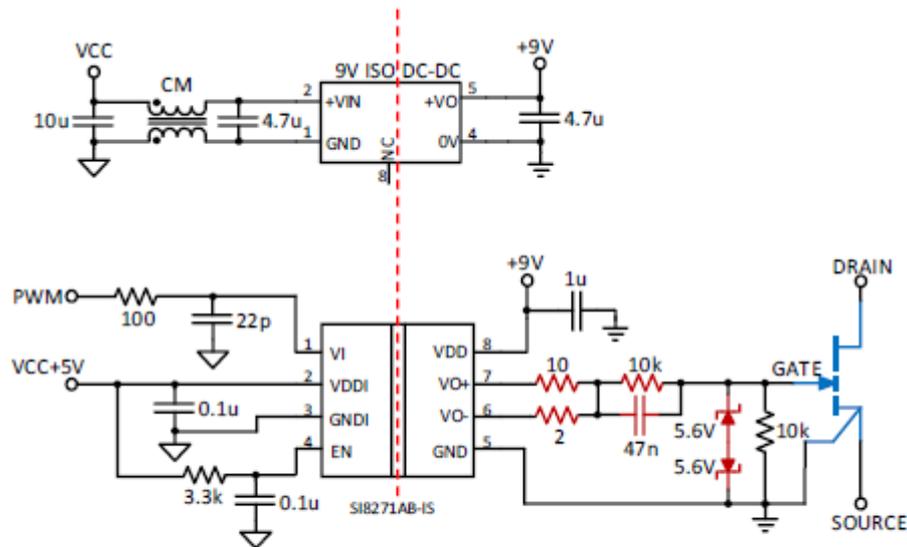
Nos modelos da GaN Systems, além de possuir indutâncias parasitas do encapsulamento incluídas, é incluído um modelo térmico para verificar o comportamento da temperatura do dispositivo, o modelo de Cauer. Desse modo, é possível utilizar resistências e capacitâncias para simular a resistência térmica do componente (GAN SYSTEMS, 2022). Entretanto, o objetivo nesta seção é apenas verificar o funcionamento dos circuitos, portanto, a temperatura de junção do componente foi escolhida em 100 °C por meio da fonte de tensão T_j °C (nesse caso, 1 V = 1°C), pois é uma temperatura segura dentro dos limites do componente.

3.1 CIRCUITO GATE DRIVER 1

Em (GAN SYSTEMS, 2021), são recomendados vários circuitos *gate drivers* para serem utilizados com transistores de GaN Systems. Vários deles atendem três dos itens definidos anteriormente: isolação, proteção de subtensão e razão cíclica variável. O circuito escolhido para análise é apresentado na Figura 54. De acordo com

(GAN SYSTEMS, 2021), este circuito possui isolamento e tensão de bloqueio negativa, sendo recomendado para aplicações entre 1 kW e 100 kW. Também é compatível com circuito de *bootstrap* (que não foi abordado neste trabalho, porém, é uma técnica para acionamento de transistores em meia-ponte).

Figura 54 – Circuito *Gate Driver* isolado com tensão negativa (EZDrive).



Example: SI8271 EZDrive® circuit ($V_{GS} = +6V/-3V$)

Fonte: Retirado de (GAN SYSTEMS, 2021).

No circuito da Figura 54, pode ser vista uma tensão de alimentação (V_{cc}), a qual pode assumir os valores de 5 V, 9 V ou 12 V, com um capacitor e um filtro de EMI para reduzir ruídos, conectado a um CI de conversor CC/CC para saída de +9 V, em torno de 1 W de potência e com isolamento entre a entrada e a saída de 3 kV (valor eficaz) (GAN SYSTEMS, 2021).

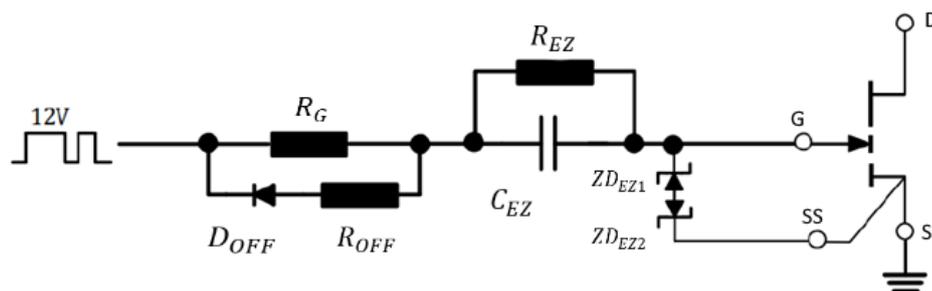
Na parte de baixo, o sinal PWM entra em um circuito RC para filtro de ruído que por sua vez está conectado ao pino de entrada do SI8271AB-IS, que é um CI de *gate driver*. A alimentação do lado esquerdo do CI (V_{DDI}) é de 5 V e possui um capacitor de 0,1 μF para filtragem do pino *Enable*.

O SI8271AB-IS possui uma isolamento de 2,5 kV_{RMS} entre a parte de comando e a saída. Além disso, há a função de UVLO tanto na entrada quanto na saída, sendo que na saída o limite superior é de 5,5 V e o limite inferior é de 5,2 V (SKYWOKS

SOLUTIONS, 2022). A tensão de +9 V fornecida pelo conversor CC/CC é conectada ao pino de alimentação do lado de saída (V_{DD}). O CI também possui pinos de saída separados para entrada em condução e bloqueio, evitando a adição de um diodo Schottky, sendo que os pinos suportam picos de corrente de 4 A.

Na parte da saída há o circuito EZDrive, apresentado na Figura 55, que é uma solução da própria GaN Systems para *drivers* de seus transistores de GaN (GAN SYSTEMS, 2021). De acordo com (GAN SYSTEMS, 2021) (GAN SYSTEMS, 2021), este circuito realiza a mudança de nível de +9 V e 0 V para +6 V e -3 V na tensão V_{gs} , por meio do capacitor C_{EZ} , sendo que o resistor R_{EZ} em paralelo mantém a tensão de acionamento e limita a corrente para manter o transistor acionado. Os diodos Zener em antissérie grampeiam as tensões positiva e negativa em V_{gs} .

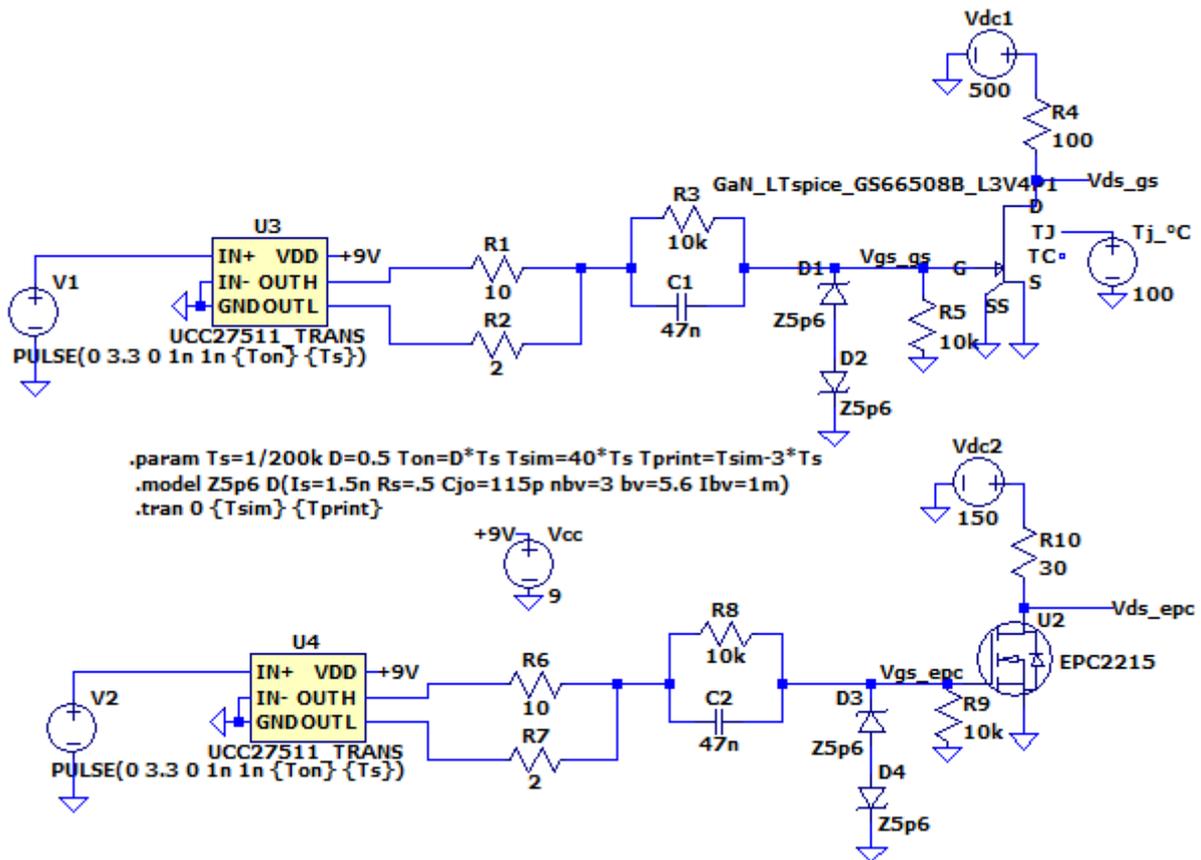
Figura 55 – Circuito EZDrive da GaN Systems.



Fonte: Retirado de (GAN SYSTEMS, 2021).

Na Figura 56 é apresentado um esquemático da simulação no LTspice do circuito EZDrive da Figura 54, sendo que o mesmo circuito foi aplicado em um transistor da GaN Systems de 650 V e um da EPC de 200 V, respectivamente.

Figura 56 – Simulação do EZDrive.

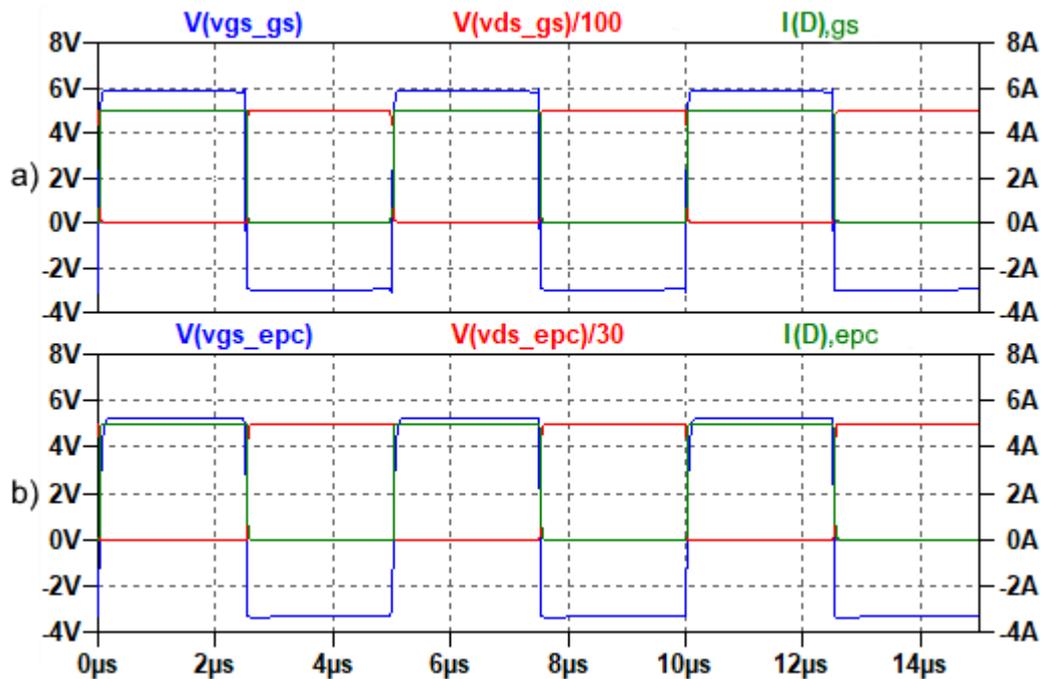


Fonte: próprio autor (2022).

Na Figura 57, são apresentados os resultados obtidos das tensões V_{gs} e V_{ds} de cada dispositivo. Nota-se que para uma razão cíclica de 0,5 e uma frequência de chaveamento de 200 kHz, a tensão V_{gs} para o dispositivo da GaN Systems ficou com +5,83 V e -2,99 V. Já para o dispositivo da EPC, a tensão V_{gs} foi de +5,23 V para -3,33 V, o que é bem próximo do limite de -4 V informado pelo *datasheet* do dispositivo. Ambos os dispositivos foram acionados corretamente, como pode ser visto pela forma de onda da tensão V_{ds} de ambos.

Como esperado, durante a etapa de bloqueio do transistor, o circuito *gate driver* fornece uma tensão negativa durante todo o período. Isso evita que oscilações na tensão V_{gs} resultantes de ruídos e componentes parasitas durante a entrada em bloqueio façam com que o transistor entre em condução novamente.

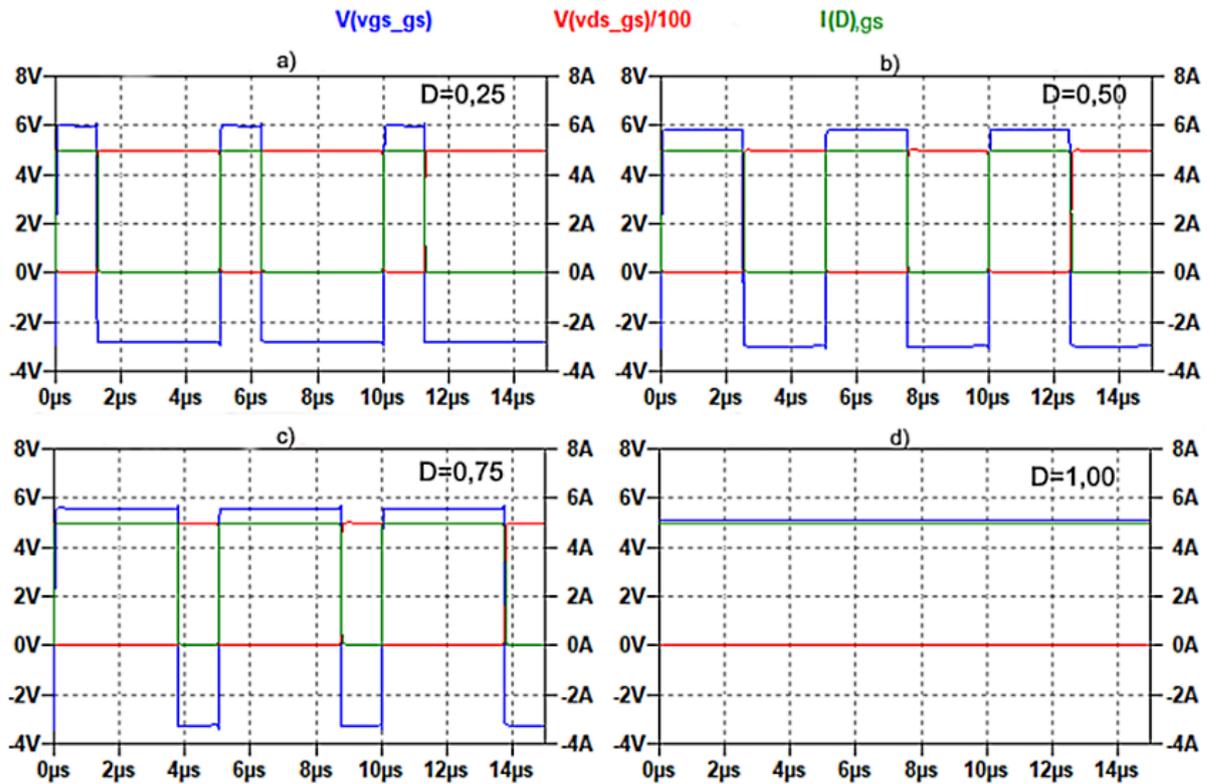
Figura 57 – Resultados da simulação do circuito EZDrive. a) Para o transistor da GaN Systems: tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde). b) Para o transistor da EPC: tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde).



Fonte: próprio autor (2022).

Também é feita a variação da razão cíclica para ver se o circuito se comporta como esperado. A variação foi feita de 0,25 até 1,0, com incremento de 0,25. A Figura 58 mostra as formas de onda para o transistor da GaN Systems. A Figura 59 mostra o gráfico de V_{gs} para o transistor da EPC.

Figura 58 – Formas de onda no transistor da GaN Systems com variação da razão cíclica com circuito EZDrive, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde). a) $D = 0,25$; b) $D = 0,50$; c) $D = 0,75$; d) $D = 1,00$.

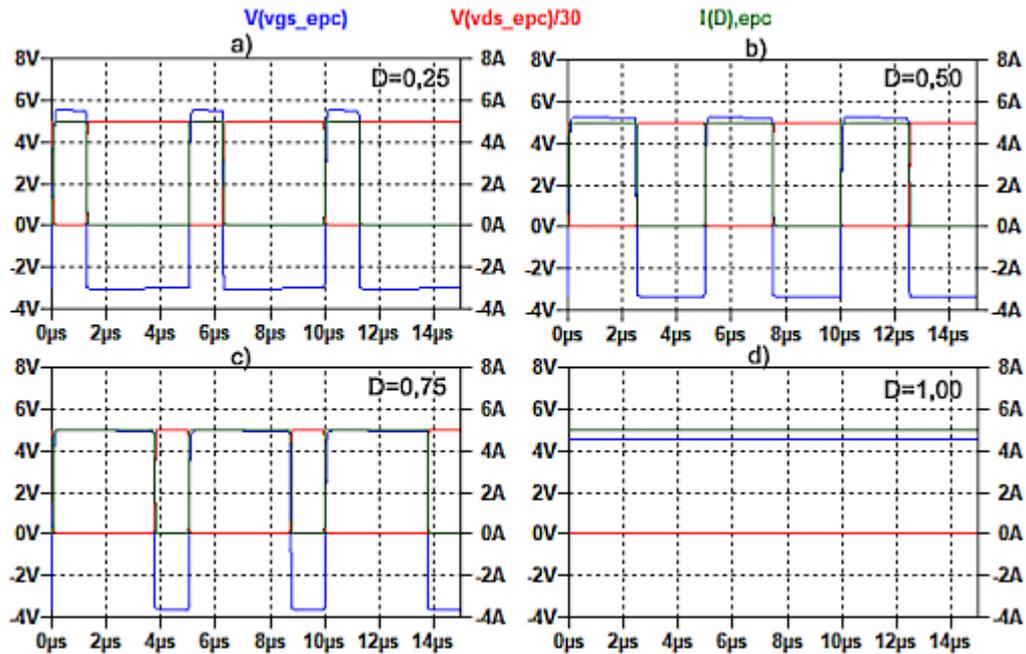


Fonte: Próprio autor (2022).

Como é possível observar nas Figuras 58 e 59, o circuito possui uma boa flexibilidade quanto à variação da razão cíclica, tanto em condução quanto em bloqueio, a tensão V_{gs} varia pouco, com um decréscimo em torno de 1 V. Apesar do valor não ser ideal, ainda é suficiente para acionar o transistor sem problemas.

Figura 59 - Formas de onda no transistor da EPC com variação da razão cíclica com circuito EZDrive, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde).

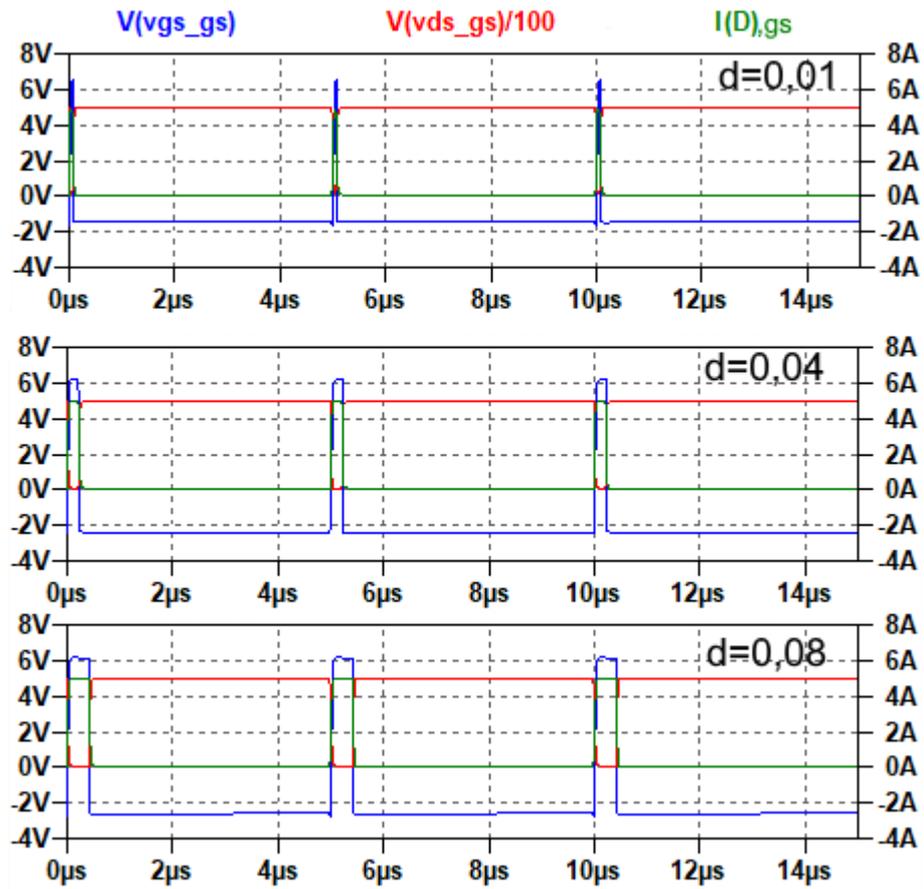
a) $D = 0,25$; b) $D = 0,50$; c) $D = 0,75$; d) $D = 1,00$.



Fonte: Próprio autor (2022).

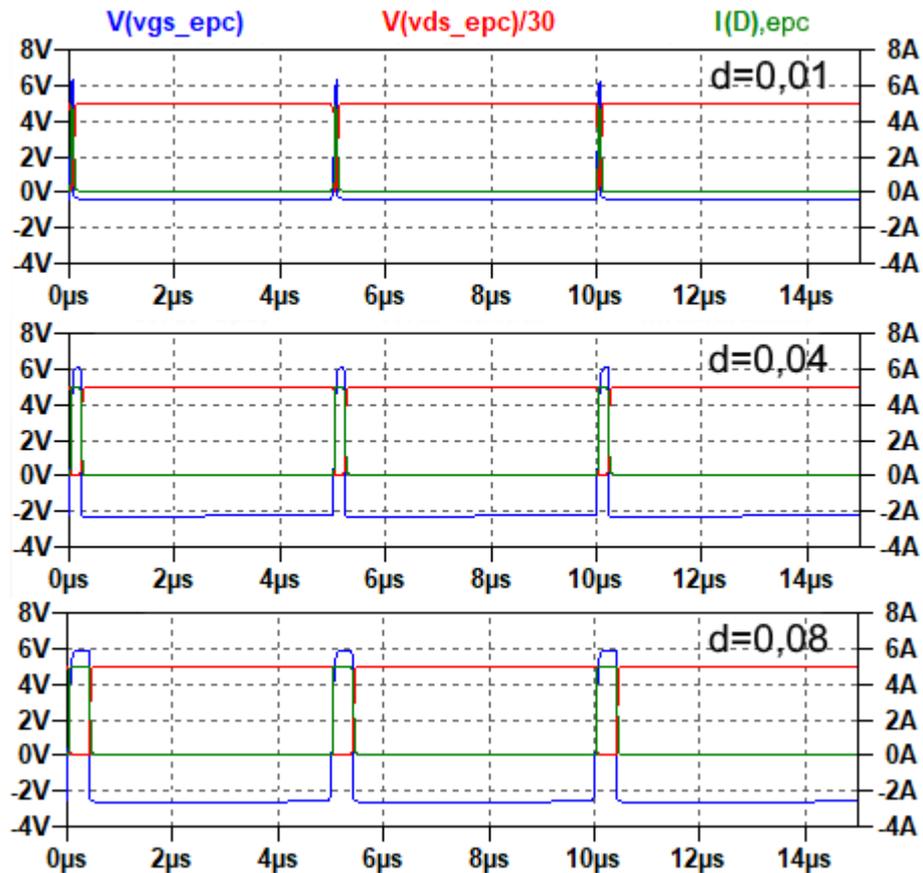
Entretanto, foi visto também em outra simulação que para uma razão cíclica entre 0 e 0,1 a tensão V_{gs} pode atingir um pouco mais de +6 V, que é a tensão máxima indicada no *datasheet* da EPC. Como visto anteriormente, o dispositivo da EPC consegue operar com +6 V com certa segurança, apesar de não ser indicado ultrapassar esse valor. Esses resultados podem ser vistos na Figura 60 para o transistor da GaN Systems e Figura 61 para o transistor da EPC. Também é possível observar que inicialmente a tensão V_{gs} no bloqueio não atinge -3 V.

Figura 60 - Formas de onda no transistor da GaN Systems com variação da razão cíclica entre 0 e 0,1 com circuito EZDrive, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde). a) $d = 0,01$; b) $d = 0,04$; c) $d = 0,08$.



Fonte: próprio autor (2022).

Figura 61 - Formas de onda no transistor da EPC com variação da razão cíclica entre 0 e 0,1 com circuito EZDrive, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde). a) $d = 0,01$; b) $d = 0,04$; c) $d = 0,08$.

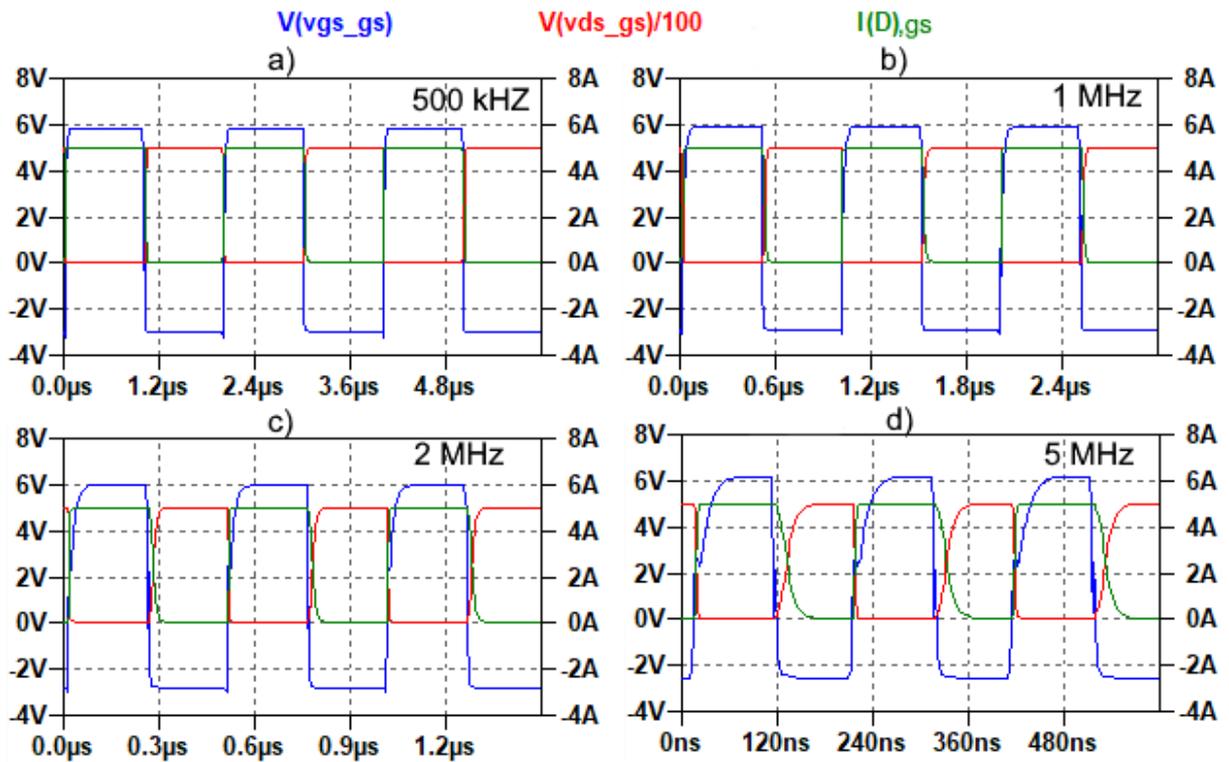


Fonte: próprio autor (2022).

Também é feita a variação de frequência de chaveamento, com razão cíclica de 0,5. A Figura 62 e 63 mostra os resultados para frequências maiores que 200 kHz. Pode ser visto que o circuito continua funcionando normalmente, apenas a partir de 2 MHz que a forma de onda começa a ter alguma deformação que, no entanto, não atrapalha no acionamento do transistor. Em 5 MHz, a forma de onda possui uma deformação maior, porém, o transistor continua sendo acionado.

Simulações com frequências menores que 200 kHz foram feitas e o circuito continuou funcionando normalmente.

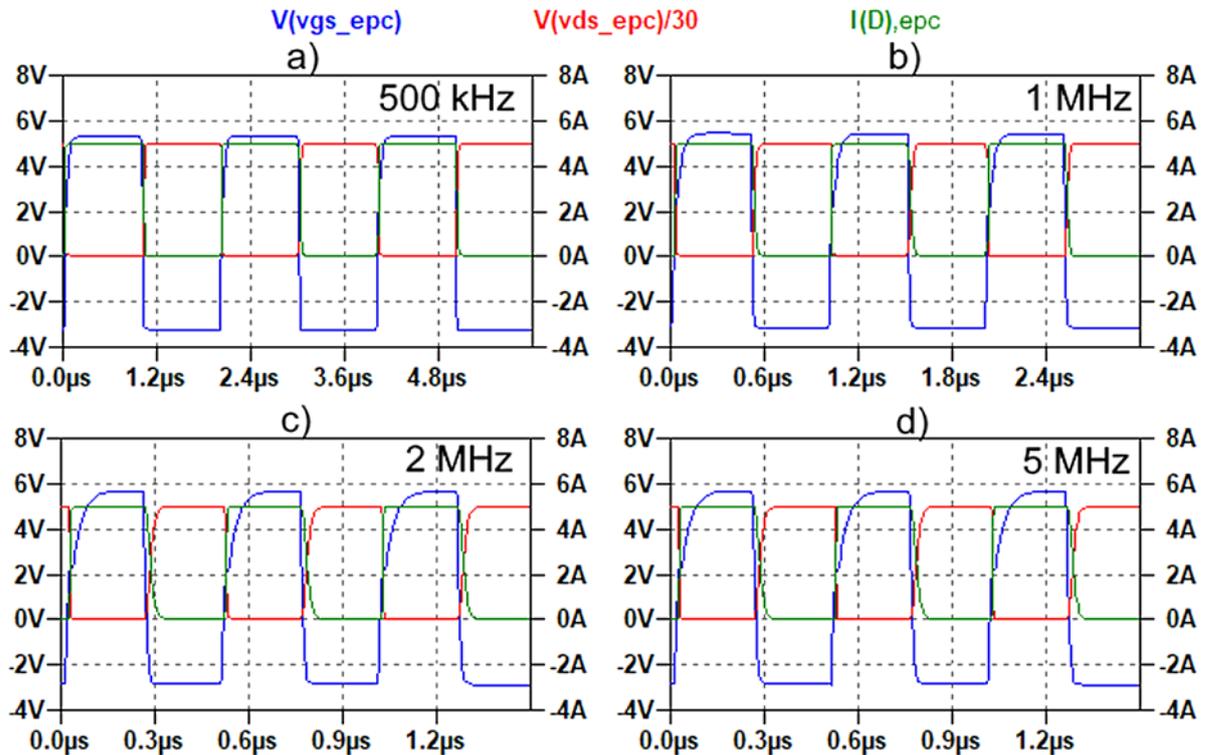
Figura 62 – Formas de onda no transistor da GaN Systems com variação da frequência no circuito EZDrive, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde). a) 500 kHz, b) 1 MHz, c) 2 MHz, d) 5 MHz.



Fonte: próprio autor (2022).

Figura 63 - Formas de onda no transistor da EPC com variação da frequência no circuito EZDrive, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde).

a) 500 kHz, b) 1 MHz, c) 2 MHz, d) 5 MHz.



Fonte: próprio autor (2022).

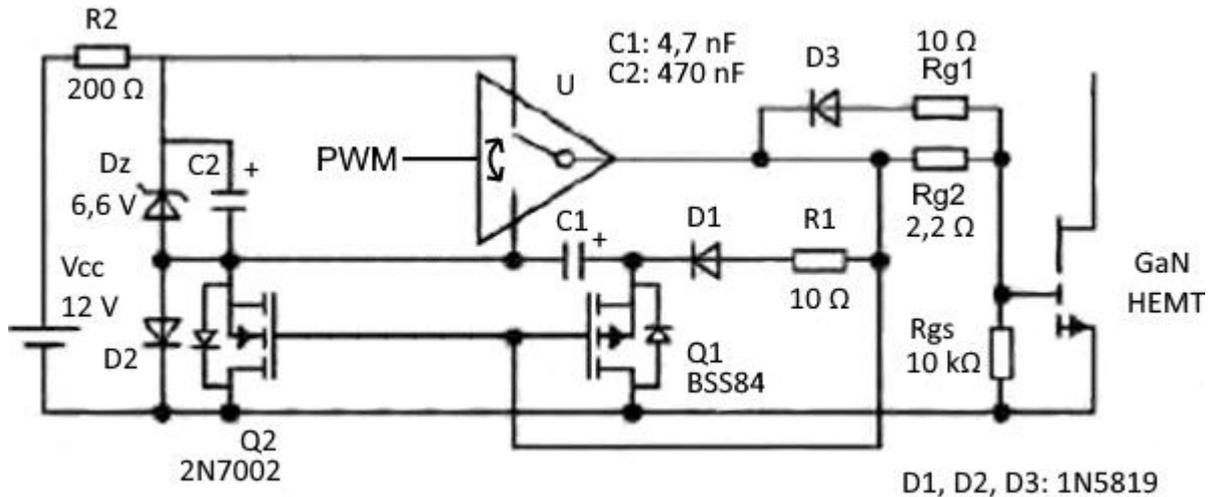
3.2 CIRCUITO GATE DRIVER 2

O segundo circuito escolhido para análise é proposto em (ZHOU et al., 2020) e pode ser visto na Figura 64. A motivação dos autores para o desenvolvimento do circuito está no fato de que circuitos de *gate drivers* tradicionais que fornecem tensão negativa durante o bloqueio se resumem em utilizar uma fonte de alimentação separada ou utilizar um capacitor. De acordo com os autores, o primeiro necessita de mais componentes, aumentando a complexidade do circuito, e o segundo não consegue manter uma tensão negativa fixa quando a frequência e a razão cíclica são variadas.

Desse modo o circuito proposto foi desenvolvido tendo em vista um fornecimento de tensão negativa durante o bloqueio o mais constante o possível durante a variação de frequência de chaveamento e razão cíclica, utilizando apenas uma fonte de alimentação. A isolação entre *driver* e sinais de comando, bem como

função de UVLO nos sinais de comando, pode ser implementada escolhendo um CI de *gate driver* que possua essas especificações.

Figura 64 – Circuito *Gate Driver 2*.



Fonte: Adaptado de (ZHOU et al., 2020).

A alimentação do circuito é feita por V_{cc} . Os componentes R_2 , D_z e C_2 formam um regulador de tensão para ser utilizado no CI de *gate driver*, representado pelo bloco U . Os componentes R_1 , D_1 , D_2 , Q_1 , Q_2 e C_1 são responsáveis pela geração da tensão negativa. A configuração dos tempos de entrada em condução e bloqueio do transistor de GaN é feita pelos resistores R_{g2} e R_{g1} .

O circuito possui basicamente três estágios: na entrada em condução do transistor de GaN, é aplicada uma tensão positiva em V_{gs} , que é aproximadamente a tensão V_z do diodo D_z . Em segundo lugar, no bloqueio do transistor, o circuito aplica uma tensão de pico negativa V_n , dada pela equação (9), que depende dos valores de V_z , C_1 e C_{iss} . Essa tensão negativa vai decaindo ao longo de um período (T_{neg}), que pode ser aproximado pela equação (10), até descarregar a capacitância *gate-source* do transistor.

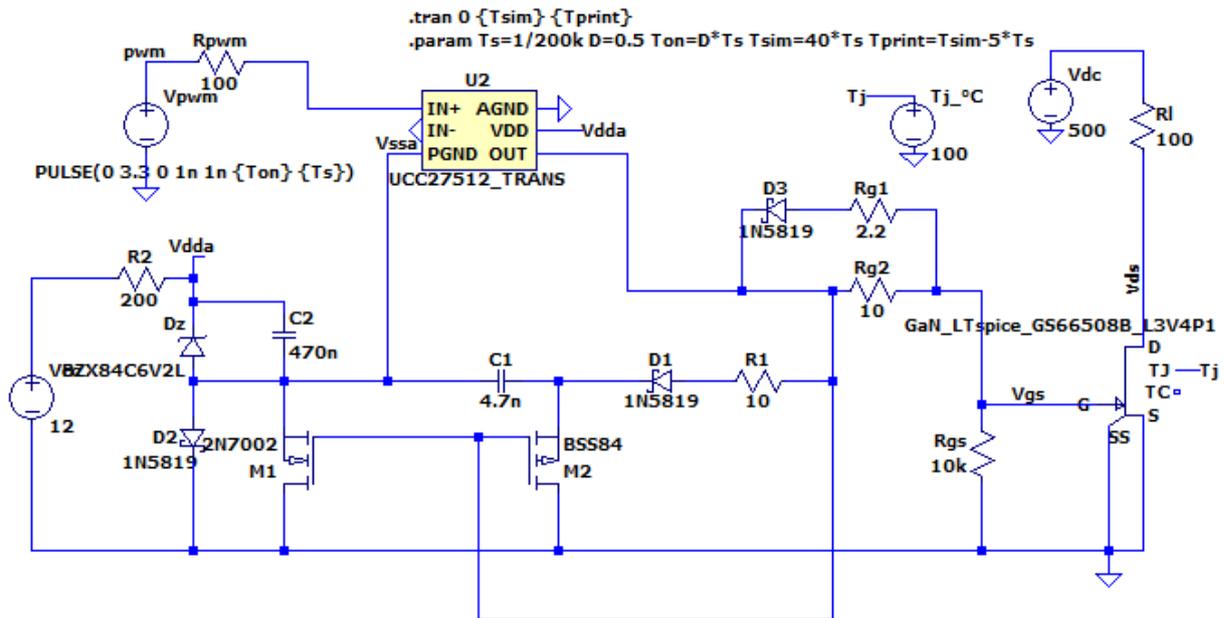
$$V_n = \frac{C_1 - C_{iss}}{C_{iss} + C_1} V_z \quad (9)$$

$$T_{neg} \approx R_2(C_{iss} + C_1) \ln \left(\frac{V_{cc} - V_z + V_n}{V_{cc} - V_z + |V_{th,Q2}|} \right) \quad (10)$$

Por fim, quando se passa o período T_{neg} , a tensão no *gate* fica grampeada pela tensão do diodo D_2 , que neste momento está polarizado diretamente. Portanto, a tensão V_{gs} fica em torno de 0 V.

A Figura 65 mostra a implementação do circuito no LTspice

Figura 65 – Implementação do circuito *gate driver* 2 no LTspice.

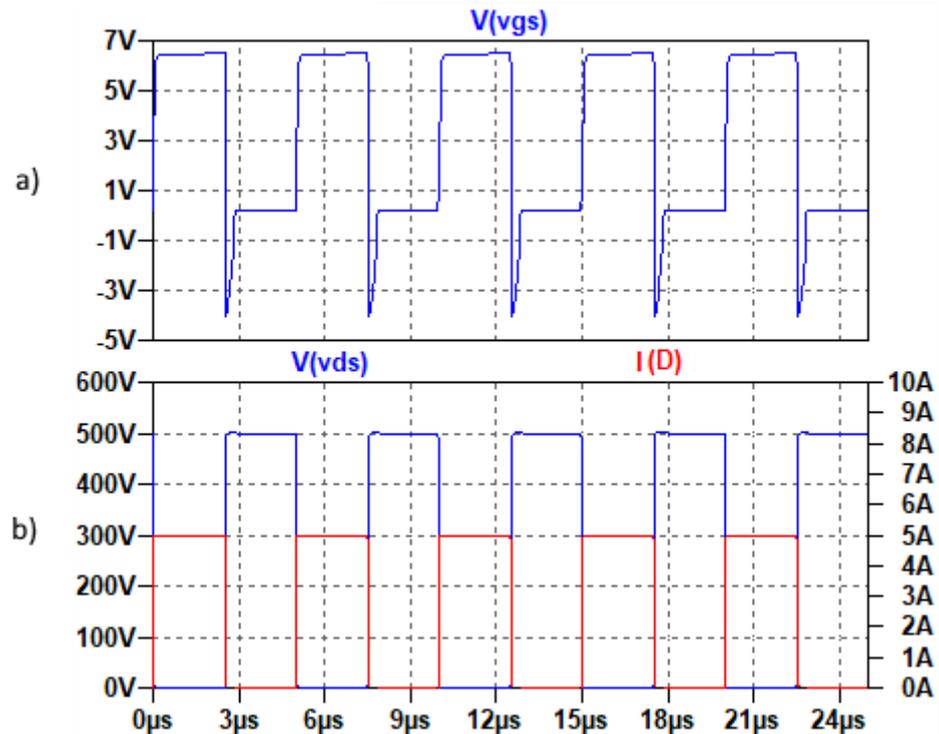


Fonte: próprio autor (2022).

Diferentemente do circuito da Figura 64, para a simulação do circuito é utilizado um diodo Zener de 6,2 V ao invés de 6,6 V. Além disso, em (ZHOU et al., 2020) é utilizado o CI UCC21520A, porém, este CI é um *gate driver* para meia-ponte. Portanto, optou-se por utilizar o UCC27512 para a simulação, que possui apenas uma saída.

A Figura 66 mostra o resultado de uma simulação com frequência de chaveamento de 200 kHz e razão cíclica de 0,5, com o mesmo transistor da GaN Systems utilizado anteriormente. Como pode ser visto, o transistor é acionado corretamente. A tensão positiva máxima em V_{gs} atingida é de +6,48 V, sendo que a tensão de pico negativa é de -4,11 V e a tensão com o *gate* descarregado é de +239 mV. O período com tensão negativa (T_{neg}) durou cerca de 330 ns.

Figura 66 – Resultado da simulação de teste do circuito *gate driver 2*. a) Tensão V_{gs} do transistor de GaN (azul), b) Tensão V_{ds} (azul) e corrente I_D (vermelho) do transistor de GaN.



Fonte: próprio autor (2022).

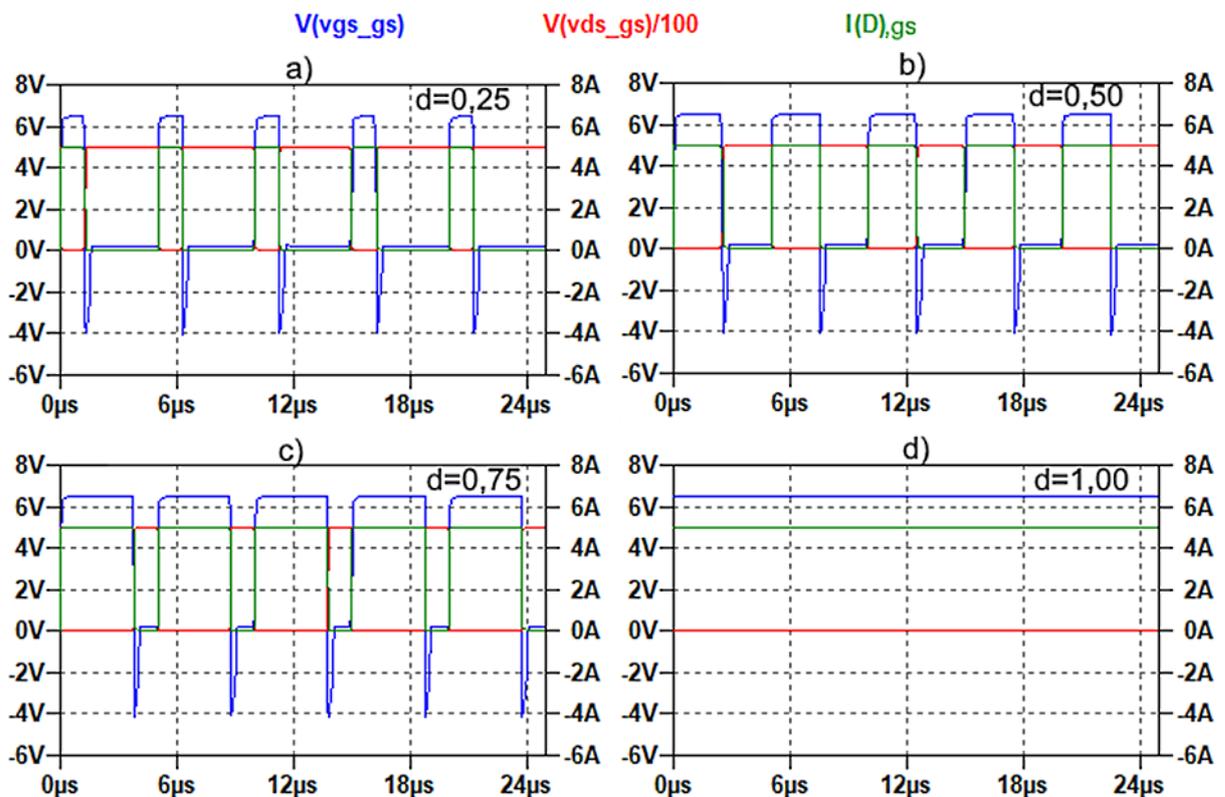
Utilizando a equação (9) com $V_{cc} = 12\text{ V}$, $C_{iss} = 242\text{ pF}$ (GS66508B) e $V_z = 6,2\text{ V}$, resulta em $V_n = 5,59\text{ V}$. Essa diferença entre o valor obtido teoricamente e pela simulação pode vir do fato de que a capacitância C_{iss} do transistor de GaN é dada no *datasheet* à uma temperatura $T_j = 25\text{ }^\circ\text{C}$, sendo que na simulação é utilizada $T_j = 100\text{ }^\circ\text{C}$, o que pode alterar a capacitância e, portanto, alterar a tensão obtida. Além disso, de acordo com (ZHOU et al., 2020), durante a borda de descida do sinal de saída do CI de *gate driver*, a comutação de Q_1 para Q_2 pode causar um curto-circuito momentâneo, levando a perda de energia em C_1 e assim reduzindo V_n .

Utilizando a equação (10) com $R_2 = 200\ \Omega$, $V_{th,Q2} = 1,75\text{ V}$ (2N7002) e o V_n obtido teoricamente, resulta-se em um período $T_{neg} = 406,67\text{ ns}$, que é um valor aceitável comparando com o valor obtido pela simulação, já que a equação é apenas uma aproximação.

A seguir é feita a variação da razão cíclica para ver como as tensões V_{gs} do circuito se comportam. Novamente, é utilizada a frequência de chaveamento de 200 kHz e a variação da razão cíclica de 0,25 a 1,0, com incremento de 0,25. Na Figura 67 estão as formas de ondas obtidas e na Tabela 9 os valores obtidos.

Este circuito com a terceira etapa em que a tensão V_{gs} em aproximadamente 0 V, é interessante em aplicações que utilizam o transistor de GaN em modo reverso. Desse modo, com o projeto adequado do tempo T_{neg} para garantir que nenhum ruído aciona o transistor, este circuito *gate driver* se mostra mais eficiente quando o transistor de GaN atua como roda livre.

Figura 67 – Formas de onda com variação da razão cíclica no circuito *gate driver 2*, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde). a) $d = 0,25$;
b) $d = 0,50$; c) $d = 0,75$; d) $d = 1,00$.



Fonte: próprio autor (2022).

Tabela 9 - Resultados da variação da razão cíclica no circuito *gate driver 2*.

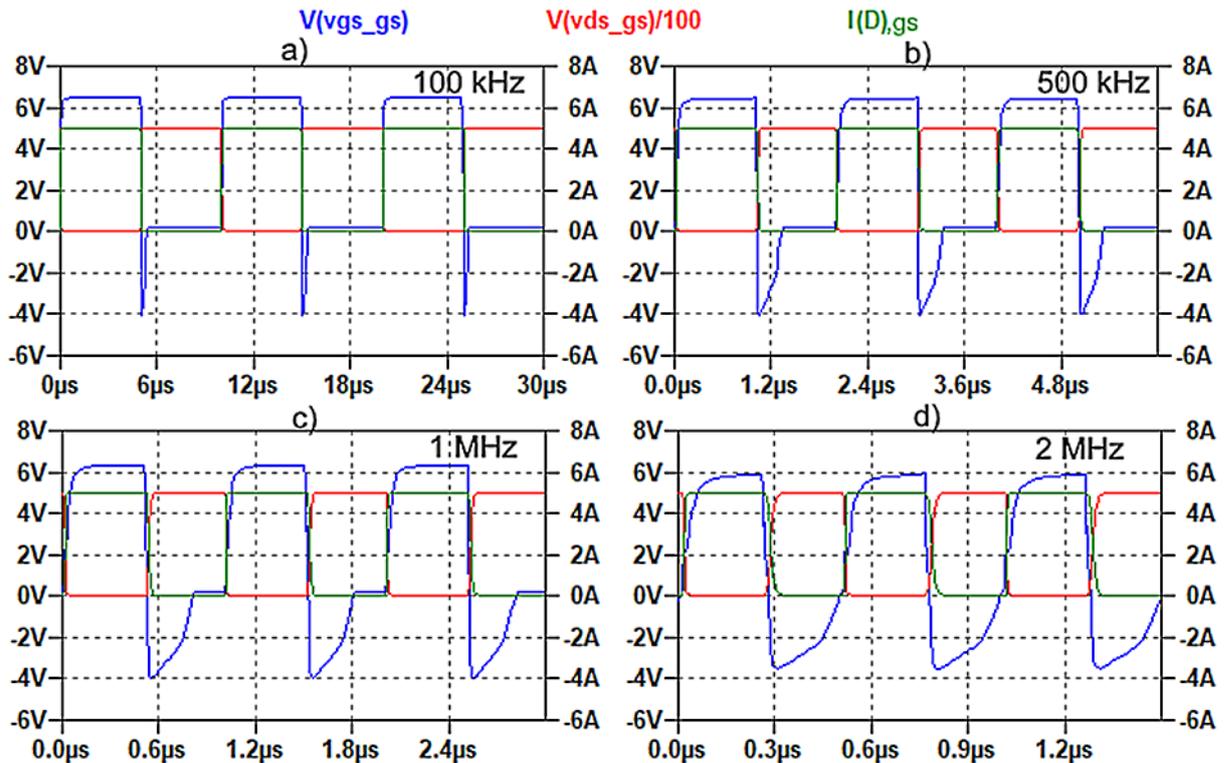
d	+V_{gs}	-V_{gs}	V_{gs} sem carga	T_{neg}
0,25	6,47 V	-4,08 V	239 mV	322 ns
0,5	6,48 V	-4,11 V	239 mV	324 ns
0,75	6,49 V	-4,12 V	239 mV	334 ns
1	6,5 V	-	-	-

Fonte: próprio autor (2022).

Pela Tabela 9, percebe-se que a tensão positiva aplicada em V_{gs} permaneceu praticamente constante ao longo da variação da razão cíclica, assim como a tensão com o *gate* descarregado. A tensão negativa aplicada em V_{gs} apresentou uma variação um pouco maior, porém, ainda deu resultados satisfatórios. Em teste de variação da razão cíclica entre 0 e 0,1 com a frequência de 200 kHz, o circuito conseguiu gerar o sinal de comando esperado a partir de uma razão cíclica de 0,01 sem problemas, o que mostra um bom desempenho com razão cíclica reduzida.

Novamente é simulada a variação de frequência de chaveamento com razão cíclica de 0,5, os resultados estão na Figura 68. Nota-se que a partir da frequência de 2 MHz, além da forma de onda começar a se deformar, o circuito não consegue mais fornecer o valor de tensão positiva e negativa, pois o período para a tensão negativa projetado não condiz com o período de chaveamento desejado. Desse modo, o circuito necessitaria ser reprojeto para atender uma nova faixa de frequências de chaveamento, por isso foi simulado apenas até a frequência de 2 MHz.

Figura 68 – Formas de onda no transistor da GaN Systems com variação de frequência no circuito *gate driver 2*, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde). a) 100 kHz, b) 500 kHz, c) 1 MHz, d) 2 MHz.



Fonte: próprio autor. (2022)

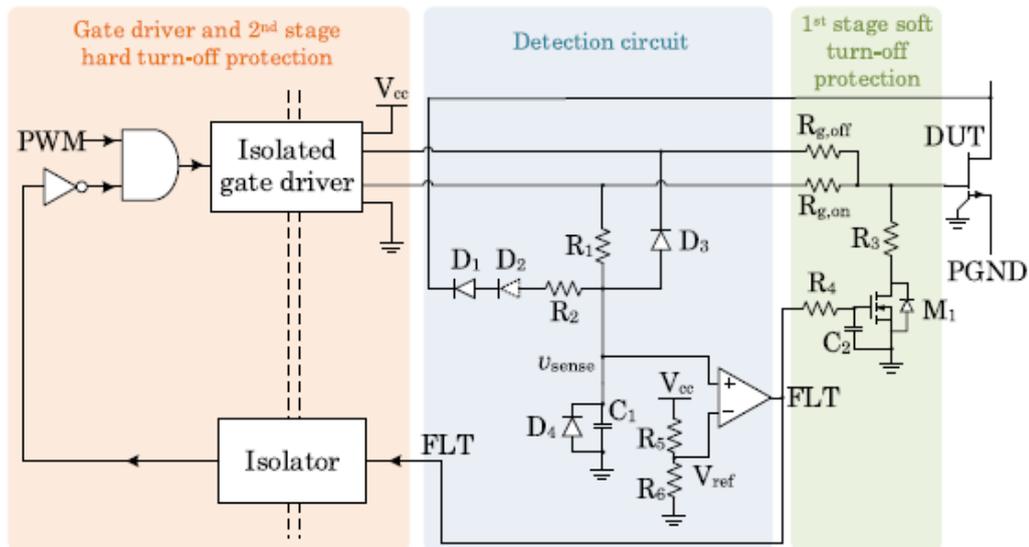
3.3 CIRCUITO GATE DRIVER 3

Em (HOU; LU; CHEN, 2018) é proposto um circuito que possui proteção contra curto-circuito e em (HOU et al., 2021) é feita uma análise mais detalhada deste circuito, em que se propõe uma opção adicional de projeto para proteção de sobrecorrente também. O circuito fornece uma tensão positiva para entrada em condução e 0 V para realizar o bloqueio do transistor. O esquemático do circuito é mostrado na Figura 69.

A proteção é baseada na técnica de desaturação, em que se mede a tensão V_{DS} do transistor para ver se o dispositivo está na região de operação onde atua como interruptor. Idealmente, com o dispositivo operando dentro da faixa de corrente I_D recomendada, a tensão V_{DS} quando o dispositivo está em condução é zero, mas na prática há uma tensão muito baixa (< 1 V). Quando a corrente I_D ultrapassa os limites recomendados pelo fabricante, a tensão V_{DS} do dispositivo começa a aumentar.

Portanto, é possível detectar a ocorrência de um curto-circuito ou sobrecorrente medindo a tensão V_{DS} do transistor.

Figura 69 – Circuito Gate Driver 3.



Fonte: retirado de (HOU et al., 2021).

A proteção de curto-circuito é feita em dois estágios. O primeiro estágio é o *soft turn-off* (desligamento suave), que diminui a tensão V_{gs} por meio do acionamento do transistor M_1 , para diminuir a capacidade de corrente no canal *drain-source*. Isso é feito antes de desabilitar o *gate driver* para diminuir a di/dt , caso contrário, isso causa picos de tensão no barramento CC devido às indutâncias parasitas do circuito, e um valor muito alto pode danificar o dispositivo (HOU et al., 2021). De acordo com (HOU et al., 2021), $V_{gs} = 2 \text{ V}$ é um valor adequado para este estágio no transistor de GaN, pois a tensão V_{th} nestes dispositivos é na faixa de 1,2 – 1,7 V, assim a redução da corrente é mais efetiva.

O segundo estágio é o *hard turn-off* (“desligamento direto”) que desabilita o circuito de *gate driver* fazendo com que o sinal de PWM não seja mais enviado ao transistor, sendo feito então o desligamento efetivo do circuito *gate driver* e protegendo o conversor do curto-circuito (ou sobrecorrente).

A detecção é feita pelos diodos D_1 e D_2 . São utilizados dois diodos para aumentar a capacidade de tensão de bloqueio e diminuir a capacitância equivalente dos diodos no circuito. O diodo D_3 é utilizado para fornecer um caminho de baixa impedância para carregar a capacitância de D_1 e D_2 antes de serem polarizados

reversamente. Por meio de R_1 e R_2 é obtida a tensão medida (V_{sense}), que é comparada com um sinal de referência (V_{ref}) por meio de um comparador, resultando no sinal FLT que indica a ocorrência de curto-circuito ou sobrecorrente. Quando o sinal FLT vai para nível alto, é acionado o transistor M_1 , formando um divisor resistivo entre $R_{g_{on}}$ e R_3 . Assim, a tensão V_{gs} é reduzida e é realizado o estágio de *soft turn-off* (HOU; LU; CHEN, 2018). A tensão V_{sense} é definida pela equação (11), onde $V_{g,ON}$ é a tensão fornecida pelo *driver*, $V_{ds,ON}$ é a tensão *drain-source* quando o transistor de GaN está conduzindo e V_F é a tensão de polarização direta dos diodos D_1 e D_2 .

$$V_{sense} = V_{g,ON} - \frac{R_1}{R_1 + R_2} (V_{g,ON} - V_{ds,ON} - 2V_F) \quad (11)$$

Também é importante a seleção dos componentes R_1 , R_2 e C_1 , bem como o limite do parâmetro de tensão $V_{ds,ON}$, pois influenciam diretamente no atraso de propagação do circuito T_{blk} (também chamado de *blanking time*). Valores grandes de R_1 e R_2 diminuem ruídos, entretanto, reduz a corrente para carregar C_1 e aumentam o tempo de atraso para ativar o sinal de falta. Um limite muito alto para $V_{ds,ON}$ também aumenta o atraso. Esses parâmetros devem ser escolhidos para se obter um período de atraso de propagação adequado, que depende do conversor em que o circuito é aplicado. Esse tempo pode ser estimado pela equação (12).

$$T_{blk} = R_1 C_1 \ln \frac{V_{g,ON}}{V_{g,ON} - V_{sense}} \quad (12)$$

Se utilizado um CI com isolamento, é necessário utilizar um outro isolador para enviar o sinal FLT de volta para desabilitar o *gate driver*, mantendo assim a isolamento. Em (HOU et al., 2021) também é apresentada uma modificação do circuito para ser aplicado em transistores de GaN que possuam dois terminais de *gate*, para melhoria de *layout* do circuito.

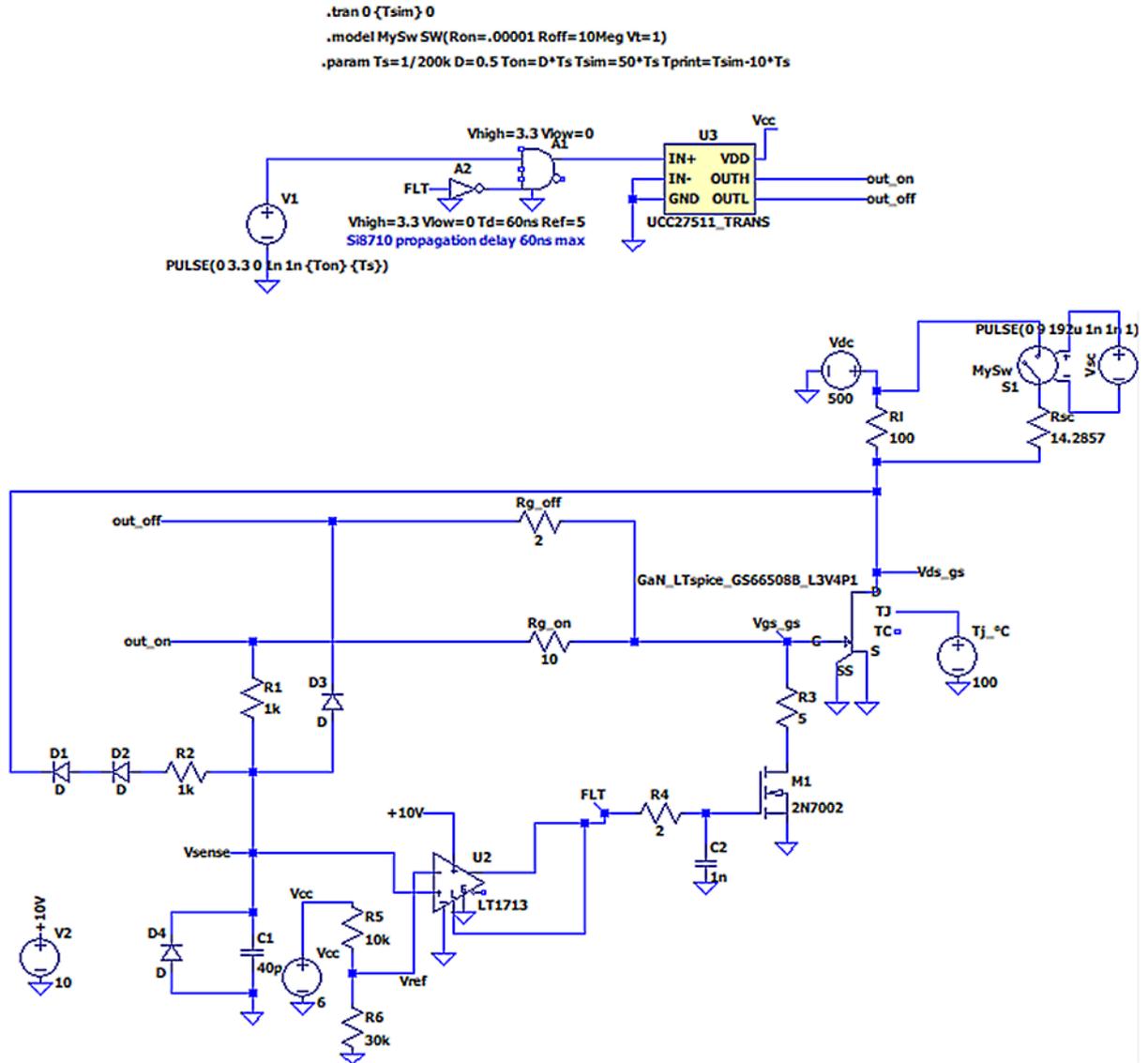
Neste caso, foi levado em consideração apenas o tempo de atraso de propagação de um opto-acoplador que deve ser utilizado caso o CI *gate driver* possua isolamento. Para fins de simplicidade no teste, esse tempo de atraso foi adicionado à porta inversora A2 (Figura 69). Entretanto, ressalta-se que em um circuito de proteção,

os tempos de atraso de propagação dos CIs são extremamente importantes durante o seu projeto, devendo ser o mais preciso possível, pois a proteção do transistor depende disso.

Na Figura 70 é mostrado o esquemático da simulação do circuito e na Figura 71 as formas de onda resultantes. A Figura 72 mostra em detalhes o momento que ocorre o curto-circuito e como atua o estágio de *soft turn-off*, que dura em torno de 70 ns (especificamente na simulação feita).

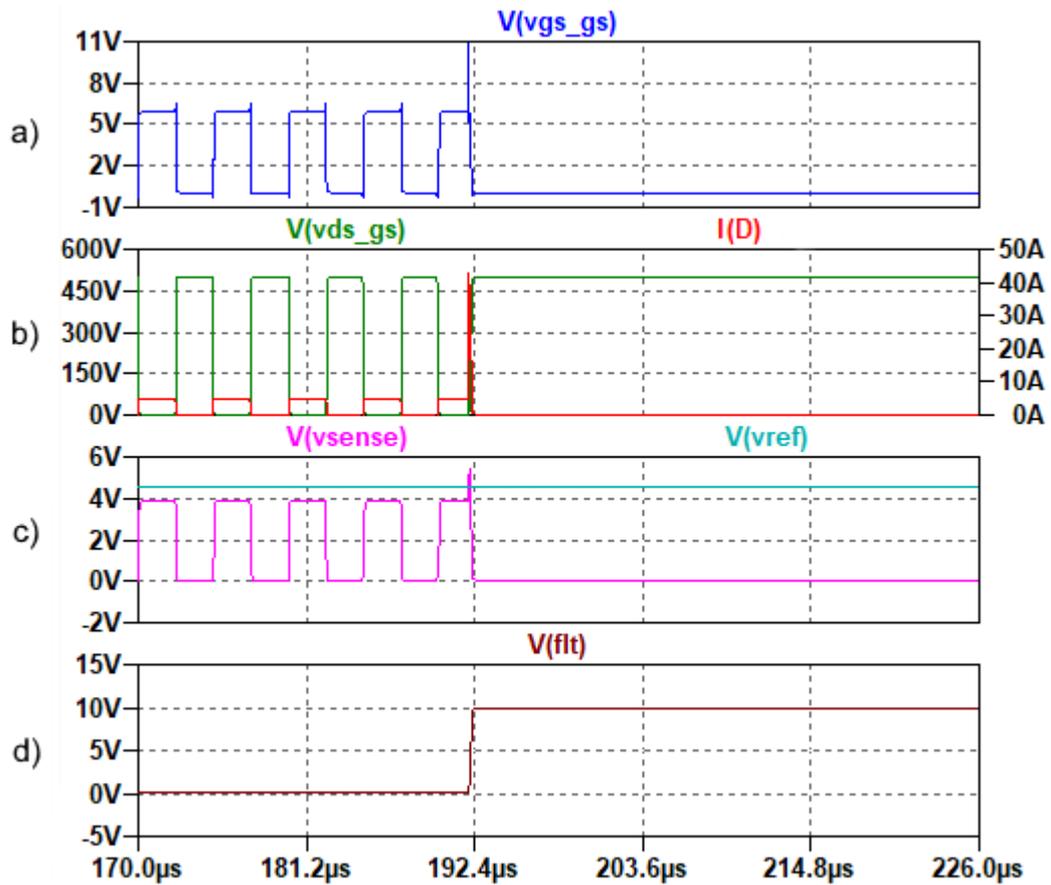
A tensão $V_{ds,ON}$ medida na simulação foi de 456 mV. Utilizando a equação (11) com $V_F = 0,7 V$ e $R_1 = R_2 = 1 k\Omega$, obtemos $V_{sense} = 3,93 V$, sendo que na simulação foi obtido $V_{sense} = 3,90 V$. A tensão de referência (V_{ref}) utilizada foi de 4,5 V. Para simular um curto-circuito, foi dado um degrau na corrente I_D de 5 A para 40 A, sendo que a corrente máxima do GS66508B é de 30 A (em $T_j = 25^\circ C$). Quando ocorre o curto-circuito, a tensão $V_{ds,ON}$ atinge 3,7 V (medido na simulação), que pela equação (11) resulta em $v_{sense} = 5,55 V$ (com $v_{sense} = 5,4 V$ na simulação), acionando a proteção do circuito.

Figura 70 – Circuito *gate driver* 3 para simulação.



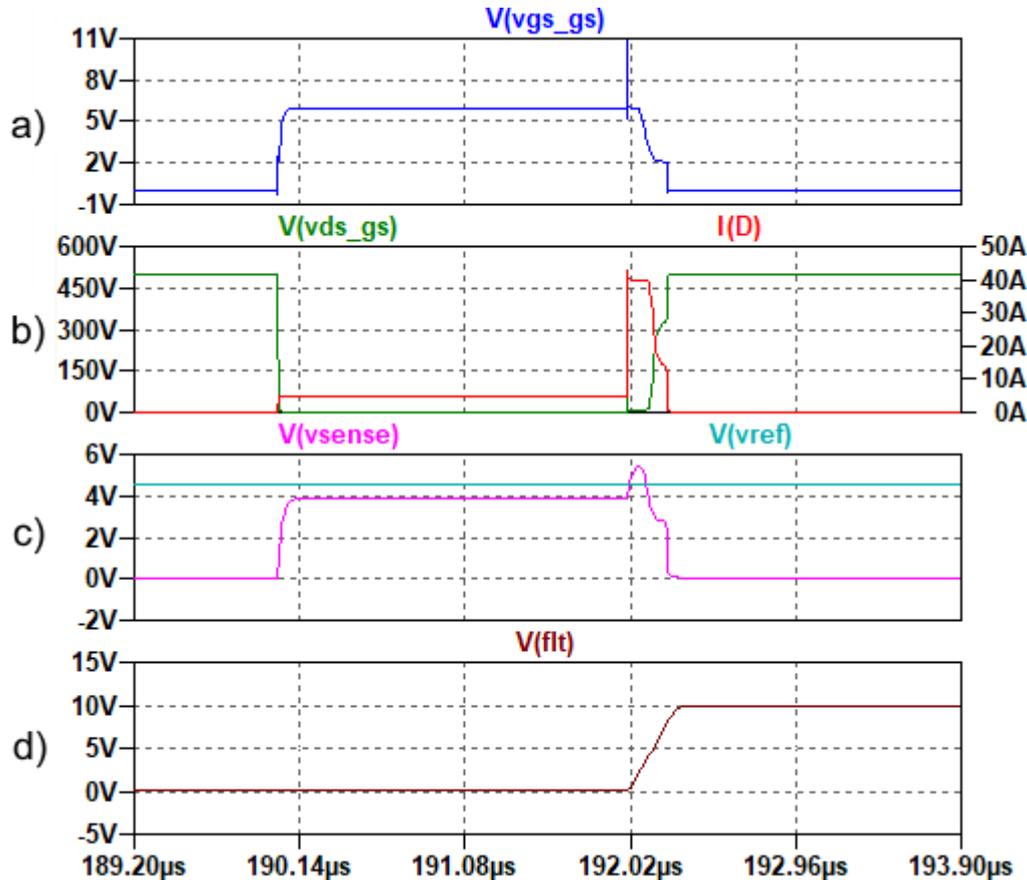
Fonte: próprio autor (2022).

Figura 71 - Resultados de simulação do circuito *gate driver* 3. a) Tensão V_{gs} do transistor de GaN (azul) a) Corrente I_D do transistor de GaN (vermelho) e tensão V_{ds} (verde). c) Tensão medida para detectar curto-circuito (rosa) e tensão de referência (azul claro). d) Sinal de falta de curto-circuito (vermelho escuro).



Fonte: próprio autor (2022).

Figura 72 – Resultados da simulação do circuito *gate driver 3* com detalhes no momento do curto-circuito. a) Tensão V_{gs} do transistor de GaN (azul) a) Corrente I_D do transistor de GaN (vermelho) e tensão V_{ds} (verde). c) Tensão medida para detectar curto-circuito (rosa) e tensão de referência (azul claro). d) Sinal de falta de curto-circuito (vermelho escuro).



Fonte: próprio autor (2022).

É possível ver na Figura 71 que quando ocorre o curto-circuito, ocorre um pico de tensão em V_{gs} com valor aproximado de +11 V (Figura 71.a) e na tensão medida de V_{ds} (Figura 71.c). Desta forma, a tensão medida de V_{ds} ultrapassa a tensão de referência fornecida ao comparador, que leva para nível alto o sinal de falta de curto-circuito (Figura 71.d). Desse modo, o sinal é enviado de volta ao CI de *gate driver* para desabilitar o sinal PWM. Como pode ser visto que após o curto-circuito não há mais tensão em V_{gs} e nem corrente I_D no transistor de GaN, confirma-se a etapa de *hard turn-off* do circuito proposto.

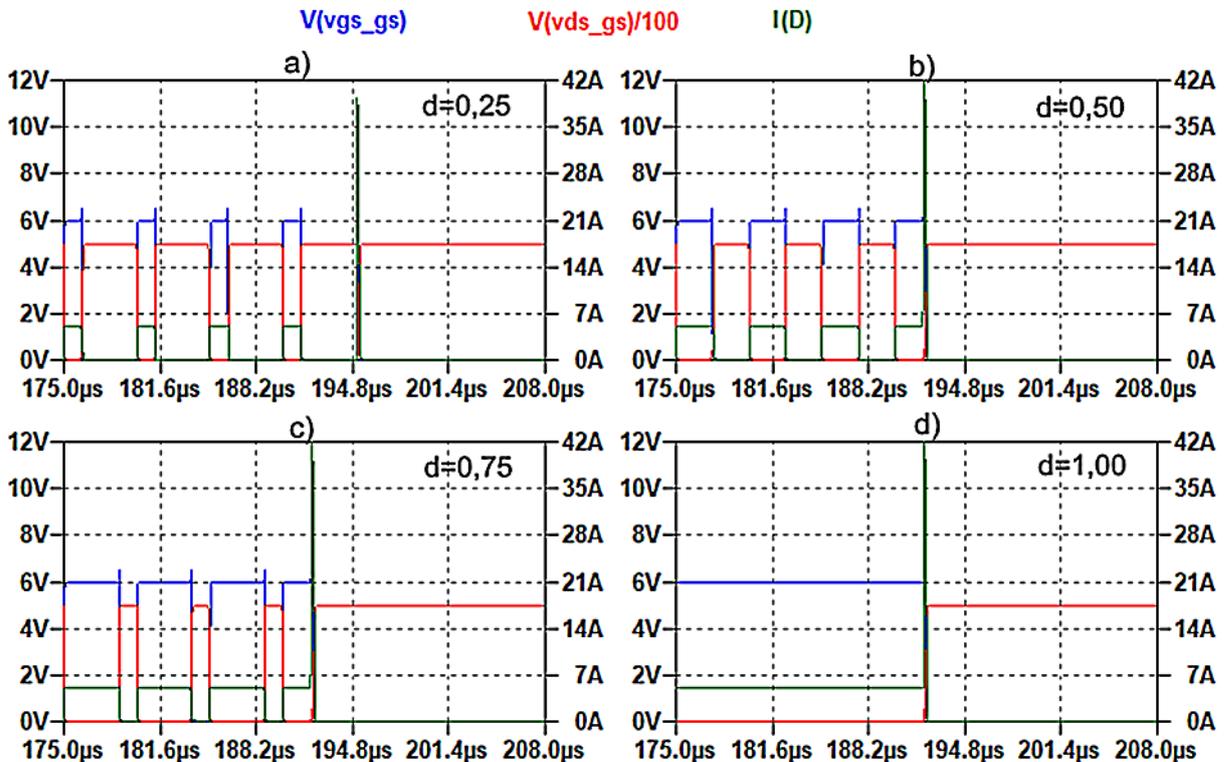
Antes da etapa de *hard turn-off*, ocorre a etapa de *soft turn-off*, que pode ser vista com mais detalhes na Figura 72.a. No momento do curto-circuito, quando o sinal

falta é acionado, a tensão V_{gs} é reduzida. A tensão ainda fica acima da tensão V_{th} do componente, porém, fica baixa o suficiente para reduzir o canal do *drain-source* e diminuir sua capacidade de corrente, para evitar um alto di/dt e oscilações de tensão. O período da etapa de *soft turn-off* depende tanto do projeto dos componentes utilizados no circuito quanto tempos de atraso de propagação dos CIs utilizados, sendo: o comparador, opto-acoplador, portas lógicas e *gate driver*.

Uma possível explicação para o pico de tensão em V_{gs} no momento do curto-circuito, são as descargas de capacitores intrínsecos do transistor. Para um curto-circuito desta magnitude, o pico de tensão gerado danificaria o componente. Ou talvez, na prática o pico de tensão seja rápido o suficiente para que não causasse nenhum dano (em torno de 1,3 ns). Apesar disso, o resultado da simulação mostra que o circuito *gate driver* conseguiu desabilitar o sinal PWM e proteger o conversor e a carga.

Diante disso, sugere-se que seja adicionado algum componente no circuito que proteja o transistor contra eventuais picos de tensão V_{gs} causados por um curto-circuito, como um diodo Zener em paralelo para grampear a tensão. Entretanto, novos componentes adicionados ao circuito requerem um novo estudo sobre seu funcionamento.

Figura 73 – Formas de onda no circuito *gate driver 3* com variação da razão cíclica, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde). a) $d = 0,25$; b) $d = 0,50$; c) $d = 0,75$; d) $d = 1,00$.

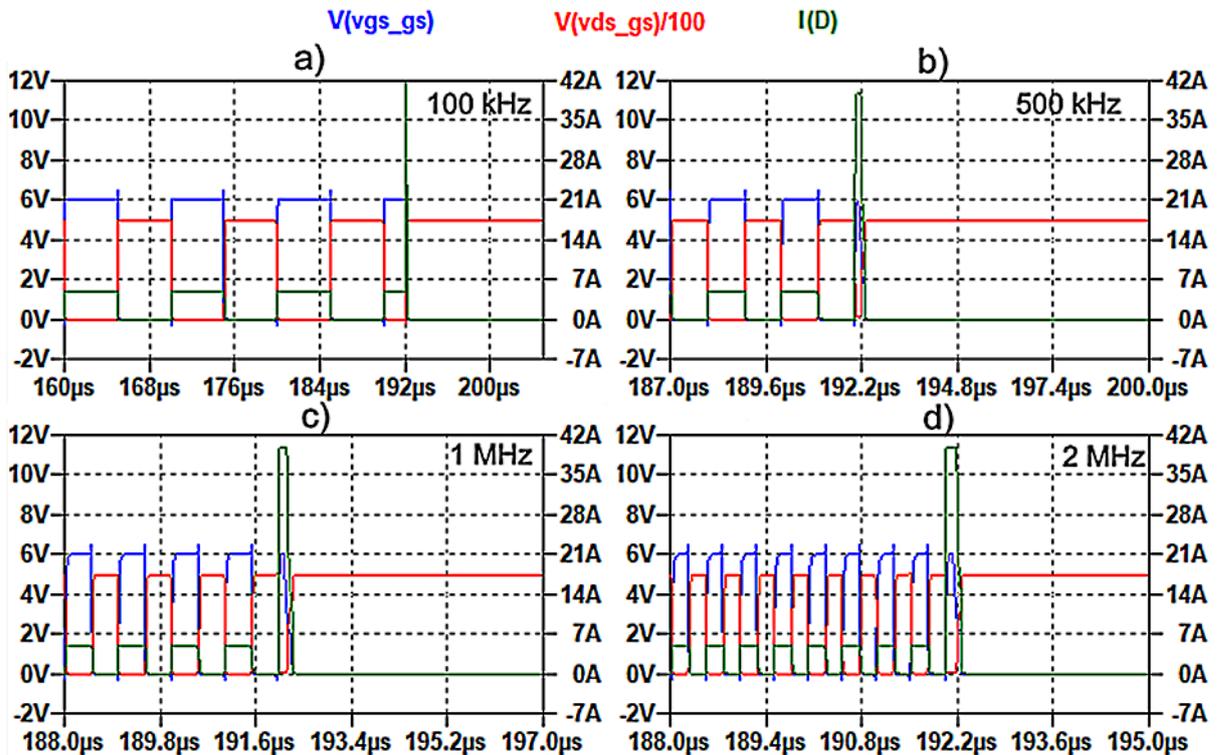


Fonte: próprio autor (2022).

A Figura 73 mostra as formas de onda obtidas fixando a frequência em 200 kHz e variando a razão cíclica. Nota-se que o circuito consegue uma variação da razão cíclica de 0 a 1 sem perder sua função de proteção.

A Figura 74 mostra as formas de onda de V_{gs} obtidas fixando a razão cíclica em 0,5 e variando a frequência de chaveamento. Também se conclui que o circuito consegue ser submetido a uma ampla faixa de frequência. Entretanto, vale ressaltar que para frequências muito altas (na faixa de MHz), pode haver conflito entre os tempos de atraso de propagação e o período de chaveamento desejado, podendo ocorrer a perda da função de proteção. Desse modo, o circuito que operar em frequências muito altas deve ter seus componentes escolhidos levando em consideração esses períodos. Além disso, se nota que para frequências mais altas (Figura 74.b, c, d), o pico de tensão em V_{gs} não ocorre como em 100 kHz (Figura 71.a) e 200 kHz.

Figura 74 – Formas de onda do circuito *gate driver* 3 com variação de frequência, com tensão V_{gs} (azul), tensão V_{ds} (vermelho), e corrente I_D (verde). a) 100 kHz, b) 500 kHz, c) 1 MHz, d) 2 MHz.



Fonte: próprio autor (2022).

3.4 DISCUSSÃO DOS RESULTADOS

Após essa análise dos três circuitos *gate drivers* escolhidos, conclui-se que todos funcionaram conforme o esperado, acionando corretamente o transistor e desempenhando as funções descritas. A Tabela 10 mostra um resumo das características observadas.

Tabela 10 – Resumo dos circuitos *gate driver* estudados.

Característica	<i>Gate Driver 1</i>	<i>Gate Driver 2</i>	<i>Gate Driver 3</i>
Tensão negativa no bloqueio	Sim	Sim (por um período)	Não
Isolação	Depende do CI utilizado	Depende do CI utilizado	Depende do CI utilizado
Razão cíclica variável	Sim	Sim	Sim
Frequência de chaveamento variável	Sim	Sim (faixa de variação depende do projeto)	Sim
Proteção	Não	Não	Curto-Circuito/Sobrecorrente
UVLO	Depende do CI utilizado	Depende do CI utilizado	Depende do CI utilizado
Complexidade	Baixa	Média	Alta

Fonte: próprio autor (2022).

A vantagem do circuito *gate driver 1* é ser um circuito mais simples, ou seja, requer menos componentes. Sua desvantagem é a aplicação de uma tensão negativa durante todo o período de bloqueio do transistor, o que aumenta as perdas de condução reversa do transistor de GaN, dependendo do conversor a ser utilizado. No circuito *gate driver 2*, ocorre o inverso. Sua vantagem é justamente o período reduzido de tensão negativa durante o bloqueio do transistor, porém, resulta em um circuito mais complexo.

No circuito *gate driver 3*, sua vantagem é a função de proteção de curto-circuito/sobrecorrente do dispositivo de GaN. Sua desvantagem é sua alta complexidade, devido à utilização de mais componentes e aos tempos de atraso de propagação que devem ser considerados para o funcionamento adequado da proteção. Além disso, o circuito não fornece uma tensão negativa durante o bloqueio

do transistor, o que pode tornar o dispositivo mais susceptível à acionamentos não desejados devido à ruídos.

Os circuitos podem ser utilizados tanto nos dispositivos da GaN Systems quanto da EPC. Para projetar um circuito que atendesse ambos, a tensão positiva para condução e negativa para bloqueio aplicado em V_{gs} , são de +5,5 V e -3,5 V, respectivamente, para manter um bom desempenho nos dispositivos e ter uma margem segura entre os limites de tensão. O transistor da Infineon não pôde ser testado pois o fabricante não fornece um modelo apropriado para LTspice. De qualquer maneira, a princípio não seria possível utilizar destes circuitos para seu acionamento, devido às considerações feitas na seção 2.3.4.5.

Tanto a isolação quanto a proteção de subtensão no comando (UVLO) podem ser feitas se utilizados CIs *gate drivers* com essas funções. Os três circuitos demonstraram bom desempenho quando submetidos à variação da razão cíclica e frequência de chaveamento. Os circuitos 2 e 3 demonstraram uma confiabilidade maior no fornecimento da tensão V_{gs} , pois no circuito 1 a tensão fornecida para acionamento variou consideravelmente conforme a razão cíclica foi variada.

Por fim, como é possível observar nos resultados apresentados nesta seção, de nada adianta utilizar um transistor que pode ser submetido a altíssimas frequências se o circuito *gate driver* não é capaz de operar corretamente.

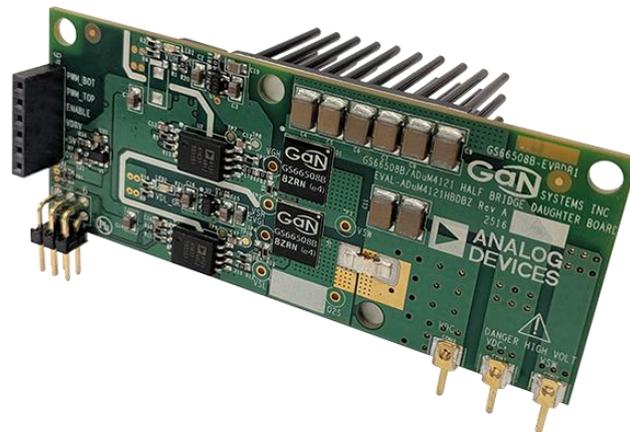
4 TESTES DE CIRCUITO GATE DRIVER DE PLACA DE DESENVOLVIMENTO

Para o desenvolvimento de um protótipo de circuito *gate driver* para transistor de GaN, é necessária uma placa confeccionada especialmente para utilização em altas frequências. Devido a dificuldades em se projetar e montar a PCB de um protótipo com componentes SMD e transistor de GaN, e principalmente por questões financeiras e tempo disponível, neste trabalho será utilizado uma placa de desenvolvimento da GaN Systems, feita especialmente para testar o desempenho do circuito *gate driver* e dos transistores de GaN em vários conversores.

A placa de desenvolvimento utilizada é a GS66508B-EVBDB1, que é uma *daughter board* onde se encontra um braço de transistores GS66508B, de 30 A e 650 V, juntamente com circuitos de alimentação isolados, filtros e *gate driver* isolados. Ou seja, permite o teste dos transistores em topologias que possuam a configuração de meia ponte.

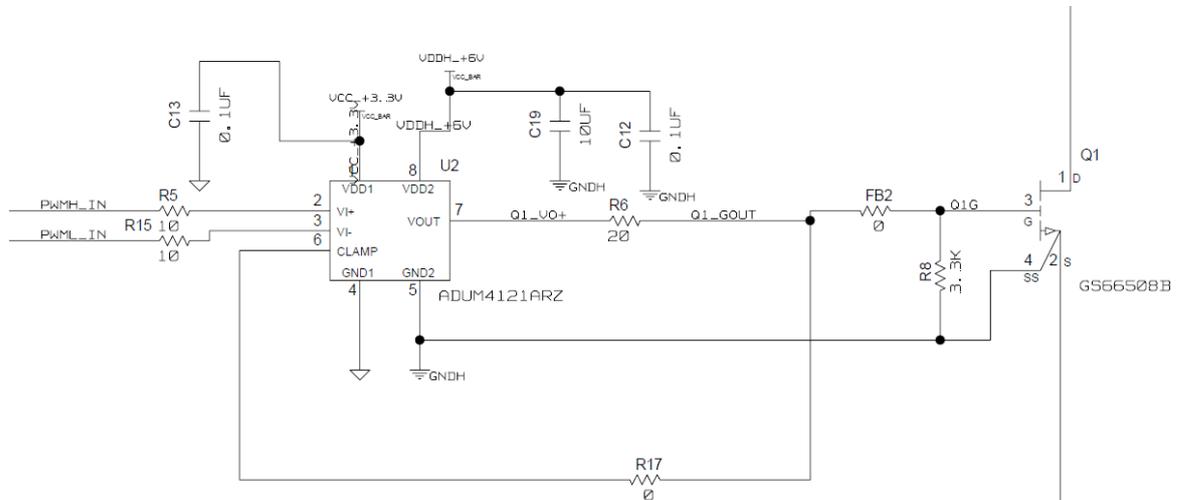
A placa pode ser vista na Figura 75 e na Figura 76 está o diagrama do circuito *gate driver* para o transistor de *high side* (para o transistor de *low side* é o mesmo circuito, apenas os sinais de entrada se invertem). O circuito utiliza o CI ADUM4121ARZ, que é um *gate driver* que possui isolamento entre entrada e saída, uma entrada não inversora, uma entrada inversora e pino de *clamp* para reduzir o impacto do efeito *miller*. Na saída é utilizado apenas um resistor para controlar a velocidade de carga da capacitância C_{gs} no *turn-on*, com um resistor em paralelo com o *gate* e o *source sense* para manter a tensão V_{gs} . Por isso, nota-se que este circuito fornece uma tensão de +6 V para o transistor conduzir e uma tensão nula para bloqueio do transistor.

Figura 75 - Placa de desenvolvimento *daughter board*⁸ GS66508B-EVBDB1 da GaN Systems.



Fonte: retirado de (GAN SYSTEMS,2022).

Figura 76 - Diagrama esquemático do circuito *gate driver* do transistor *high side*⁹ da placa GS66508B-EVBDB1.



Fonte: retirado de (GAN SYSTEMS, 2022).

Em conjunto com a *daughter board* foi utilizada a GS665MB-EVB, que é uma *mother board* própria para testar a placa GS66508B-EVBDB1. Esta placa possui outros circuitos auxiliares, como geração de tempo morto (100 ns por padrão, mas

⁸ Placa filha (tradução livre).

⁹ Lado de cima (tradução livre).

pode ser ajustado) com duas saídas invertidas, bem como conectores próprios para montagem de protótipos de conversores e ponteiras de testes. A Figura 77 mostra a placa com a *daughter board* instalada.

Figura 77 - Placa de desenvolvimento *mother board*¹⁰ GS66508B-EVBDB1 (colorido) da GaN Systems, com a *daughter board* (preto e branco) instalada.



Fonte: retirado de (GAN SYSTEMS, 2022).

De acordo com (PEDRI, 2021), o transistor e a placa de desenvolvimento já tiveram seu funcionamento validado por simulações, incluindo comparações de comportamento do componente com o *datasheet* e pela implementação prática do protótipo de um conversor *buck* síncrono. Por isso, o modelo *spice* do transistor fornecido pelo fabricante é considerado confiável.

A Tabela 11 mostra as principais características do transistor GS66508B. De acordo com os resultados obtidos por (PEDRI, 2021), apenas os parâmetros de tempo do catálogo tiveram erros significativos em relação a resultados obtidos em simulação.

Neste trabalho, é desenvolvido um protótipo de um inversor em meia-ponte para a realização de testes da placa de desenvolvimento e funcionamento do circuito *gate driver* e do transistor de GaN nesta topologia.

¹⁰ Placa mãe.

Tabela 11 - Parâmetros do transistor GS66508B da GaN Systems.

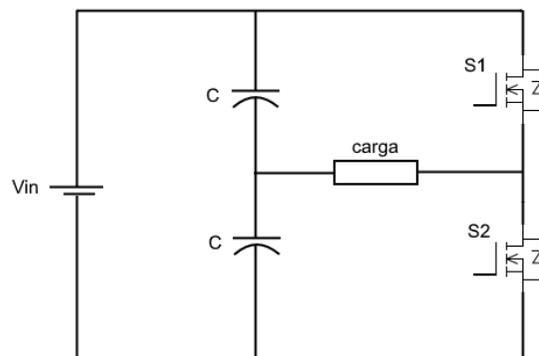
Parâmetro	Valor	Unidade
Valores máximos		
Tensão V_{ds}	650	V
Tensão V_{gs}	-10 a +7	V
Tensão V_{gs} (transiente $< 1\mu s$)	-20 a +10	V
Corrente I_{ds}	30 ($T_c = 25^\circ C$) 25 ($T_c = 100^\circ C$)	A
Temperatura de junção T_j	-55 a +150	$^\circ C$
Valores típicos		
Tensão $V_{gs,th}$	1,7	V
Resistência $R_{ds(on)}$	50 ($T_j = 25^\circ C$) 129 ($T_j = 150^\circ C$)	$m\Omega$
Capacitância C_{iss}	242	pF
Capacitância C_{oss}	65	pF
Capacitância C_{rss}	1,5	pF
Carga total Q_g	6,1	nC
Tempo de atraso $t_{D(on)}$	4,1 ($T_j = 25^\circ C$) 4,3 ($T_j = 125^\circ C$)	ns
Tempo de subida t_r	3,7 ($T_j = 25^\circ C$) 4,9 ($T_j = 125^\circ C$)	ns
Tempo de atraso $t_{D(off)}$	8 ($T_j = 25^\circ C$) 8,2 ($T_j = 125^\circ C$)	ns
Tempo de descida t_f	5,2 ($T_j = 25^\circ C$) 3,4 ($T_j = 125^\circ C$)	ns

Fonte: retirado de (GAN SYSTEMS, 2022).

4.1 INVERSOR EM MEIA-PONTE

O inversor em meia-ponte é um conversor CC-CA que utiliza apenas um braço de transistores, que são dois transistores em série, mas com comando complementar (quando um está conduzindo, o outro está bloqueado). A Figura 78 mostra o esquemático da sua topologia.

Figura 78 - Topologia do inversor de meia ponte.



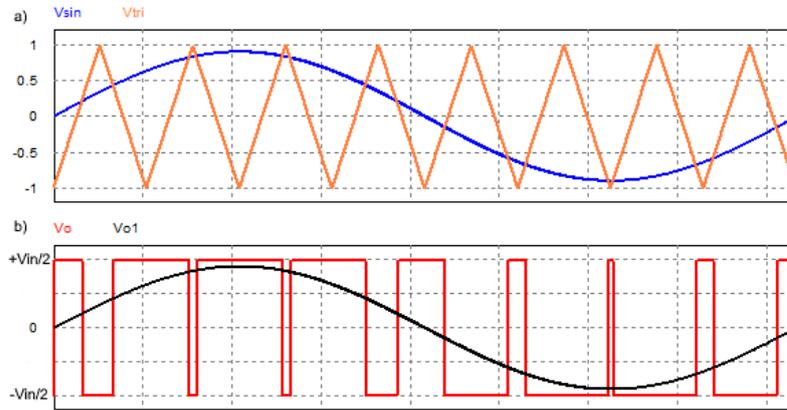
Fonte: próprio autor (2022).

Como mostra a Figura 79.b, a tensão de saída do inversor V_o mostra uma forma de onda quadrada com razão cíclica variável, que possui elevada distorção harmônica, ou seja, com várias componentes de tensão com frequências diferentes múltiplas da frequência fundamental.

Para extrairmos a componente fundamental, forma de onda senoidal V_{o1} , é necessário utilizar a técnica de PWM Senoidal, demonstrada na Figura 79.a, e um filtro LC. Este é um filtro de segunda ordem, composto por dois componentes passivos: o indutor L e o capacitor C . O filtro de saída serve para atenuar componentes indesejadas no sinal de saída, desse modo, é projetado para deixar apenas a componente de frequência desejada.

Nesse tipo de modulação, é utilizado dois sinais: um sinal senoidal de referência na frequência desejada para a saída e outro sinal triangular com a frequência de comutação desejada. Por meio da comparação dos dois sinais, é gerado o sinal PWM para o comando dos transistores $S1$ e $S2$.

Figura 79 - Técnica de PWM Senoidal. a) Sinal da portadora com forma de onda triangular (laranja) e sinal modulante com forma de onda senoidal (azul). b) Tensão de saída do inversor (vermelho) e componente fundamental da tensão de saída do inversor (preto).



Fonte: próprio autor (2022).

Ainda, temos que o valor de pico da fundamental é dado pela equação (14), onde m_a é o índice de modulação de amplitude, V_{ref} é a amplitude do sinal de referência e V_{tri} a amplitude do sinal triangular. Além disso, há o índice de modulação de frequência (m_f), que é a razão entre a frequência de chaveamento e a frequência do sinal de referência. Além disso, deve ser escolhido um número inteiro para evitar o surgimento de subharmônicos (BATSCHAUER, 2021).

$$V_{o1} = m_a \frac{V_{in}}{2} \quad (14)$$

$$m_a = \frac{V_{ref}}{V_{tri}} \quad (15)$$

$$m_f = \frac{f_s}{f} \quad (16)$$

De acordo com (MARTINS, 2022), um dos métodos de projeto do filtro LC de saída é por meio da frequência de ressonância. Esse método serve apenas para cargas resistivas. A frequência de ressonância escolhida deve ser no máximo uma década antes da frequência de chaveamento, para garantir que as componentes harmônicas do chaveamento tenham a atenuação necessária. O cálculo dos valores de indutância e capacitância necessários pode ser feito pelas equações (18), (19), (20) e (21):

$$\omega_n^2 = \frac{1}{L_f C_f} \quad (17)$$

$$\xi = \frac{1}{2R_o} \sqrt{\frac{L_f}{C_f}} \quad (18)$$

$$C_f = \frac{1}{2\xi \omega_n R_o} \quad (19)$$

$$L_f = \frac{1}{\omega_n^2 C_f} \quad (20)$$

Onde ω_n é a frequência angular natural (de ressonância), R_o é a resistência de saída, ξ é o coeficiente de amortecimento, C_f é a capacitância do filtro e L_f é a indutância do filtro.

De acordo com (BARBI, 2022), o valor máximo da ondulação de corrente no indutor (Δi_{max}) e o valor eficaz da corrente no capacitor (I_{cef}) são dadas pelas equações (21) e (22), respectivamente.

$$\Delta i_{max} = \frac{V_{in}}{4L_f f_s} \quad (21)$$

$$I_{cef} = \frac{V_{in}}{8f_s L} \sqrt{\frac{3m_a^4}{16} - m_a^2 + 1} \quad (22)$$

4.2 PROJETO DO INVERSOR DE MEIA PONTE

Para desenvolver o projeto do inversor de meia ponte a ser utilizado para testar a placa de desenvolvimento da GaN Systems, foram utilizadas as especificações apresentadas na Tabela 12. A carga será puramente resistiva. A corrente máxima nos transistores desejada para o projeto é de 10 A. Entretanto, foi escolhido a corrente de carga de 9 A para se ter uma boa margem de segurança nos testes com a placa, visando operar dentro dos limites indicados pelo *datasheet* do componente, pois no acionamento de um braço de transistores de GaN podem ocorrer picos de sobrecorrente muito elevados.

Tabela 12 - Especificações iniciais para projeto do inversor de meia ponte.

Tensão de entrada V_{in}	300 V
Índice de modulação de amplitude m_a	0,9
Corrente máxima nos transistores $I_{sw,max}$	9 A
Resistência de saída equivalente R_o	15 Ω
Potência de saída P_o	607,5 W
Frequência de chaveamento f_s	240 kHz
Frequência de saída f	60 Hz

Fonte: próprio autor (2022).

De acordo com a equação (5), com $m_a = 0,9$ e $V_{in} = 300 V$, temos que a amplitude da tensão de saída será de 135 V. O índice de modulação de frequência é de $m_f = 4000$, de acordo com a equação (16).

Para o projeto do filtro LC, foi escolhida uma frequência de ressonância de 24 kHz, uma década abaixo da frequência de chaveamento e 400 vezes maior que a frequência desejada. Destaca-se que a escolha desta frequência de ressonância para o filtro LC é o que garante indutores e capacitores para filtro menos pesados e menos volumosos, mostrando a grande vantagem do transistor de GaN de operar em altas frequências. Também foi definido um coeficiente $\xi = 0,707$ a fim de evitar amplificações das harmônicas de chaveamento.

Utilizando as equações (20) e (21), é definido os seguintes valores de capacitância e indutância do filtro:

$$C_f = 312,657 \text{ nF}$$

$$L_f = 140,6532 \text{ } \mu\text{H}$$

Para o capacitor será utilizado o valor de 330 nF. Entretanto, devido as opções de componentes disponíveis do laboratório, será utilizado um indutor de 516 μH e uma resistência de saída de 18,67 Ω . A Tabela 13 apresenta os parâmetros do conversor e do filtro calculados em comparação com os valores recalculados devido à modificação causada no projeto pela troca de componentes.

Como é possível ver na Tabela 13, a mudança no indutor, capacitor e resistor resultou em um coeficiente de amortecimento de 1,059, o que significa que a resposta do filtro será superamortecida. A frequência de ressonância diminuiu para 12196,59 Hz. Entretanto, os novos parâmetros ainda são suficientes para o funcionamento normal do inversor, pois a atenuação das componentes harmônicas de chaveamento ainda é satisfatória e não atrapalha na componente de saída desejada.

De acordo com a equação (1), as perdas do *gate driver* são de:

$$P_{driver} = 6,1 \times 10^{-9} \cdot 6 \cdot 240 \times 10^3 = 8,78 \text{ mW}$$

Tabela 13 - Comparação entre os parâmetros do projeto inicial e do projeto modificado do inversor de meia ponte.

	Projeto inicial	Projeto modificado
Corrente máxima nos transistores $I_{sw,max}$	9 A	7,23 A
Valor eficaz da corrente de carga I_o	6,36 A	5,11 A
Resistência de saída equivalente R_o	15 Ω	18,67 Ω
Potência de saída P_o	607,5 W	488,1 W
Amplitude da tensão de saída $V_{o,p}$	135 V	135 V
Valor eficaz da tensão de saída V_o	95,46 V	95,46 V
Capacitor do filtro de saída C_f	312,66 nF	330 nF
Indutor do filtro de saída L_f	140,65 μ H	516 μ H
Coeficiente de amortecimento ξ	0,707	1,059
Frequência de ressonância f_n	24000 Hz	12196,59 Hz
Valor máximo da ondulação de corrente no indutor Δi_{max}	2,22 A	0,61 A
Valor eficaz da corrente no capacitor I_{cef}	0,62 A	0,17 A

Fonte: próprio autor (2022).

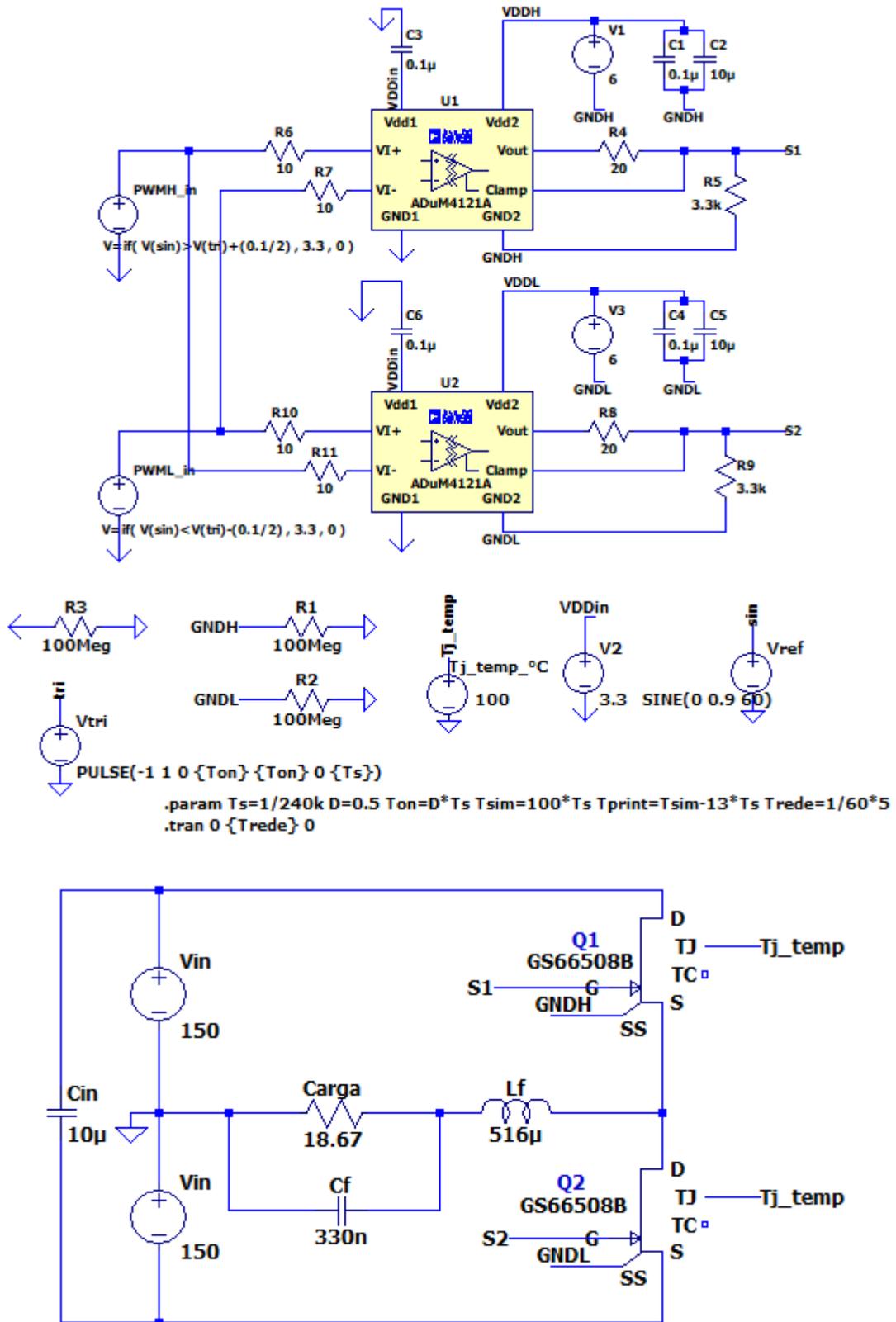
4.3 SIMULAÇÃO DO INVERSOR MEIA-PONTE PROJETADO

A Figura 80 apresenta o diagrama esquemático do circuito *gate driver* da placa de desenvolvimento, conectado com o inversor meia-ponte projetado. A simulação foi feita no *software* LTspice XVII. O circuito *gate driver* foi desenhado conforme (GAN SYSTEMS, 2022).

Para o sinal SPWM, foi utilizado uma senoide de 60 Hz, com amplitude de 0,9 V, e um sinal triangular de 240 kHz, com amplitude de 1 V. A comparação do sinal foi feita com o bloco de lógica PWMH_in e PWML_in. O tempo morto, definido no mesmo bloco, foi de 100 ns, igual da placa *motherboard*.

Nota-se na Figura 80, que há dois sinais de referência, um do circuito de comando e outro da parte de potência, devido à isolação fornecida pelo CI de *gate driver* ADuM4121A. Essa isolação foi simulada com a adição de um resistor de 100 M Ω entre as referências, de modo que se obtenha um circuito aberto. A temperatura de junção dos transistores escolhida foi de 100 °C.

Figura 80 - Diagrama esquemático da simulação da placa de desenvolvimento com o inversor.



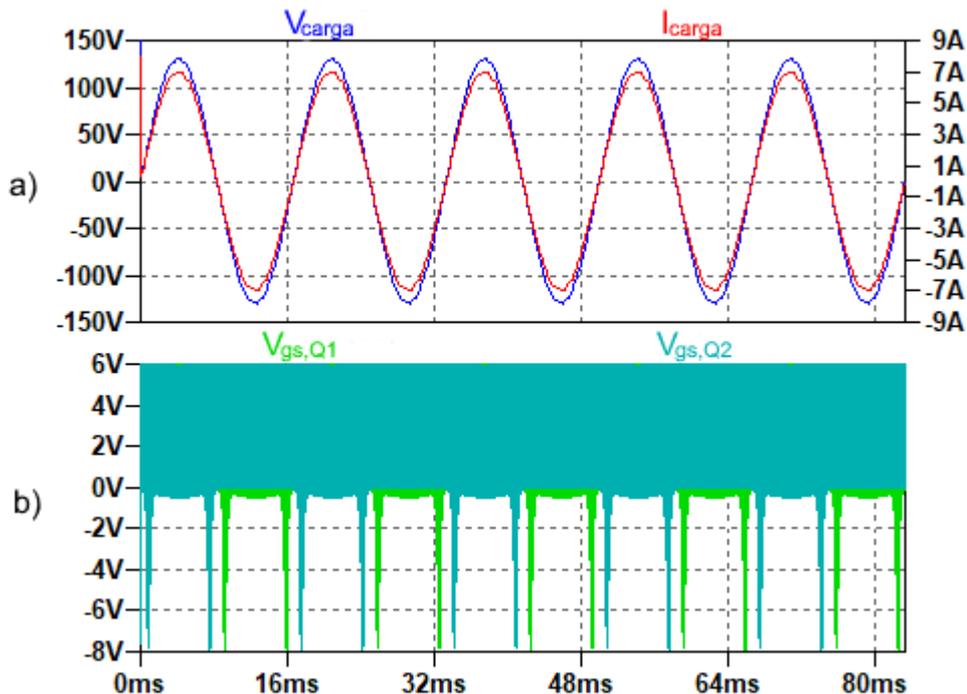
Fonte: próprio autor (2022).

4.3.1 Resultados da simulação

A Figura 81.a mostra a tensão e corrente na carga obtida com o conversor. Nota-se que o filtro LC conseguiu atenuar boa parte das harmônicas, destacando a componente de 60 Hz da tensão de saída. Na Tabela 16, estão apresentados os valores máximos e mínimos. A potência ativa de saída obtida é de 449 W.

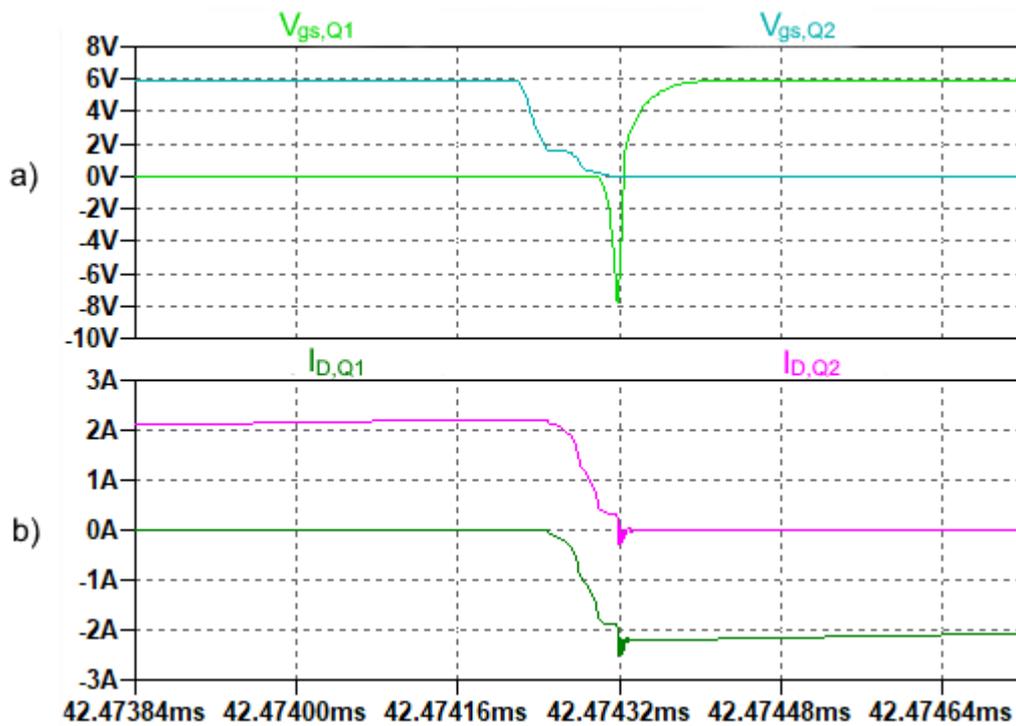
Na Figura 81.b, é possível ver que a tensão V_{gs} das duas chaves vai de +6 V a 0 V na maior parte do tempo. Entretanto, há períodos em que a tensão negativa chega até -8 V, perto do limite de -10 V do transistor. Na Figura 82.a, pode ser visto em detalhes esse momento. Nota-se que não há indicação de que há comando para acionar as duas chaves ao mesmo tempo, o que pode ser confirmado pela Figura 82.b, onde se observa que não há curto-circuito do braço neste momento. Também chama a atenção que, esta oscilação negativa ocorre quando o transistor entra em condução e não no bloqueio, como se esperaria.

Figura 81 – Formas de ondas na escala de 60 Hz, obtidas na simulação. a) Tensão na carga (azul) e corrente na carga (vermelho), b) Tensão V_{gs} do transistor Q1 (verde) e do transistor Q2 (azul claro).



Fonte: próprio autor (2022).

Figura 82 – Detalhe da forma de onda com pico de tensão negativa em V_{gs} . a) Tensão V_{gs} do transistor Q1 (verde claro) e do transistor Q2 (azul claro), b) Corrente I_D do transistor Q1 (verde) e do transistor Q2 (rosa).



Fonte: próprio autor (2022).

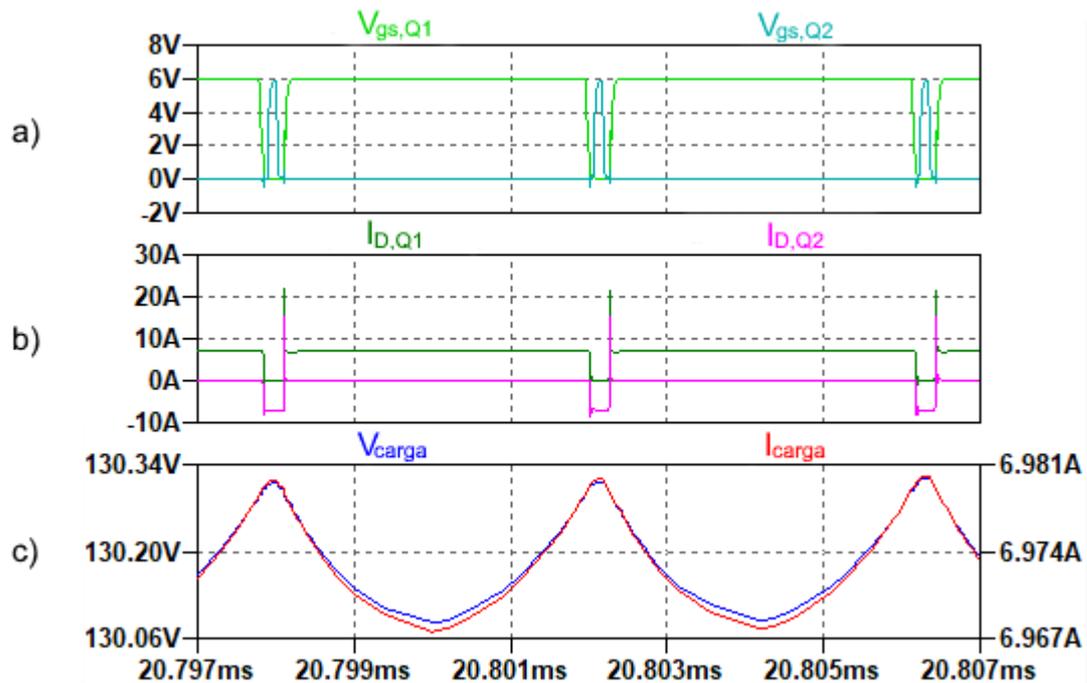
Tabela 14 - Resultados obtidos da simulação da placa de desenvolvimento com o inversor.

	V_{carga} (V)	I_{carga} (A)
Valor Máximo	130,35	6,98
Valor Mínimo	-130,28	-6,98
Valor Eficaz	91,55	4,90

Fonte: próprio autor (2022).

Na simulação também pode ser visto que, durante o período de pico da tensão de saída (positivo ou negativo), há um pico de sobrecorrente nas duas chaves quando estas entram em condução. A Figura 83 ilustra um destes momentos.

Figura 83 – Sobrecorrente nos transistores dos resultados da simulação. a) Tensão V_{gs} do transistor Q1 (verde claro) e do transistor Q2 (azul claro), b) Corrente I_D do transistor Q1 (verde) e do transistor Q2 (rosa), c) Tensão na carga (azul) e corrente na carga (vermelho).



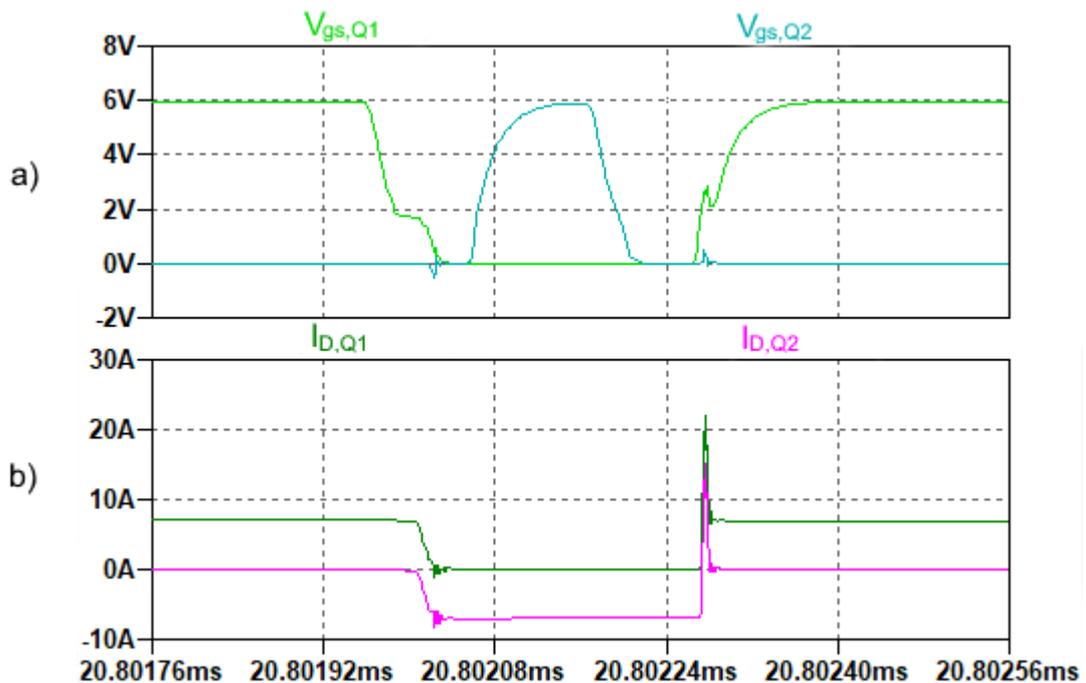
Fonte: próprio autor (2022).

Como pode ser visto na Figura 83.a, não parece haver comando simultâneo nas duas chaves, porém, como visto na Figura 83.b, há um pico de sobrecorrente nas duas chaves, em especial no transistor Q1, em que o valor deste pico chega em torno de 22 A, que é um valor muito próximo do limite de corrente de 25 A (em $T_c = 100^\circ C$) indicado pelo fabricante.

Na Figura 84 este momento pode ser visto em mais detalhes. Nota-se que na Figura 84.a, a tensão V_{gs} está abaixo da tensão V_{th} , portanto, confirma-se que não ocorreu um curto de braço devido a um erro no comando das chaves.

O que explica este pico de sobrecorrente é o fenômeno de *cross-conduction*, que ocorre em topologias com braços de transistores. O que ocorre é o seguinte: quando um transistor entra em bloqueio, ele necessita carregar sua capacitância C_{oss} . Para isso, a corrente que passa por C_{oss} também passa pelo transistor complementar, que está entrando em condução. Com isso, a corrente que passa pelo transistor entrando em condução é a soma da corrente de carga mais a corrente passando por C_{oss} , gerando um pico de sobrecorrente. Como a corrente de carga varia senoidalmente, os picos de sobrecorrente são maiores no valor de pico da corrente de carga.

Figura 84 – Detalhe da forma de onda da sobrecorrente nos transistores dos resultados da simulação. a) Tensão V_{gs} do transistor Q1 (verde claro) e do transistor Q2 (azul claro), b) Corrente I_D do transistor Q1 (verde) e do transistor Q2 (rosa).



Fonte: próprio autor (2022).

Na Figura 85, é possível ver em detalhes o acionamento dos transistores. No transistor Q1, a corrente I_C chega em até 200 mA, como visto na Figura 85.a. No transistor Q2, há uma oscilação na corrente de *gate*, com pico de 600 mA quando o transistor Q1 entra em bloqueio e um pico de quase -800 mA quando o transistor Q1

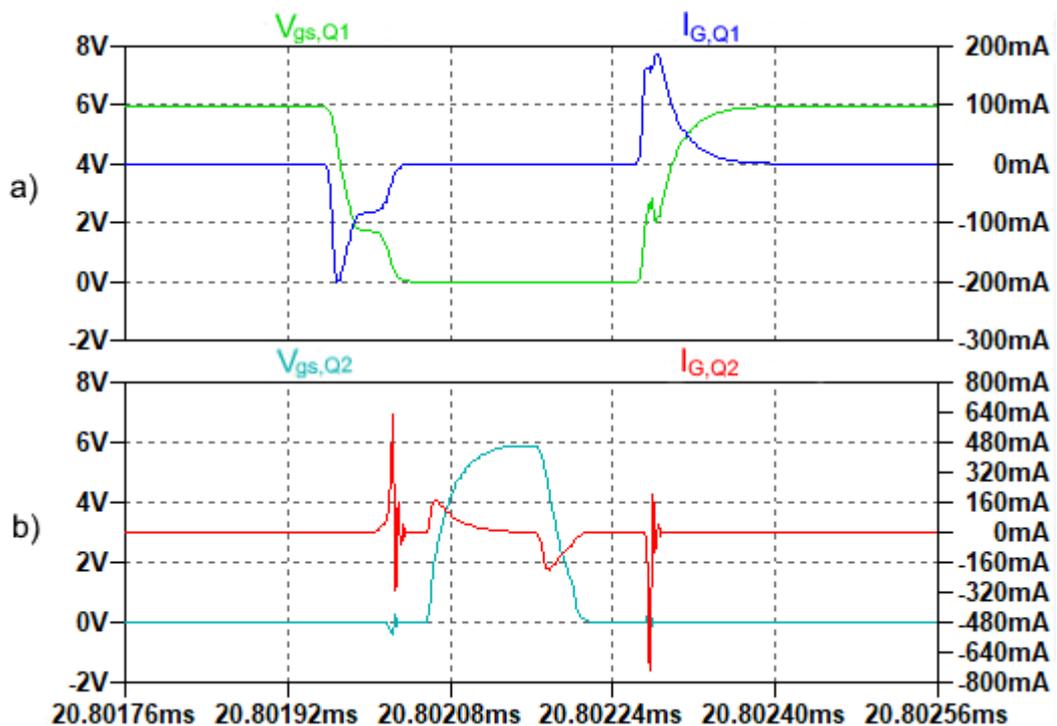
entra em condução, como visto na Figura 85.b. Apesar desses valores não ameaçarem nenhum dos componentes, mostra como o transistor de GaN é sensível aos componentes parasitas do circuito.

De acordo com a equação (3), utilizando os parâmetros da Tabela 13, obtém-se a seguinte corrente I_G necessária para acionar o transistor:

$$I_G = C_{iss} \frac{\Delta V_{gs}}{t_r} = 242 \times 10^{-12} \cdot \frac{6}{4,9 \times 10^{-9}} = 296,33 \text{ mA}$$

Que condiz com os resultados da simulação.

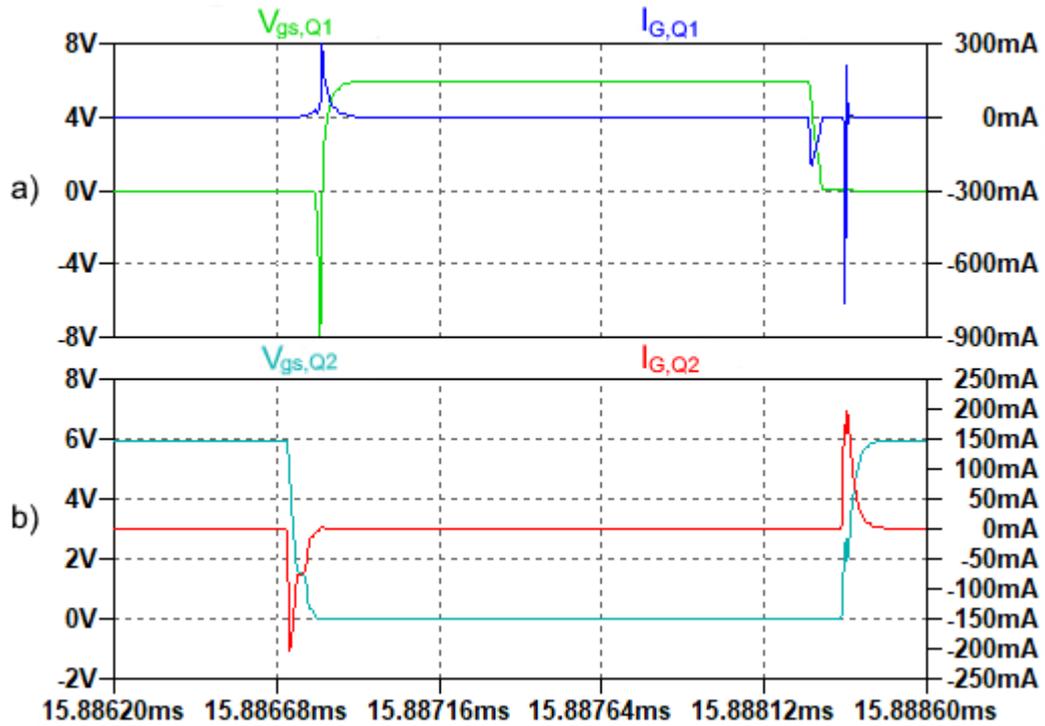
Figura 85 – Formas de ondas das tensões e correntes de acionamento dos transistores. a) Tensão V_{gs} no transistor Q1 (verde claro) e corrente I_G no transistor Q1 (azul), b) Tensão V_{gs} no transistor Q2 (azul claro) e corrente I_G no transistor Q2 (vermelho).



Fonte: próprio autor (2022).

A Figura 86 mostra em detalhes o acionamento dos transistores quando há o pico negativo na tensão V_{gs} . Nota-se que após o bloqueio de Q1, há uma oscilação na corrente I_g , com um pico de aproximadamente -750 mA.

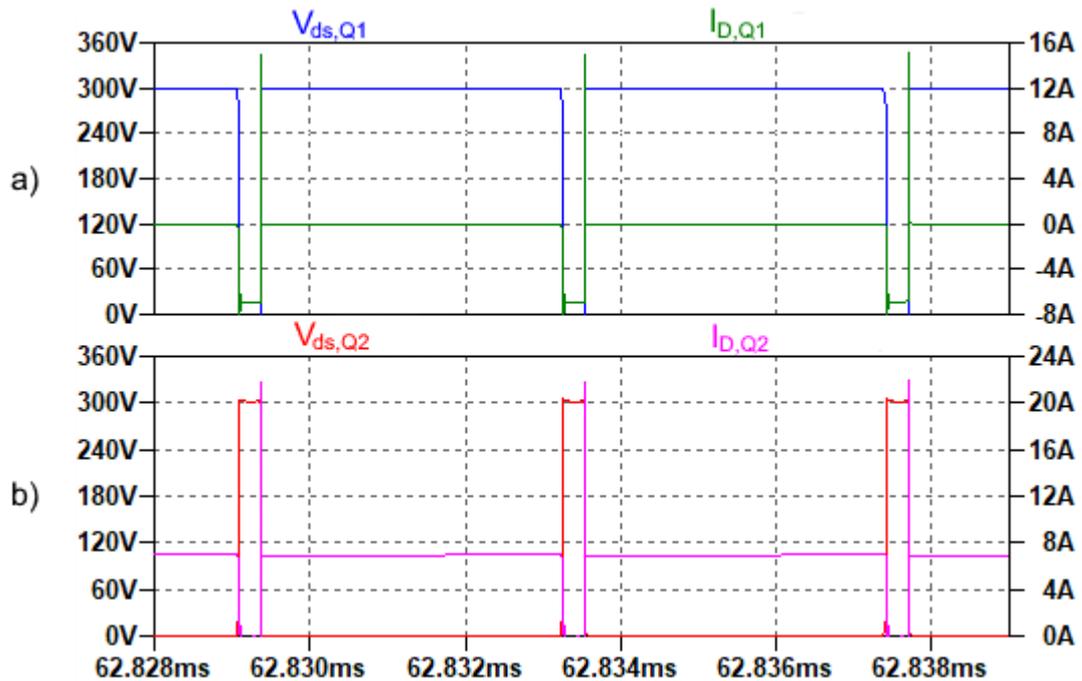
Figura 86 - Formas de ondas das tensões e correntes de acionamento dos transistores com pico de tensão negativa em V_{gs} . a) Tensão V_{gs} no transistor Q1 (verde claro) e corrente I_G no transistor Q1 (azul), b) Tensão V_{gs} no transistor Q2 (azul claro) e corrente I_G no transistor Q2 (vermelho).



Fonte: próprio autor (2022).

Na Figura 87 estão apresentadas as tensões V_{ds} e as correntes I_{ds} dos transistores Q1 e Q2. Nota-se na Figura 87.b que o pico de corrente de 22 A está no transistor Q2, pois neste momento a tensão na carga está no semiciclo negativo.

Figura 87 – Formas de ondas dos esforços de tensão e corrente nos transistores. a) Tensão V_{ds} no transistor Q1 (azul) e corrente I_D no transistor Q1 (verde), b) Tensão V_{ds} no transistor Q2 (vermelho) e corrente I_D no transistor Q2 (rosa).



Fonte: próprio autor (2022).

4.4 IMPLEMENTAÇÃO DO PROTÓTIPO DO CONVERSOR COM A PLACA DE DESENVOLVIMENTO

Para a montagem e teste experimental, são utilizados os componentes e equipamentos apresentados na Tabela 15. A tensão de entrada do inversor é alimentada por meio de um retificador monofásico com filtro capacitivo, com tensão média de 300 V. A Figura 88 mostra o protótipo do retificador montado.

A geração do sinal PWM é feita por meio de um circuito com o CI comparador LM319, sendo que o sinal senoidal de 60 Hz é fornecido pelo gerador de sinais analógico e o sinal triangular de 240 kHz pelo gerador de função digital. A Figura 89 mostra o protótipo do circuito montado com o CI. Seu diagrama esquemático pode ser visto na Figura 90.

A Figura 91 mostra o diagrama esquemático completo da montagem e as Figuras 92 e 93 mostram o protótipo montado em bancada.

Tabela 15 - Equipamentos utilizados na montagem e teste do protótipo.

Equipamento	Marca	Modelo / Especificação
Fonte de alimentação CC	Minipa	MPC-3003
Gerador de sinais analógico	Leader	LAG-120B
Gerador de função digital	Tektronix	CFG280
Osciloscópio digital	Tektronix	MSO 2014B
Ponteiras isoladas	Tektronix	THDP0100
Varivolt trifásico	Auje	T-3820
Banco de resistores	Eletele	6 x 56 Ω , 1 kW cada
Termômetro infravermelho	Politem	MS6530

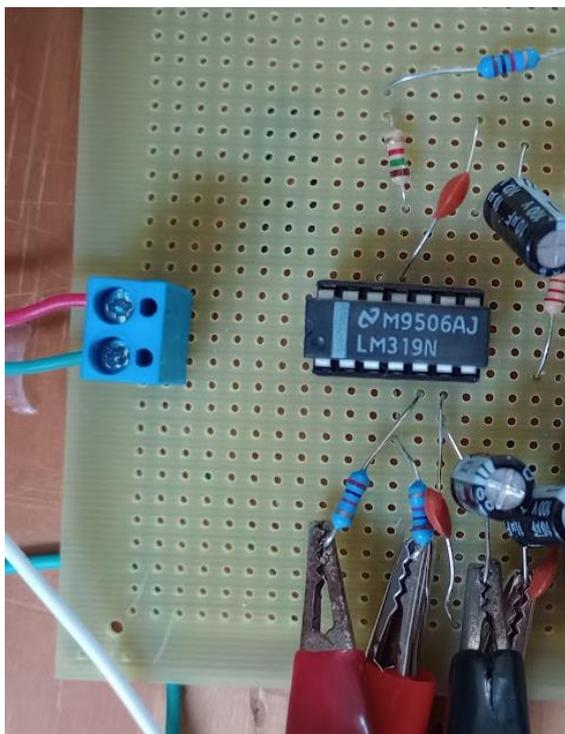
Fonte: próprio autor (2022).

Figura 88 – Placa do retificador monofásico com filtro capacitivo.



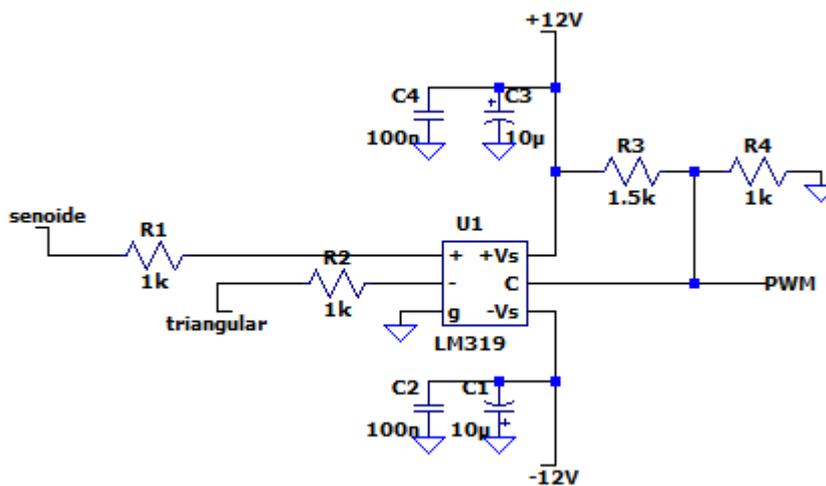
Fonte: próprio autor (2022).

Figura 89 - Placa de circuito comparador para sinal PWM.



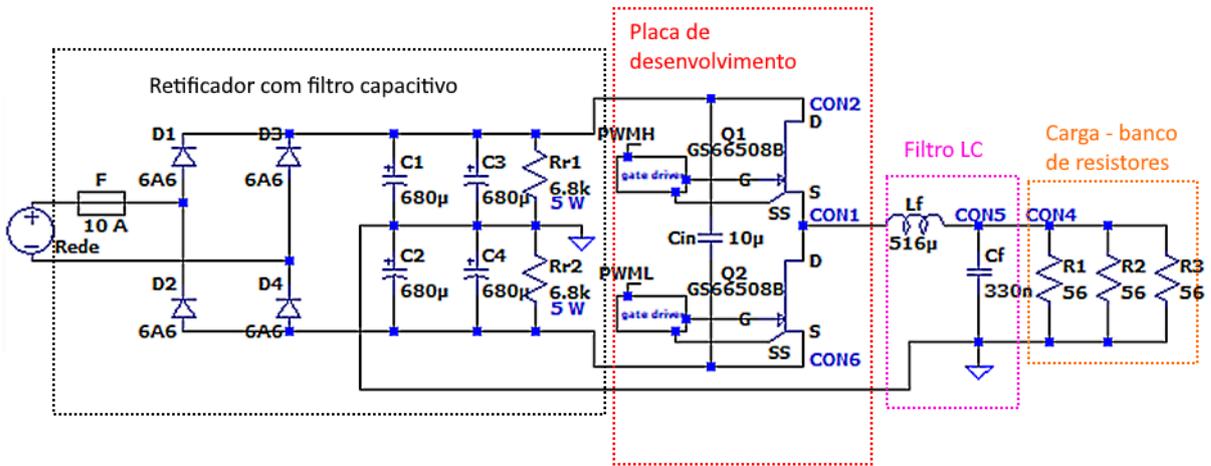
Fonte: próprio autor (2022).

Figura 90 - Diagrama esquemático do circuito comparador.



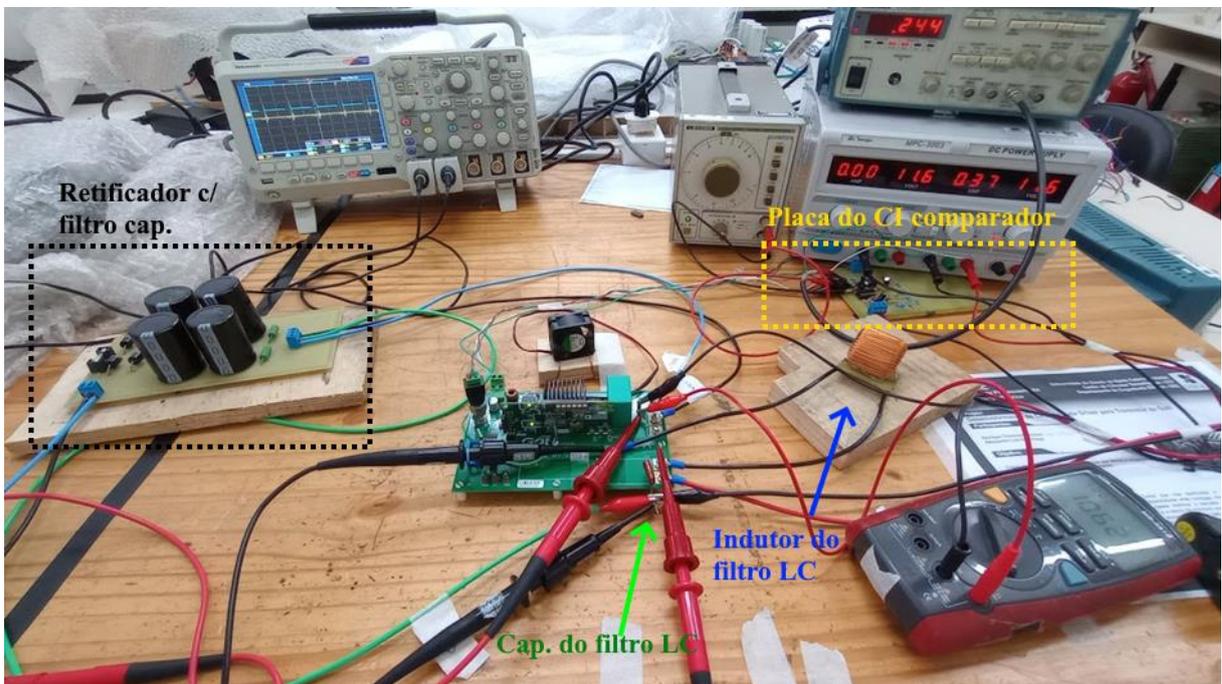
Fonte: próprio autor (2022).

Figura 91 - Diagrama esquemático do protótipo do inversor de meia-ponte.



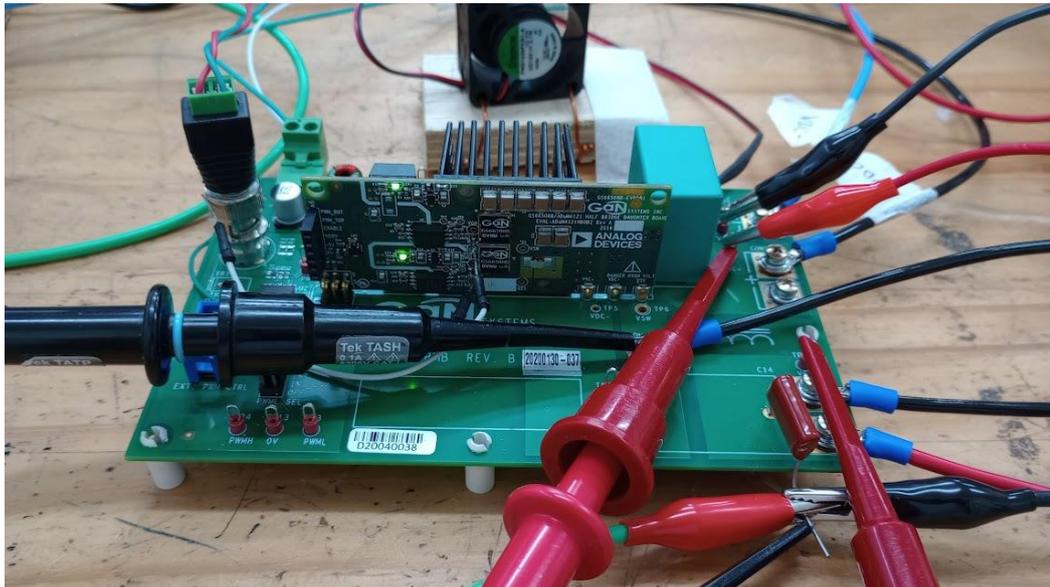
Fonte: próprio autor (2022).

Figura 92 - Protótipo do inversor de meia-ponte montado em bancada.



Fonte: próprio autor (2022).

Figura 93 - Placa de desenvolvimento da GaN Systems em detalhes



Fonte: próprio autor (2022).

4.4.1 Resultados experimentais

As ponteiros isoladas de alta tensão são utilizadas para que se tenha maior segurança nas medições, entretanto, sua alta capacitância parasita introduz ruídos nas medidas. Dessa maneira, não é medido a tensão V_{gs} dos transistores para evitar oscilações de tensão que possam danificar os dispositivos. As correntes nas chaves também não são medidas devido a indisponibilidade de um resistor *shunt* apropriado para medição em transistores de GaN.

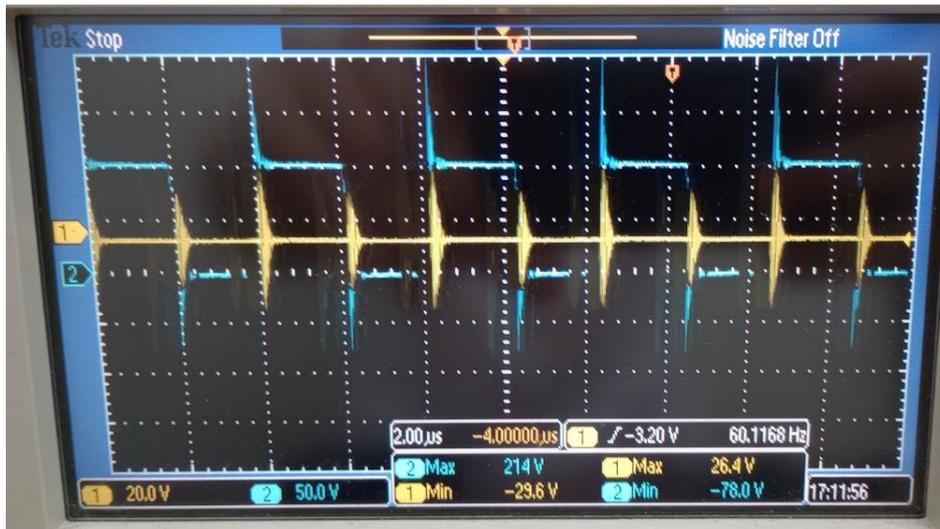
Nas figuras, a tensão em amarelo é a tensão de saída do filtro LC na carga e em azul é a tensão V_{ds} no transistor Q1. Os testes começam com a tensão no barramento de entrada em zero e sendo aumentada ao longo do tempo, por meio do Varivolt.

A Figura 94 mostra em detalhe a tensão medida na chave e a Figura 95 mostra em detalhe a tensão de saída, com uma tensão de 100 V no barramento CC. Nota-se na Figura 94, que mesmo para uma tensão de entrada baixa, as medições já apresentam oscilações, com um alto pico de tensão na chave.

Na Figura 95, é possível ver que o filtro LC consegue disponibilizar apenas a componente de 60 Hz da tensão de saída que, apesar do ruído, ainda está em destaque. Porém, há um pequeno nível CC na tensão de saída. Além disso, nota-se

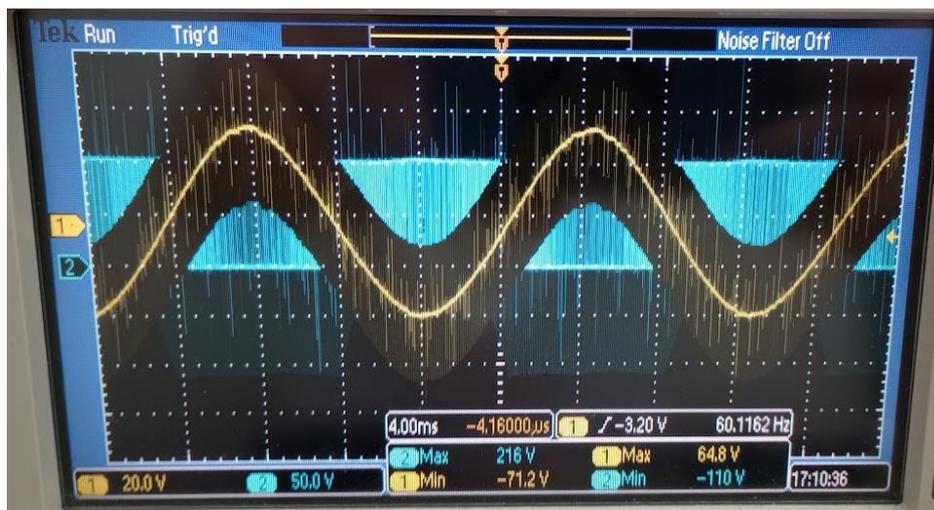
que o pico da tensão não atinge 45 V, esperado de um índice de modulação de 0,9. Um dos motivos se deve ao fato de que o sinal modulante vindo do gerador de sinal analógico possuía um elevado valor médio.

Figura 94 - Tensão V_{ds} do transistor Q1 (azul) em detalhes e tensão de saída (amarelo) com 100 V na tensão de entrada.



Fonte: próprio autor (2022).

Figura 95 - Tensão de saída (amarelo) em detalhes e tensão V_{ds} do transistor Q1 (azul) com 100 V na tensão de entrada.



Fonte: próprio autor (2022).

Com aproximadamente 200 V na tensão de entrada, as formas de onda medidas começam a ficar muito ruidosas. Nota-se na Figura 96 o pico elevado na

tensão V_{ds} da chave e na Figura 97 a tensão de saída já bem distorcida de uma senoide.

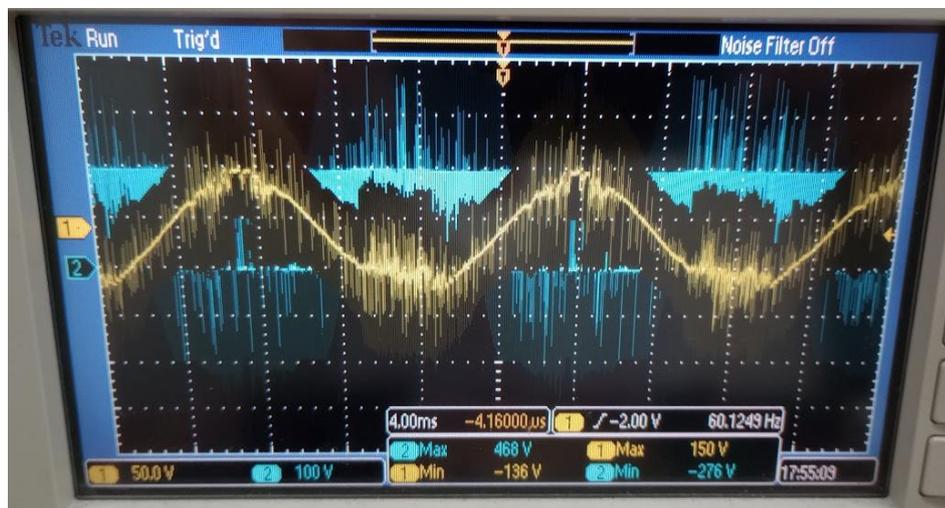
A Figura 98 mostra em detalhes a entrada em condução e a Figura 99 o bloqueio da chave. Nelas é possível observar a grande oscilação de tensão durante o chaveamento. Os tempos de subida e descida medidos com a função do osciloscópio estão na Tabela 16.

Figura 96 - Tensão V_{ds} do transistor Q1 (azul) em detalhes e tensão de saída (amarelo) medida com 200 V na tensão de entrada.



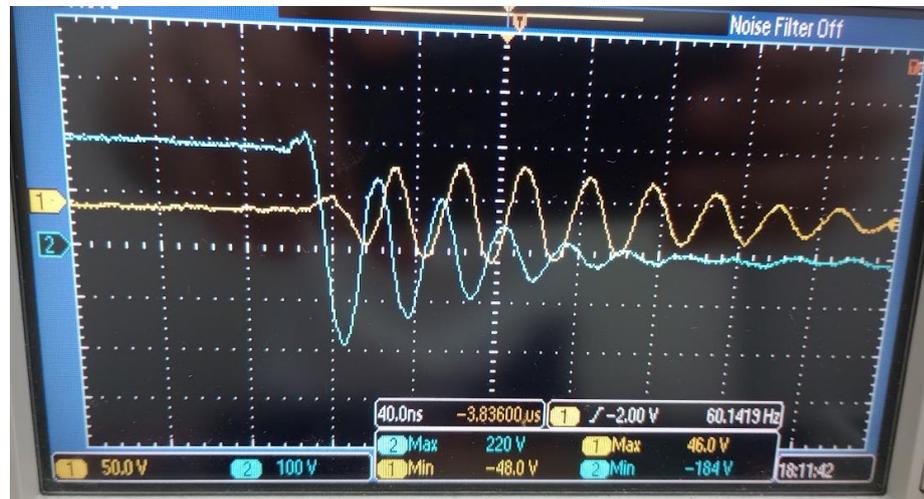
Fonte: próprio autor (2022).

Figura 97 - Tensão de saída (amarelo) em detalhes e tensão V_{ds} do transistor Q1 (azul) medida com 200 V na tensão de entrada.



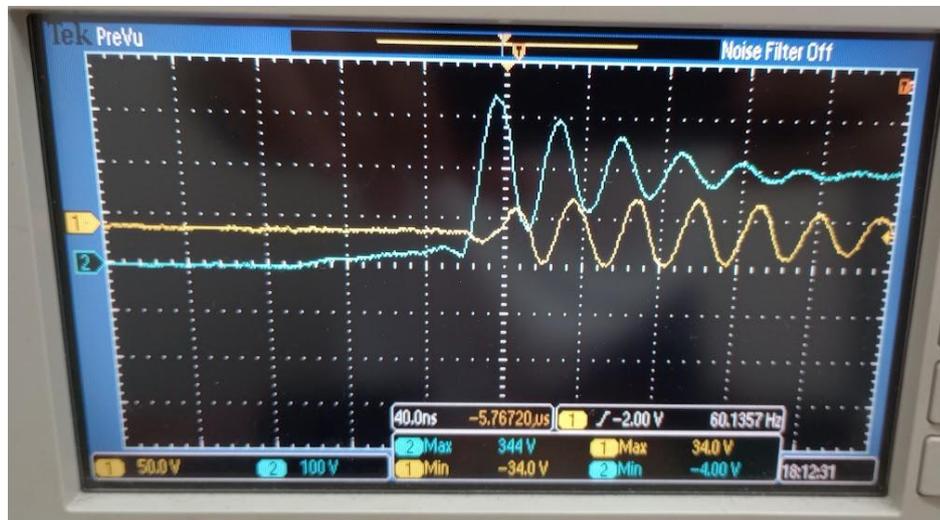
Fonte: próprio autor (2022).

Figura 98 - Tensão V_{ds} do transistor Q1 (azul) em detalhes na entrada em condução e tensão de saída (amarelo) com 200 V na tensão de entrada.



Fonte: próprio autor (2022).

Figura 99 - Tensão V_{ds} do transistor Q1 (azul) em detalhes no bloqueio e tensão de saída (amarelo) com 200 V na tensão de entrada.

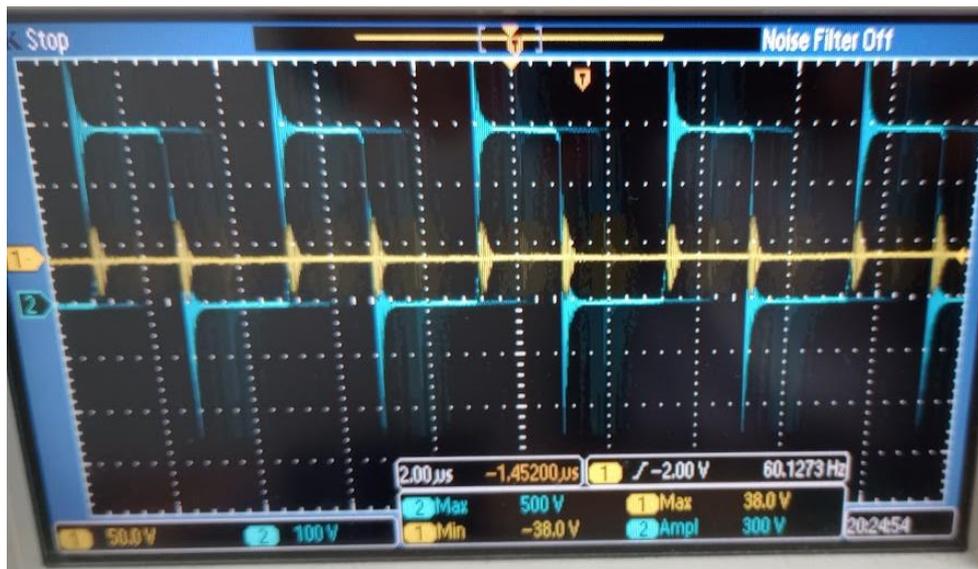


Fonte: próprio autor (2022).

Por fim, a tensão de entrada é aumentada até 300 V. A tensão na chave Q1 pode ser vista na Figura 100 e a tensão de saída na Figura 101. Nota-se que na Figura 101, a tensão de saída já está extremamente deformada. A temperatura nos transistores estava em torno de 55 °C.

Nas Figuras 102 e 103 estão as formas de onda da entrada em condução e do bloqueio no transistor, respectivamente. Os tempos de subida e descida estão indicados na Tabela 2.

Figura 100 - Tensão V_{ds} do transistor Q1 (azul) em detalhes e tensão de saída (amarelo) medida com 300 V na tensão de entrada.



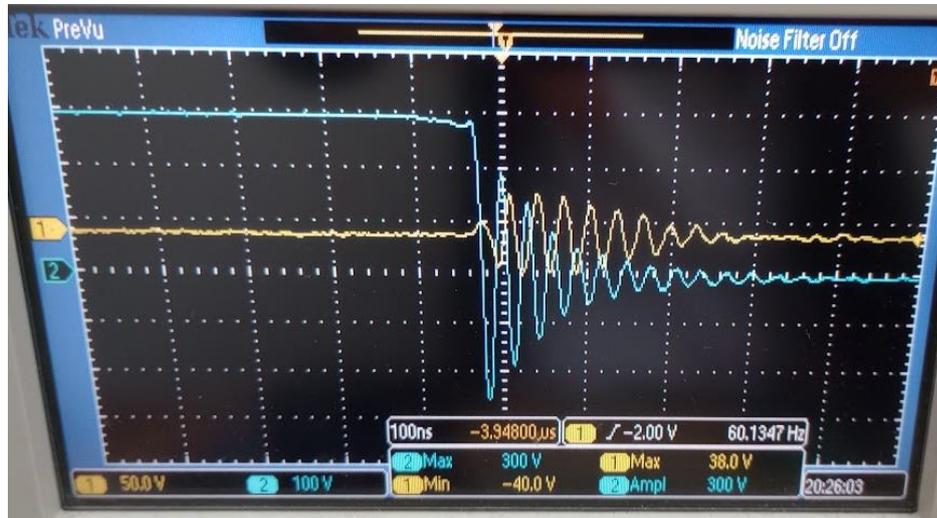
Fonte: próprio autor (2022).

Figura 101 - Tensão de saída (amarelo) em detalhes e tensão V_{ds} do transistor Q1 (azul) medida com 300 V na tensão de entrada.



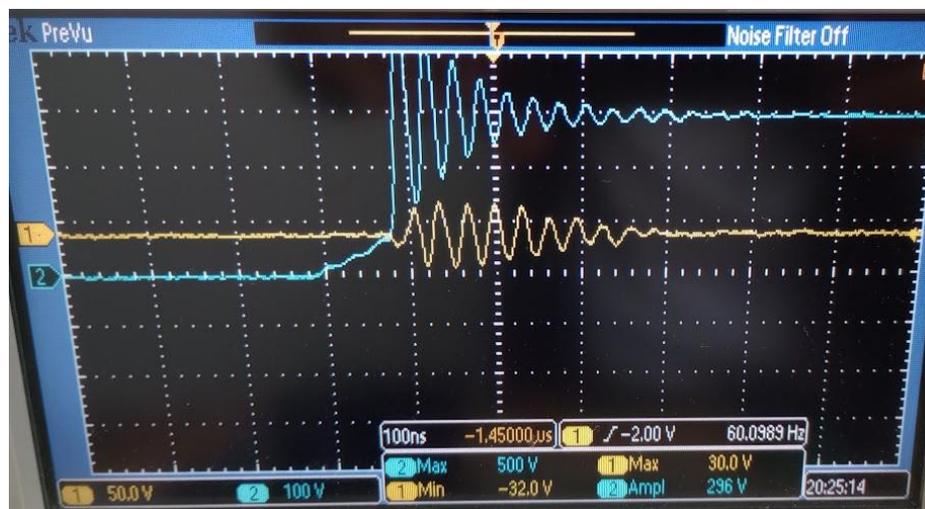
Fonte: próprio autor (2022).

Figura 102 - Tensão V_{ds} do transistor Q1 (azul) na entrada em condução e tensão de saída (amarelo) com 300 V na tensão de entrada.



Fonte: próprio autor (2022).

Figura 103 - Tensão V_{ds} do transistor Q1 (azul) no bloqueio e tensão de saída (amarelo) com 300 V na tensão de entrada.



Fonte: próprio autor (2022).

Tabela 16 - Tempos de subida e descida da tensão V_{ds} medidos com o osciloscópio no transistor Q1.

Tensão de entrada (V)	Tempo de subida (ns)	Tempo de descida (ns)
200	54,46	5,59
300	59,06	6,22

Fonte: próprio autor (2022).

Comparando o resultado de simulação da Figura 87 com os resultados das Figuras 94, 96 e 100, nota-se a influência das indutâncias parasitas no circuito real que não foram consideradas durante a simulação, pois nos resultados da Figura 87 não houve picos de tensão nas chaves, ao contrário dos resultados experimentais.

Nota-se na Tabela 16 os tempos extremamente pequenos medidos no transistor de GaN, evidenciando sua velocidade de chaveamento e o alto dv/dt do conversor.

Por questões de segurança da placa, preferiu-se não realizar mais testes com um alto valor na tensão de entrada. Além disso, não houve tempo para uma investigação completa sobre a causa da deformação na tensão de saída com uma alta tensão de entrada, mas é possível que seja algum problema na instalação do protótipo ou defeitos na solda dos transistores, que foram ressoldados recentemente. Ou ainda, impactos de EMI proveniente do sinal de chaveamento e sinal PWM deformado devido ao alto dv/dt do conversor.

5 CONCLUSÃO

Diante dos resultados experimentais obtidos, fica evidente a promessa da elevada frequência de chaveamento a ser submetido nos transistores de GaN. No projeto do inversor, com a frequência escolhida de 240 kHz, foi possível obter valores de indutância e capacitância muito baixos para o filtro LC, o que resulta em componentes muito pequenos e leves.

Apesar de não ter sido possível medir a corrente, os tempos de subida e descida extremamente pequenos obtidos indicam perdas de chaveamento muito menores, quando comparados a um transistor que opera em frequência menor. Entretanto, ainda seria necessário um estudo mais a fundo a fim de se ter uma noção do impacto que o efeito de *cross-conduction* tem na eficiência do conversor, além do fato de que estes picos de corrente podem danificar o dispositivo.

Após os testes fica claro que a elevada frequência de chaveamento também traz dificuldades, como amplificação dos efeitos de componentes parasitas e ruídos em medições. Porém, isso não significa que o transistor de GaN não possui futuro, mas que os conversores devem ser projetados com PCBs capazes de lidar com sinais de potência de alta frequência, e que os testes devem ser realizados com equipamentos de medição que possuam especificações adequadas, como alta rejeição de modo comum e alta largura de banda.

Como visto, o projeto do circuito *gate driver* para o transistor de GaN é essencial para um conversor estático, pois este deve lidar com uma baixa tensão de acionamento, em torno de +5 V a +6 V, onde mesmo pequenas oscilações de tensão podem danificar o transistor. Para isso, deve haver um circuito auxiliar que regule a tensão de alimentação do *gate driver* com extrema precisão.

Devido às diferentes características construtivas da estrutura dos transistores de GaN disponíveis, a princípio não é possível projetar um circuito *gate driver* que atenda aos dispositivos de todos os fabricantes. Como visto, há uma diferença no aspecto de acionamento nos transistores da Infineon, em que este se dá pela corrente no *gate*. Porém, os dispositivos da EPC e da GaN Systems, dois dos principais fabricantes, podem ser acionados pelo mesmo circuito, com o único porém de que não será possível extrair o máximo desempenho dos dois transistores, devido ao

requerimento de tensão V_{gs} do dispositivo da EPC ser de +5 V, enquanto que o da GaN System é de +6 V. Os valores de V_{gs} afetam diretamente a abertura do canal do *drain*, ou seja, sua resistência de condução.

Os três circuitos *gate drivers* analisados via simulação neste trabalho tiveram um ótimo resultado, com boa faixa de variação de razão cíclica e frequência de chaveamento, sendo bons candidatos para projeto de um mesmo circuito que atenda aos dispositivos da EPC e da GaN Systems. Entretanto, deve ser feita uma avaliação maior dos efeitos das indutâncias parasitas sob a tensão V_{gs} no circuito real, pois além das oscilações de tensão que podem danificar o transistor, pode haver picos de tensão que acione o transistor em um momento indesejado, por causa do baixo valor de tensão V_{th} dos transistores de GaN, que pode possuir valores entre +1 V e +1,7 V.

Para trabalhos futuros, sugere-se os seguintes itens para serem abordados:

- Estudo de circuitos *gate drivers* para acionamento de braços de transistores de GaN, bem como outros circuitos referenciados neste trabalho;
- Criação de protótipos dos circuitos *gate drivers* analisados neste trabalho;
- Variação da frequência de chaveamento e análise das perdas do conversor projetado, bem como construção do indutor projetado;
- Aplicação de outra topologia de meia-ponte com a placa de desenvolvimento para mais análises da tecnologia do transistor de GaN.

REFERÊNCIAS

ALEX LIDOW. EPC. **Is it the End of the Road for Silicon in Power Conversion?** Disponível em: <https://epc-co.com/epc/DesignSupport/ApplicationNotes.aspx>. Acesso em: 08 out. 2021.

BAINAN SUN. Infineon. **Quick-reference guide to driving CoolGaN™ GIT HEMTs 600 V**. Disponível em: https://www.infineon.com/dgdl/Infineon-Gallium_nitride_quick_reference_guide_to_driving_CoolGaN_600V_HEMTs-ApplicationNotes-v02_00-EN.pdf?fileId=5546d4627aa5d4f5017b39fc2b043f2b. Acesso em: 30 nov. 2021.

BARBI, Ivo. **Inversores Monofásicos**. Florianópolis: Edição do Autor, 2022. (versão beta). Disponível em: <https://ivobarbi.com.br/livro-inversores-monofasicos/>. Acesso em: 14 jul. 2022.

BATSCHAUER, Alessandro Luiz. **COMPONENTES SEMICONDUTORES EM ELETRÔNICA DE POTÊNCIA [material de aula da disciplina de Eletrônica de Potência, ministrada no curso de graduação em Engenharia Elétrica da Udesc]**. [S.l.]: Universidade do Estado de Santa Catarina, 2021.

BATSCHAUER, Alessandro Luiz. **Inversores de tensão: Inversor meia ponte [material de aula da disciplina de Eletrônica de Potência, ministrada no curso de graduação em Engenharia Elétrica da Udesc]**. [S.l.]: Universidade do Estado de Santa Catarina, 2021.

BERNHARD ZOJER. Infineon. **Driving CoolGaN™ 600 V high electron mobility transistors**. Disponível em: https://www.infineon.com/dgdl/Infineon-ApplicationNote_CoolGaN_600V_emode_HEMTs_Driving_CoolGaN_high_electron_mobility_transistors_with_EiceDRIVER_1EDI_Compact-ApplicationNotes-v02_00-EN.pdf?fileId=5546d46262b31d2e016368e4d7a90708. Acesso em: 10 dez. 2021.

CHEN, Yu; WANG, Ruwen; LIU, Xinmin; KANG, Yong. Gate-Drive Power Supply With Decayed Negative Voltage to Solve Crosstalk Problem of GaN Synchronous Buck Converter. **IEEE Transactions On Power Electronics**, [S.L.], v. 36, n. 1, p. 6-11, jan. 2021. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/tpel.2020.3000047>.

DAVIS, Sam. **The Great Semi Debate: SiC or GaN?** Disponível em: <https://www.electronicdesign.com/power-management/article/21807592/the-great-semi-debate-sic-or-gan>. Acesso em: 24 jan. 2022.

DAVIS, Sam. **The Great Semi Debate: SiC or GaN?**. Disponível em: <https://www.powerelectronics.com/technologies/power-management/article/21864289/the-great-semi-debate-sic-or-gan>. Acesso em: 06 out. 2021.

DIOGO VARAJAO. Infineon. **Gate drive solutions for CoolGaN™ GIT HEMTs**. Disponível em: https://www.infineon.com/dgdl/Infineon-Gallium_nitride_Gate_drive_solutions_for_CoolGaN_600V_HEMTs-Whitepaper-v01_00-EN.pdf?fileId=5546d462766cbe86017684b68afc5360&da=t. Acesso em: 30 nov. 2021.

EFTHYMIUO, L.; LONGOBARDI, G.; CAMUSO, G.; CHIEN, T.; CHEN, M.; UDREA, F.. On the physical operation and optimization of the p-GaN gate in normally-off GaN HEMT devices. **Applied Physics Letters**, [S.L.], v. 110, n. 12, p. 123502, 20 mar. 2017. AIP Publishing. <http://dx.doi.org/10.1063/1.4978690>.

EPC CORPORATION. **How to GaN 01 – Material Comparisons**. Disponível em: <https://www.youtube.com/watch?v=4HHDI6eSpjc>. Acesso em: 22 maio 2022.

EPC. EPC. **What is Gallium Nitride (GaN)?** Disponível em: <https://epc-co.com/epc/GalliumNitride/WhatisGaN.aspx>. Acesso em: 08 out. 2021.

EPC. **GaN Applications**. Disponível em: <https://epc-co.com/epc/Applications.aspx>. Acesso em: 24 jan. 2022.

EPC. **Gate Drivers for GaN FETS**. Disponível em: <https://epc-co.com/epc/EventsandNews/Events/Webinars/How-to-GaN-Webinar-Series/Gate-Drivers-GaN-FETs.aspx>. Acesso em: 01 out. 2021.

EPC. **How to GaN 04a - Gate Drivers for GaN FETs**. Disponível em: <https://www.youtube.com/watch?v=K6sAmYt0wx4>. Acesso em: jan. 2022.

EPC. **How to Manually Assemble an eGaN® FET or IC**. Disponível em: <https://epc-co.com/epc/Portals/0/epc/documents/application-notes/How2AppNote003%20Assembly.pdf>. Acesso em: 05 jun. 2022.

ERICKSON, Robert W.. Switch Realization. In: ERICKSON, Robert W.; MAKSIMOVIC, Dragan. **Fundamentals of Power Electronics**. 2. ed. Boulder, Colorado: Springer, 2001. p. 86-88.

EVERTS, Jordi *et al.* GaN-Based Power Transistors for Future Power Electronic Converters. In: IEEE BENELUX YOUNG RESEARCHERS SYMPOSIUM, 1., 2010, Leuven. **Proceedings [...]**. Leuven: IEEE, 2010. Disponível em: <https://lirias.kuleuven.be/1730817?limo=0>. Acesso em: 10 out. 2021.

GAN SYSTEMS. **EVALUATION BOARD: GS66508B-EVBDB1 650 V GaN E-HEMT Daughter Board**. Disponível em: <https://gansystems.com/evaluation-boards/gs66508b-evbdb1/>. Acesso em: 31 maio 2022.

GAN SYSTEMS. **EVALUATION BOARD: GS665MB-EVB 650 V Universal Motherboard**. Disponível em: <https://gansystems.com/evaluation-boards/gs665mb-evb/>. Acesso em: 05 jun. 2022.

GAN SYSTEMS. **EVALUATION BOARD: GS-EVB-HB-66508B-ON1 650 V GaN E-HEMT Daughter Board**. Disponível em: <https://gansystems.com/evaluation-boards/gs-evb-hb-66508b-on1/>. Acesso em: 05 jun. 2022.

GAN SYSTEMS. **GN001 Application Guide Design with GaN Enhancement mode HEMT**. Disponível em: <https://gansystems.com/design-center/application-notes/>. Acesso em: 10 nov. 2021.

GAN SYSTEMS. **GN009 Application Note PCB Layout Considerations with GaN E HEMTs**. Disponível em: <https://gansystems.com/design-center/application-notes/>. Acesso em: 31 maio 2022.

GAN SYSTEMS. **GN010 EZDrive® Power Stage Solution for GaN Systems' GaN Transistor**. Disponível em: <https://gansystems.com/design-center/application-notes/>. Acesso em: 29 nov. 2021.

GAN SYSTEMS. **GN012 Gate Driver Design with GaN E-HEMTs**. Disponível em: <https://gansystems.com/design-center/application-notes/>. Acesso em: 29 nov. 2021.

GAN SYSTEMS. **GS-065-030-2-L Datasheet**. Disponível em: <https://gansystems.com/gan-transistors/gs-065-030-2-l/>. Acesso em: jan. 2022.

GAN SYSTEMS. **GS66508B 650V Enhancement Mode GaN Transistor**. Disponível em: <https://gansystems.com/gan-transistors/gs66508b/>. Acesso em: 05 jun. 2022.

GAN SYSTEMS. **GS66508B Bottom-side cooled 650 V E-mode GaN transistor Datasheet**. Disponível em: <https://gansystems.com/wp-content/uploads/2020/04/GS66508B-DS-Rev-200402.pdf>. Acesso em: 10 jul. 2022.

GAN SYSTEMS. **GS66508B-EVBDB1 Schematic Diagram**. Disponível em: <https://gansystems.com/evaluation-boards/gs66508b-evbdb1/>. Acesso em: 31 maio 2022.

GAN SYSTEMS. **Spice Model User Guide**. Disponível em: <https://gansystems.com/gan-transistors/gs66508b/>. Acesso em: 11 abr. 2022.

GAN SYSTEMS. **GaN APPLICATION EXAMPLES**. Disponível em: <https://gansystems.com/gan-application-examples/>. Acesso em: 08 ago. 2022.

GAREAU, Jacob; HOU, Ruoyu; EMADI, Ali. Review of Loss Distribution, Analysis, and Measurement Techniques for GaN HEMTs. **IEEE Transactions On Power Electronics**, [S.L.], v. 35, n. 7, p. 7405-7418, jul. 2020. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/tpel.2019.2954819>.

GOMES, Marcilene Cristina. **Estudo teórico das propriedades estruturais e eletrônicas do GaN e do semicondutor magnético Ga_{1-x}MnxN no bulk e na superfície**. 2011. 165 f. Tese (Doutorado) - Curso de Ciência e Tecnologia de Materiais, Universidade Estadual Paulista "Júlio de Mesquita Filho", Bauru, 2011. Disponível em: <https://repositorio.unesp.br/handle/11449/106649>. Acesso em: 08 out. 2021.

HALLIDAY, David. Condução de Eletricidade nos Sólidos. In: HALLIDAY, David; RESNICK, Robert; WALKER, Jearl. **Fundamentos de Física: óptica e física moderna**. 10. ed. Rio de Janeiro: Ltc, 2016. Cap. 41. p. 583-631.

HOU, Ruoyu; LU, Juncheng; CHEN, Di. An Ultrafast Discrete Short-Circuit Protection Circuit for GaN HEMTs. **2018 IEEE Energy Conversion Congress And Exposition (Ecce)**, [S.L.], p. 1920-1925, set. 2018. IEEE. <http://dx.doi.org/10.1109/ecce.2018.8557677>.

HOU, Ruoyu; LU, Juncheng; QUAN, Zhongyi; LI, Yun Wei. A Simple Desaturation-Based Protection Circuit for GaN HEMT With Ultrafast Response. **IEEE Transactions On Power Electronics**, [S.L.], v. 36, n. 6, p. 6978-6987, jun. 2021. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/tpel.2020.3040727>.

HUANG, Xiucheng; LI, Qiang; LIU, Zhengyang; LEE, Fred C.. Analytical loss model of high voltage GaN HEMT in cascode configuration. **2013 IEEE Energy Conversion Congress And Exposition**, [S.L.], p. 3587-3594, set. 2013. IEEE. <http://dx.doi.org/10.1109/ecce.2013.6647173>. Disponível em: <https://ieeexplore.ieee.org/document/6647173>. Acesso em: 17 out. 2021.

INFINEON. **How 600 V GaN Transistors Improve Power Supply Efficiency and Density. Power Electronics Europe**, [S. L.], v. 1, n. 2, p. 22-24, mar. 2015. Disponível em: <http://www.power-mag.com/issue.archive.detail.php?STARTR=35&IAID=76>. Acesso em: 19 out. 2021.

INFINEON. **IGOT60R070D1 Datasheet**. Disponível em: <https://www.infineon.com/cms/en/product/power/gan-hemt-gallium-nitride-transistor/igot60r070d1/>. Acesso em: 22 maio 2022.

JESKE, Edson. **ESTUDO DE UM RETIFICADOR BRIDGELESS DE ALTO FATOR DE POTÊNCIA EMPREGANDO SEMICONDUTORES DE NITRETO DE GÁLIO E CONTROLE DIGITAL**. 2016. 234 f. Dissertação (Mestrado) - Curso de Engenharia Elétrica, Centro de Ciências Tecnológicas, Universidade do Estado de Santa Catarina, Joinville, 2016. Disponível em: <https://sistemabu.udesc.br/pergamumweb/vinculos/000058/00005831.pdf>. Acesso em: 28 set. 2021.

JONES, Edward A.; WANG, Fei (Fred); COSTINETT, Daniel. Review of Commercial GaN Power Devices and GaN-Based Converter Design Challenges. **Ieee Journal Of Emerging And Selected Topics In Power Electronics**. Knoxville, p. 707-719. set. 2016. Disponível em: <https://ieeexplore.ieee.org/document/7496807>. Acesso em: 10 out. 2021.

JONES, Edward A.; WANG, Fred; COSTINETT, Daniel; ZHANG, Zheyu; GUO, Ben. Cross conduction analysis for enhancement-mode 650-V GaN HFETs in a phase-leg topology. **2015 IEEE 3rd Workshop On Wide Bandgap Power Devices And Applications (WiPDA)**, [S.L.], p. 98-103, nov. 2015. IEEE. <http://dx.doi.org/10.1109/WiPDA.2015.7369256>.

JONES, Edward A.; WANG, Fred; COSTINETT, Daniel; ZHANG, Zheyu; GUO, Ben; LIU, Bo; REN, Ren. Characterization of an enhancement-mode 650-V GaN HFET. **2015 IEEE Energy Conversion Congress And Exposition (ECCE)**, [S.L.], p. 400-407, set. 2015. IEEE. <http://dx.doi.org/10.1109/ECCE.2015.7309716>.

KHAN, M. Asif; CHEN, Q.; SUN, C. J.; YANG, J. W.; BLASINGAME, M.; SHUR, M. S.; PARK, H.. Enhancement and depletion mode GaN/AlGaIn heterostructure field effect transistors. **Applied Physics Letters**, [S.L.], v. 68, n. 4, p. 514-516, 22 jan. 1996. AIP Publishing. <http://dx.doi.org/10.1063/1.116384>.

LESLÉ, Johan Le; MORAND, Julien; PERRIN, Rémi; LEFEVRE, Guillaume. A Fast Short-Circuit Detection and Protection Method for Wide Band-gap Devices based on Current Derivative Sensing. **2021 23Rd European Conference On Power Electronics And Applications (Epe'21 Ecce Europe)**. Rennes, p. 66-66. jul. 2021.

LI, He; LI, Xiao; ZHANG, Zhengda; YAO, Chengcheng; WANG, Jin. Design consideration of high power GaN inverter. **2016 IEEE 4Th Workshop On Wide**

Bandgap Power Devices And Applications (Wipda), [S.L.], p. 23-29, nov. 2016. IEEE. <http://dx.doi.org/10.1109/wipda.2016.7799904>.

MAERZ, Andreas; BERTELSHOFER, Teresa; HORFF, Roman; M. BAKRAN, Mark. **Requirements of short-circuit detection methods and turn-off for wide band gap semiconductors**, *CIPS 2016; 9th International Conference on Integrated Power Electronics Systems*, 2016, pp. 1-6.

MALVINO, Albert; BATES, David. Semicondutores. In: MALVINO, Albert; BATES, David. **Eletrônica**. 8. ed. São Paulo: Amgh Editora Ltda, 2016. Cap. 2. p. 28-55.

MANTOOTH, Alan; ZETTERLING, Carl-Mikael; RUSU, Ana. **The Radio We Could Send to Hell**. Disponível em: <https://spectrum.ieee.org/the-radio-we-could-send-to-hell>. Acesso em: 06 out. 2021.

MARTINS, Luan Segala. **ANÁLISE DE METODOLOGIAS DE PROJETO DE FILTROS LC PARA INVERSORES MONOFÁSICOS DE TENSÃO**. 2022. 117 f. TCC (Graduação) - Curso de Engenharia Elétrica, Universidade do Estado de Santa Catarina, Joinville, 2022.

MASOUD BEHESHTI. Texas Instruments. **Wide-bandgap semiconductors: performance and benefits of gan versus sic**. Performance and benefits of GaN versus SiC. 2020. Disponível em: <https://www.ti.com/analog-circuit/analog-design-journal.html>. Acesso em: 20 set. 2021.

MORADPOUR, Milad; FRANKE, Wulf-Toke; PIRINO, Paolo; GATTO, Gianluca. Current Source Gate Driver for GaN E-HEMT in Hard-Switched High Power Applications. **2020 International Symposium On Power Electronics, Electrical Drives, Automation And Motion (Speedam)**, [S.L.], p. 408-413, jun. 2020. IEEE. <http://dx.doi.org/10.1109/speedam48782.2020.9161840>.

MORITA, Tatsuo; UJITA, Shinji; UMEDA, Hidekazu; KINOSHITA, Yusuke; TAMURA, Satoshi; ANDA, Yoshiharu; UEDA, Tetsuzo; TANAKA, Tsuyoshi. GaN Gate Injection Transistor with integrated Si Schottky barrier diode for highly efficient DC-DC converters. **2012 International Electron Devices Meeting**, [S.L.], dez. 2012. IEEE. <http://dx.doi.org/10.1109/iedm.2012.6478996>.

MOUSER ELECTRONICS. **The Wide Bandgap Revolution**. Disponível em: <https://www.mouser.com/empowering-innovation/more-topics/power-management>. Acesso em: 24 jan. 2022.

NAGAO, Junichiro; FURUTA, Jun; KOBAYASHI, Kazutoshi. Capacitor-Based Three-Level Gate Driver for GaN HEMT Only with a Single Voltage Supply. **2020 IEEE 21St Workshop On Control And Modeling For Power Electronics (Compel)**, [S.L.], 9 nov. 2020. IEEE. <http://dx.doi.org/10.1109/compel49091.2020.9265674>.

NAGAO, Junichiro; FURUTA, Jun; KOBAYASHI, Kazutoshi. Capacitor-Based Three-Level Gate Driver for GaN HEMT Only with a Single Voltage Supply. **2020 IEEE 21St Workshop On Control And Modeling For Power Electronics (Compel)**, [S.L.], 9 nov. 2020. IEEE. <http://dx.doi.org/10.1109/compel49091.2020.9265674>.

NAKAMURA, Shuji; KRAMES, Michael R.. History of Gallium–Nitride-Based Light-Emitting Diodes for Illumination. **Proceedings Of The Ieee**. [S. L.], p. 2211-2220. out.

2013. Disponível em: <https://ieeexplore.ieee.org/document/6582668>. Acesso em: 10 out. 2021.

OLIVEIRA, Erlania Lima de. **Propriedades Eletrônicas de Dispositivos MOS Baseados em SiC**. 2005. 96 f. Dissertação (Mestrado) - Curso de Física, Centro de Ciências, Universidade Federal do Ceará, Fortaleza, 2005. Disponível em: <https://repositorio.ufc.br/handle/riufc/11943>. Acesso em: 28 set. 2021.

ORIGE, Mateus Constantino; NOVAES, Yales Rômulo de. **Circuitos de acionamento de MOSFETS e IGBTs - Drivers [material de aula da disciplina de Projeto de Conversores Estáticos, ministrada no curso de graduação em Engenharia Elétrica da Udesc]**. [S.l.]: Universidade do Estado de Santa Catarina, 2021.

PEDRI, Matheus. **ESTUDO TEÓRICO E EXPERIMENTAL DA PLACA DE DESENVOLVIMENTO GS66508B-EVBDB1 COM USO DE TRANSISTORES DE NITRETO DE GÁLIO (GAN)**. 2021. 70 f. TCC (Graduação) - Curso de Engenharia Elétrica, Universidade do Estado de Santa Catarina, Joinville, 2021.

QIU, Yajie *et al.* Diagnosing for Cross-conduction in GaN Half-Bridge. **2020 IEEE Applied Power Electronics Conference And Exposition (Apec)**, [S.L.], v. 66, n. 66, p. 2577-2583, mar. 2020. IEEE.
<http://dx.doi.org/10.1109/apec39645.2020.9124086>.

QUITADAMO, Matteo Vincenzo; RAVIOLA, Erica; FIORI, Franco. Investigation on the Switching Waveforms of GaN Power Devices to Gate Current Profiles. **2019 International Conference On Power Electronics, Control And Automation (ICPECA)**, [S.L.], nov. 2019. IEEE.
<http://dx.doi.org/10.1109/icpeca47973.2019.8975559>.

RABKOWSKI, Jacek; PEFTITSIS, Dimosthenis; NEE, Hans-Peter. Recent Advances in Power Semiconductor Technology. In: ABU-RUB, Haitham; MALINOWSKI, Mariusz; AL-HADDAD, Kamal (ed.). **Power Electronics for Renewable Energy Systems, Transportation and Industrial Applications**. [S. L.]: John Wiley & Sons Ltd, 2014. Cap. 4. p. 69-106. Disponível em: <https://onlinelibrary.wiley.com/doi/book/10.1002/9781118755525>. Acesso em: 20 set. 2021.

REUSCH, David; ROOIJ, Michael de. Evaluation of gate drive overvoltage management methods for enhancement mode gallium nitride transistors. **2017 IEEE Applied Power Electronics Conference And Exposition (APEC)**, [S.L.], p. 2459-2466, mar. 2017. IEEE. <http://dx.doi.org/10.1109/apec.2017.7931044>.

RIBEIRO, Fabiano Mendes. **ESTUDO E CARACTERIZAÇÃO DO INTERRUPTOR DE GAN HEMT ATRAVÉS DO CIRCUITO DPT**. 2020. 198 f. Dissertação (Mestrado) - Curso de Engenharia Elétrica, Universidade do Estado de Santa Catarina, Joinville, 2020.

ROOIJ, Michael de *et al.* **Design Tips for Using GaN in Power Applications**. Disponível em: <https://epc-co.com/epc/Applications.aspx>. Acesso em: 31 maio 2022.

SAITO, W.; TAKADA, Y.; KURAGUCHI, M.; TSUDA, K.; OMURA, I. Recessed-gate structure approach toward normally off high-Voltage AlGaIn/GaN HEMT for power electronics applications. **Ieee Transactions On Electron Devices**, [S.L.], v. 53, n. 2, p. 356-362, fev. 2006. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/ted.2005.862708>.

SKYWORKS SOLUTIONS. **Si827x Data Sheet**. Disponível em: <https://www.skyworksinc.com/-/media/SkyWorks/SL/documents/public/data-sheets/Si827x.pdf>. Acesso em: fev. 2022.

SPRO, O. C.; BASU, S.; ABUIHMAIS, I.; MIDTGARD, O.-M.; UNDELAND, T.. Driving of a GaN enhancement mode HEMT transistor with zener diode protection for high efficiency and low EMI. **2017 19Th European Conference On Power Electronics And Applications (Epe'17 Ecce Europe)**, [S.L.], set. 2017. IEEE. <http://dx.doi.org/10.23919/epe17ecceurope.2017.8099200>.

SUN, Bainan; ZHANG, Zhe; ANDERSEN, Michael A.e.. Review of Resonant Gate Driver in Power Conversion. **2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia)**, [S.L.], p. 607-613, maio 2018. IEEE. <http://dx.doi.org/10.23919/ipeec.2018.8507536>

TANAKA, Kenichiro; MORITA, Tatsuo; UMEDA, Hidekazu; TAMURA, Satoshi; ISHIDA, Hidetoshi; ISHIDA, Masahiro; UEDA, Tetsuzo. Mechanism of Current-Collapse-Free Operation in E-Mode GaN Gate Injection Transistors Employed for Efficient Power Conversion. **2016 Ieee Compound Semiconductor Integrated Circuit Symposium (Csics)**, [S.L.], out. 2016. IEEE. <http://dx.doi.org/10.1109/csics.2016.7751053>.

TEXAS INSTRUMENTS. **Power Loss Calculation With Common Source Inductance Consideration for Synchronous Buck Converters**. Disponível em: <https://www.ti.com/lit/an/slpa009a/slpa009a.pdf>. Acesso em: 05 fev. 2022.

TEXAS INSTRUMENTS. Texas Instruments. **IGBT & SiC Gate Driver Fundamentals**. 2019. Disponível em: <https://www.ti.com/power-management/gate-drivers/technical-documents.html>. Acesso em: 20 set. 2021.

TEXAS INSTRUMENTS. **UCC21220, UCC21220A 4-A/6-A, Dual-Channel Basic and Functional Isolated Gate Driver With High Noise Immunity**. Disponível em: <https://www.ti.com/product/UCC21220>. Acesso em: 14 mar. 2022.

TRIEBL, Oliver. **Reliability Issues in High-Voltage Semiconductor Devices**. 2.2 Device Design Techniques. Disponível em: <https://www.iue.tuwien.ac.at/phd/triebl/node9.html>. Acesso em: 24 jan. 2022.

TURRIATE, Victor; WITCHER, Brandon; BOROEVICH, Dushan; BURGOS, Rolando. Self-powered Gate Driver Design for a Gallium Nitride Based Phase Shifted Full Bridge DC-DC Converter for Space Applications. **2018 IEEE 6Th Workshop On Wide Bandgap Power Devices And Applications (Wipda)**, [S.L.], p. 141-148, out. 2018. IEEE. <http://dx.doi.org/10.1109/wipda.2018.8569056>.

UEMOTO, Yasuhiro; HIKITA, Masahiro; UENO, Hiroaki; MATSUO, Hisayoshi; ISHIDA, Hidetoshi; YANAGIHARA, Manabu; UEDA, Tetsuzo; TANAKA, Tsuyoshi; UEDA, Daisuke. Gate Injection Transistor (GIT)—A Normally-Off AlGaIn/GaN Power Transistor Using Conductivity Modulation. **Ieee Transactions On Electron Devices**,

[S.L.], v. 54, n. 12, p. 3393-3399, 2007. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/ted.2007.908601>.

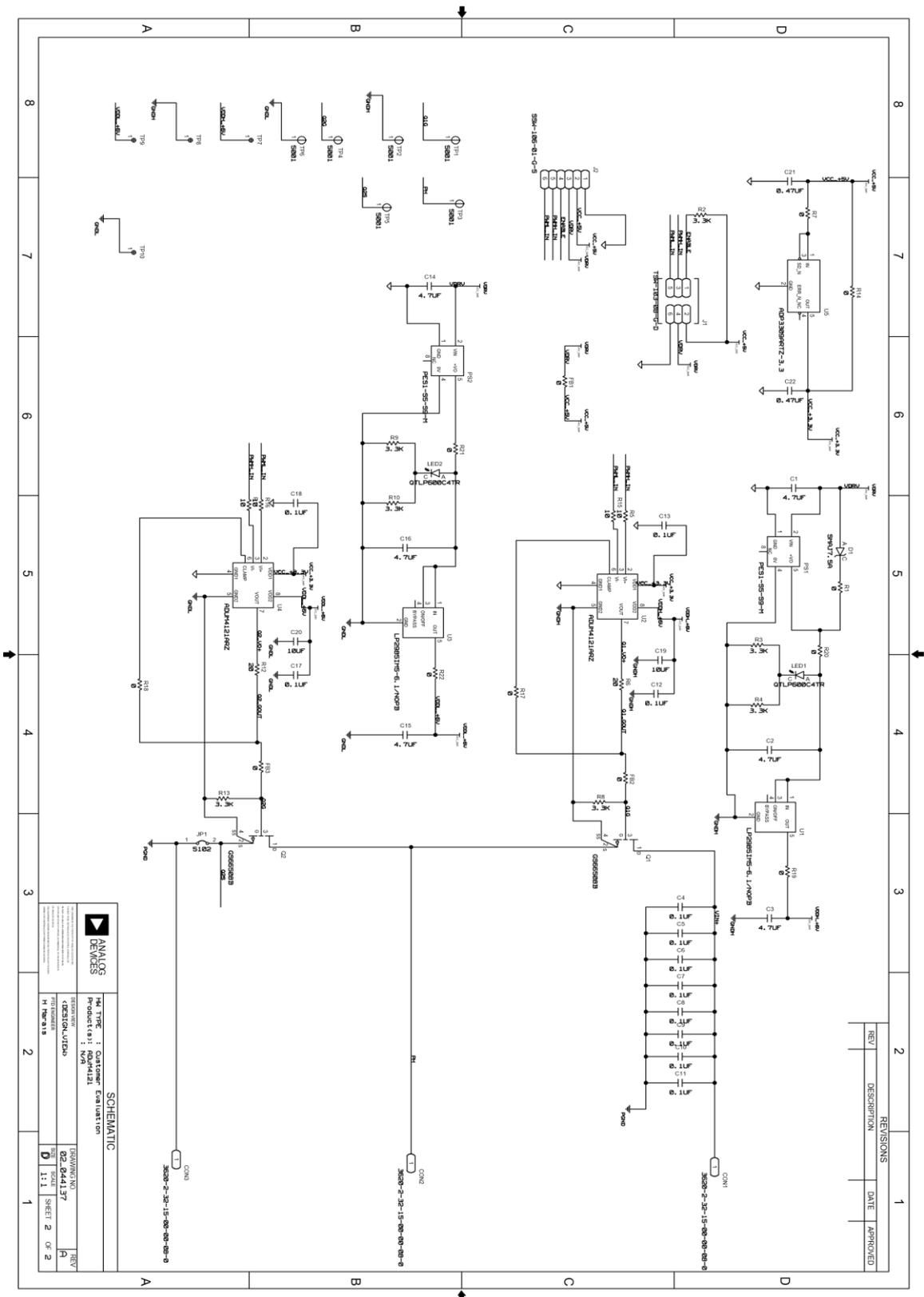
WANG, Hanxing *et al.* Maximizing the performance of 650 V p-GaN gate HEMTs: dynamic ron characterization and gate-drive design considerations. **2016 IEEE Energy Conversion Congress And Exposition (ECCE)**, [S.L.], set. 2016. IEEE. <http://dx.doi.org/10.1109/ecce.2016.7855231>.

WANG, Kangping *et al.* An improved switching loss model for a 650V enhancement-mode GaN transistor. **2016 IEEE 2Nd Annual Southern Power Electronics Conference (Spec)**, [S.L.], dez. 2016. IEEE. <http://dx.doi.org/10.1109/spec.2016.7846144>.

WASHINGTON DC. Office Of Energy Efficiency & Renewable Energy. U.S. Department Of Energy. **Wide Bandgap Semiconductors: pursuing the promise. Pursuing the Promise.** 2013. Disponível em: <https://www.energy.gov/eere/amo/downloads/wide-bandgap-semiconductors-pursuing-promise>. Acesso em: 20 set. 2021.

ZHOU, Hang; PRIESTLEY, Matthew; FLETCHER, John; SUN, Kai. A Gate Driver with a Negative Turn Off Bias Voltage for GaN HEMTs. **2020 IEEE 9Th International Power Electronics And Motion Control Conference (Ipemc2020-Ecce Asia)**, [S.L.], p. 1083-1086, 29 nov. 2020. IEEE. <http://dx.doi.org/10.1109/ipemc-ecceasia48364.2020.9367669>.

ANEXO A – ESQUEMÁTICO DA DAUGHTER BOARD GS66508B-EVBDB1



ANEXO B – ESQUEMÁTICO DA MOTHER BOARD GS665MB-EVB

