

**UNIVERSIDADE DO ESTADO DE SANTA CATARINA  
CENTRO DE CIÊNCIAS TECNOLÓGICAS  
BACHARELADO EM ENGENHARIA ELÉTRICA**

**SARAH SEIDENFÚSS FRANCISCO**

**IMPLEMENTAÇÃO DE CÉLULA BÁSICA DE CAPACITOR CHAVEADO COM  
DIFERENTES TECNOLOGIAS DE SEMICONDUTORES DE SILÍCIO**

**JOINVILLE**

**2022**

**UNIVERSIDADE DO ESTADO DE SANTA CATARINA  
CENTRO DE CIÊNCIAS TECNOLÓGICAS  
BACHARELADO EM ENGENHARIA ELÉTRICA**

**SARAH SEIDENFÚSS FRANCISCO**

**IMPLEMENTAÇÃO DE CÉLULA BÁSICA DE CAPACITOR CHAVEADO COM  
DIFERENTES TECNOLOGIAS DE SEMICONDUTORES DE SILÍCIO**

Trabalho de Conclusão de Curso submetido ao Bacharelado em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, para a obtenção do Grau de Engenheiro Eletricista.

**Orientador:** Prof. Dr. Yales Rômulo Novaes

**Coorientador:** Dr. Marcus Viera Soares

**JOINVILLE**

**2022**

**SARAH SEIDENFÚSS FRANCISCO**

**IMPLEMENTAÇÃO DE CÉLULA BÁSICA DE CAPACITOR CHAVEADO COM  
DIFERENTES TECNOLOGIAS DE SEMICONDUTORES DE SILÍCIO**

Trabalho de Conclusão de Curso apresentado ao curso de Engenharia Elétrica como requisito parcial para obtenção do título de Bacharel em Engenharia Elétrica.

**Banca Examinadora**

Presidente:

---

Prof. Dr. Yales Rômulo Novaes  
UDESC

Membro:

---

Prof. Dr. Joselito Anastácio Heerd  
UDESC

Membro:

---

Me. Vinícius Guilherme Hoffmann  
SUPPLIER

Membro:

---

Dr. Marcus Vieira Soares  
UDESC

Joinville, 16 de Dezembro 2022.

## AGRADECIMENTOS

A Deus por ter me ajudado chegar até aqui, sem ele nada disso seria possível.

A minha mãe Keila e ao meu padrasto João por todo amor, apoio, conversa, carinho, compreensão, paciência e oportunidades que me proporcionaram, estando ao meu lado em todos os momentos e sempre me incentivando a encerrar os desafios da vida.

Ao meu pai Paulo, em memória.

Ao meu irmão João Junior por sempre estar comigo.

Ao meu cachorro Teddy (estrelinha no céu) que tanto me ajudou, estando comigo durante a escrita de quase todo o trabalho.

Ao meu orientador Yales e ao meu coorientador Marcus por todo apoio, dedicação, paciência, conversa, conhecimento que me transmitiram, pelo auxílio, ajuda (mesmo nos finais de semana) e principalmente por nunca terem desistido de mim mesmo diante de todas as dificuldades.

Ao meu grande amigo Eneas, por toda ajuda na parte prática do projeto, pelas diversas trocas de ideias, pela paciência e por todos os dias que ele me acompanhou no laboratório.

A todos que direta ou indiretamente participaram do desenvolvimento deste trabalho.

*Se a educação sozinha não transforma a sociedade,  
sem ela tampouco a sociedade muda. (Paulo Freire)*

## RESUMO

Este trabalho apresenta o estudo da célula básica de um conversor CC-CC a capacitor chaveado, na qual consiste de uma estrutura com duas chaves comutadas de maneira complementar, um capacitor chaveado, um capacitor de saída e um resistor de carga. O projeto proposto neste trabalho opera com uma tensão de entrada de 100 V, corrente de saída de 2 A, frequência de comutação de 30 kHz, um ciclo de trabalho de 50% e potência de saída de 200 W, utilizando dois semicondutores (MOSFET e IGBT) na mesma célula. Com os resultados obtidos realizou-se uma comparação entre a teoria, simulação e prática com o objetivo de verificar o funcionamento do conversor e as perdas de condução e comutação dos semicondutores. Realizou-se duas simulações referentes ao projeto, uma com chave ideal e com capacitores sem RSE, outra considerando os modelos das chaves e as RSE referentes a cada capacitor. Os resultados obtidos na prática foram coerentes com os obtidos em simulação quando considerado as não idealidades de cada componente. A partir dos resultados concluiu-se que para o projeto proposto o MOSFET apresentou menores perdas quando comparado ao IGBT.

**Palavras-chave:** capacitor chaveado, semicondutor, perdas por condução, perdas por comutação.

## ABSTRACT

This work presents the study of the basic cell of a switched capacitor DC-DC converter, which consists of a structure with two complementary switched switches, a switched capacitor, an output capacitor and a load resistor. The project proposed in this work operates with an input voltage of 100 V, output current of 2 A, switching frequency of 30 kHz, a duty cycle of 50% and output power of 200 W, using two semiconductors (MOSFET and IGBT) in the same cell. With the results obtained, a comparison was made between theory, simulation and practice in order to verify the operation of the converter and the semiconductor conduction and switching losses. Two simulations related to the project were carried out, one with an ideal switch and one with capacitors without ESR, considering the models of the switches and ESR referring to each capacitor. The results obtained in practice were consistent with expectations in simulation when considered as non-idealities of each component. From the concluded results it was concluded that for the proposed project the MOSFET presented lower losses when compared to the IGBT.

**Keywords:** switched capacitor, semiconductor, conduction losses, switching losses

## LISTA DE FIGURAS

1	Célula básica a capacitor chaveado . . . . .	18
2	Sinais de comando do interruptor . . . . .	19
3	Primeira etapa de operação . . . . .	19
4	Segunda etapa de operação . . . . .	19
5	Forma de onda do capacitor chaveado e comutação dos interruptores . . . . .	21
6	Circuito equivalente da célula básica operando em regime permanente . . . . .	23
7	Modos de carga da célula básica a capacitor chaveado . . . . .	24
8	Circuito equivalente de qualquer semiconductor em condução . . . . .	25
9	Modelo ideal de condução do MOSFET . . . . .	26
10	Capacitâncias parasitas do MOSFET . . . . .	27
11	Formas de onda relativas a entrada em condução do MOSFET . . . . .	27
12	Formas de onda relativas ao bloqueio do MOSFET . . . . .	28
13	Formas de onda relativas ao bloqueio do IGBT . . . . .	29
14	Forma de onda da potência instantânea do IGBT no instante de bloqueio . . . . .	30
15	Simulação da tensão de saída do circuito de potência com e sem RSE do capacitor de 220 $\mu F$ . . . . .	33
16	Representação do circuito de potência não idealizado do trabalho . . . . .	34
17	Circuito de comando do trabalho . . . . .	34
18	<i>Driver</i> e fonte utilizados no trabalho . . . . .	35
19	Comparação entre as curvas $V_{DS}x i_s$ obtidas através do <i>datasheet</i> do IPW60R170CFD7 e do polinômio da Equação (3.3) . . . . .	37
20	Comparação entre as curvas $V_{DS}x i_s$ obtidas através do <i>datasheet</i> do IKA15N65H5 e do polinômio da Equação (3.12) . . . . .	40
21	Comparação entre as curvas $E_{total}x i_s$ obtidas através do <i>datasheet</i> do IKA15N65H5 e do polinômio da Equação (3.13) . . . . .	41
22	Circuito de comando simulado no LTspice® . . . . .	42
23	Formas de onda do circuito de comando simulado . . . . .	42
24	Circuito de potência simulado (modelo ideal) . . . . .	43
25	Tensão (azul) e corrente (vermelho) do capacitor chaveado para uma célula básica ideal	44
26	Tensão (azul) e corrente (vermelho) do capacitor de saída para uma célula básica ideal	44
27	Tensão e corrente nas chaves 1 e 2 para uma célula básica ideal . . . . .	45
28	Tensão e corrente do capacitor chaveado para uma célula básica não ideal utilizando o MOSFET IPW60R170CFD7 . . . . .	45



29	Tensão e corrente do capacitor de saída para uma célula básica não ideal utilizando o MOSFET IPW60R170CFD7 . . . . .	46
30	Tensão e corrente nas chaves 1 e 2 para uma célula básica não ideal utilizando o MOSFET IPW60R170CFD7 . . . . .	46
31	$V_{DS} \times i_s$ na entrada em condução e no bloqueio do interruptor 1 utilizando o MOSFET IPW60R170CFD7 . . . . .	47
32	Tensão e corrente do capacitor chaveado para uma célula básica não ideal utilizando o IGBT IKA15N65H5 . . . . .	48
33	Tensão e corrente do capacitor de saída para uma célula básica não ideal utilizando o IGBT IKA15N65H5 . . . . .	48
34	Tensão e corrente nos interruptores 1 e 2 para uma célula básica não ideal utilizando o IGBT IKA15N65H5 . . . . .	49
35	$V_{DS} \times i_s$ na entrada em condução e no bloqueio do interruptor 1 utilizando o IGBT IKA15N65H5 . . . . .	49
36	Bancada experimental . . . . .	50
37	Protótipo do circuito de comando . . . . .	51
38	Tensão de saída do circuito de comando (PWM1 em verde e PWM2 em amarelo) . . . . .	51
39	Protótipo da célula básica com MOSFET IPW60R170CFD7 . . . . .	52
40	Tensão do capacitor chaveado experimental utilizando o MOSFET IPW60R170CFD7 . . . . .	52
41	Corrente do capacitor chaveado experimental utilizando o MOSFET IPW60R170CFD7 . . . . .	53
42	Tensão do capacitor de saída experimental utilizando o MOSFET IPW60R170CFD7 . . . . .	53
43	Corrente do capacitor de saída experimental utilizando o MOSFET IPW60R170CFD7 . . . . .	54
44	Tensão no interruptor experimental utilizando o MOSFET IPW60R170CFD7 . . . . .	54
45	Corrente no interruptor 1 experimental utilizando o MOSFET IPW60R170CFD7 . . . . .	55
46	Tensão no interruptor 2 experimental utilizando o MOSFET IPW60R170CFD7 . . . . .	55
47	Corrente no interruptor 2 experimental utilizando o MOSFET IPW60R170CFD7 . . . . .	56
48	Protótipo da célula básica com IGBT IKA15N65H5 . . . . .	57
49	Tensão do capacitor chaveado experimental utilizando o IGBT IKA15N65H5 . . . . .	57
50	Corrente do capacitor chaveado experimental utilizando o IGBT IKA15N65H5 . . . . .	58
51	Tensão do capacitor de saída experimental utilizando o IGBT IKA15N65H5 . . . . .	58
52	Corrente do capacitor de saída experimental utilizando o IGBT IKA15N65H5 . . . . .	59
53	Tensão no interruptor 1 experimental utilizando o IGBT IKA15N65H5 . . . . .	59
54	Corrente no interruptor 1 experimental utilizando o IGBT IKA15N65H5 . . . . .	60
55	Tensão no interruptor 2 experimental utilizando o IGBT IKA15N65H5 . . . . .	60
56	Corrente no interruptor 2 experimental utilizando o IGBT IKA15N65H5 . . . . .	61
57	Perdas experimentais do interruptor 1 . . . . .	63

58	Circuito de potência simulado com MOSFET . . . . .	68
59	Circuito de potência simulado com IGBT . . . . .	68
60	Layout do circuito de comando . . . . .	69
61	Circuito de funcionamento DRO100D25A . . . . .	70
62	Esquemático DRO100D25A . . . . .	70
63	Diagrama de blocos SG3525 . . . . .	71
64	Pinos do SG3525 . . . . .	71

## LISTA DE TABELAS

1	Intervalo dos módulos de operação do capacitor chaveado . . . . .	24
2	Especificação de projeto . . . . .	32
3	Componentes escolhidos . . . . .	33
4	Especificações do MOSFET IPW60R170CFD7 . . . . .	36
5	Especificações do IGBT IKA15N65H5 . . . . .	39
6	Comparação dos resultados simulados e experimentais com o uso do MOSFET IPW60R170CFD7 . . . . .	56
7	Comparação dos resultados simulados e experimentais com o uso do IGBT IKA15N65H5 . . . . .	61
8	Comparação teórica, simulada e experimental das perdas do MOSFET IPW60R170CFD7 (interruptor 1) . . . . .	62
9	Comparação teórica, simulada e experimental das perdas do MOSFET IPW60R170CFD7 (interruptor 2) . . . . .	62
10	Comparação teórica, simulada e experimental das perdas do IGBT IKA15N65H5 (interruptor 1) . . . . .	63
11	Comparação teórica, simulada e experimental das perdas do IGBT IKA15N65H5 (interruptor 2) . . . . .	63

## LISTA DE ABREVIATURAS E SIGLAS

PWM	Modulação por largura de pulso
IGBT	Transistor bipolar de porta isolada
MOSFET	Transistor bipolar de efeito de campo
BJT	Transistor bipolar de junção
RMS	Valor eficaz
CC	Corrente contínua
RC	Resistor-Capacitor
RLC	Resistor-Indutor-Capacitor
PCB	Placa de circuito impresso
CI	Circuito integrado
VCC	Tensão contínua
<i>Datasheet</i>	Folha de dados
<i>Part number</i>	Código de identificação do componente
<i>Threshold</i>	Limiar
<i>Overlap</i>	Sobreposição
<i>Turn-on</i>	Ligar
<i>Turn-off</i>	Desligar
TCC	Trabalho de conclusão de curso
UDESC	Universidade do Estado de Santa Catarina

## LISTA DE SÍMBOLOS

$R_{SE}$	Resistência série equivalente do capacitor
$V_o$	Tensão de saída do conversor
$I_o$	Corrente de saída do conversor
$R_o$	Resistência da carga
$\Delta V_{Co}$	Ondulação de tensão do capacitor de saída
$\Delta V_{Cs}$	Ondulação de tensão do capacitor flutuante
$D$	Razão cíclica
$T_s$	Tempo de chaveamento
$\tau$	Constante de tempo
$R_{dson}$	Resistência de condução
$V_{DS}$	Tensão dreno-source do MOSFET
$V_{CE}$	Tensão coletor-emissor do IGBT
$i_s$	Corrente da chave
$f_s$	Frequência de chaveamento
$P_{on}$	Perdas na entrada em condução
$P_{off}$	Perdas na entrada em bloqueio
$P_{cond}$	Perdas de condução do semicondutor
$P_{com}$	Perdas de comutação do semicondutor
$P_{tot}$	Perdas totais do semicondutor
$E_{tot}$	Energia perdida durante as comutações
$i_{smdio}$	Corrente média da chave
$V_{CE}$	Tensão coletor-emissor do IGBT
$f_{osc}$	Frequência de oscilação

$T_j$	Temperatura de junção
$T_c$	Temperatura de encapsulamento
$\alpha$	Coefficiente que varia de acordo com $V_{ds}$
$V_a$	Tensão inicial do capacitor chaveado
$V_b$	Tensão final do capacitor chaveado
$C_{GD}$	Capacitância parasita de <i>gate-drain</i>
$C_{GS}$	Capacitância parasita de <i>gate-source</i>
$C_{DS}$	Capacitância parasita de <i>dreno-source</i>
$t_r$	Tempo de subida
$t_f$	Tempo de descida
$C_T$	Capacitor de temporização do oscilador
$R_D$	Resistor de tempo morto
$R_T$	Resistor de temporização do oscilador
$R_{TD}$	Resistor de tempo morto do <i>driver</i>
$t_{on}$	Tempo em que o interruptor está conduzindo
$t_{off}$	Tempo em que o interruptor está bloqueando
$t_{rv}$	Tempo de subida da tensão do interruptor
$I_{cauda}$	Corrente de cauda do IGBT
$V_{to}$	Tensão de saturação
$P_o$	Potência de saída
$P_i$	Potência de entrada

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b>	16
1.1	Objetivos	16
1.2	Metodologia	17
<b>2</b>	<b>FUNDAMENTAÇÃO TEÓRICA</b>	18
2.1	Conversor CC-CC a capacitor chaveado	18
2.1.1	Etapas de operação	18
2.1.2	Operação e formas de onda	21
2.1.3	Modos de carga	23
2.2	Semicondutores de potência	25
2.2.1	Perdas no MOSFET Ideal	26
2.2.2	Perdas no IGBT (carga resistiva) - Ideal	29
2.2.3	Estudo analítico das perdas nos semicondutores	30
<b>3</b>	<b>CONSTRUÇÃO DO PROTÓTIPO</b>	32
3.1	Projeto do circuito de potência	32
3.2	Projeto do circuito de comando	34
3.3	Driver	35
3.4	Simulações e Cálculos	36
3.4.1	Cálculo de perdas do MOSFET na célula básica	36
3.4.2	Cálculo de perdas do IGBT na célula básica	39
3.4.3	Simulação do circuito de comando	41
3.4.4	Simulação do circuito de potência idealizado	43
3.4.5	Simulação do circuito de potência com MOSFET IPW60R170CFD7	45
3.4.6	Simulação do circuito de potência com IGBT IKA15N65H5	47
<b>4</b>	<b>RESULTADOS EXPERIMENTAIS</b>	50
4.1	Resultados experimentais utilizando MOSFET	51
4.2	Resultados experimentais utilizando IGBT	57
4.3	Comparação dos semicondutores	62
<b>5</b>	<b>CONSIDERAÇÕES FINAIS</b>	65
	<b>REFERÊNCIAS BIBLIOGRÁFICAS</b>	66

<b>APÊNDICE A – ESQUEMÁTICO DAS SIMULAÇÕES . . . . .</b>	<b>68</b>
<b>APÊNDICE B – LAYOUT DO CIRCUITO DE COMANDO . . . . .</b>	<b>69</b>
<b>ANEXO A – Driver duplo isolado Supplier . . . . .</b>	<b>70</b>
<b>ANEXO B – SG3525 . . . . .</b>	<b>71</b>



## 1 INTRODUÇÃO

O conversor CC-CC é um sistema formado por semicondutores de potência (operando como interruptores) e por elementos passivos (indutores e capacitores) que tem por função controlar o fluxo de energia elétrica da fonte de entrada para a fonte de saída (BARBI, 2019).

Uma das principais linhas de pesquisa em eletrônica de potência nas últimas décadas foi o desenvolvimento de conversores em alta frequência sem o uso de indutores e transformadores (BRUNEL, 2013), dessa forma, esse tipo de conversor possui alta densidade de potência com peso e volume menores. A célula básica a capacitor chaveado possui apenas capacitores e interruptores controlados. Em 1970, surgiram os primeiros semicondutores totalmente controlados para aplicação em eletrônica de potência. Entre os primeiros dispositivos estão os transistores IGBT e MOSFET. Os IGBTs tornaram-se disponíveis da década de 80 com o surgimento na primeira geração do dispositivo (MORITZ, 2014). Estes têm a possibilidade de trabalhar com a redução das perdas de condução e de comutação devido à evolução de suas características construtivas.

O presente trabalho propõe o estudo e implementação da célula básica de um conversor CC-CC a capacitor chaveado, mostrando na prática seu funcionamento a partir dos dados de projeto proposto. O segundo capítulo apresenta um breve estudo da análise do conversor CC-CC a capacitor chaveado básico e das perdas de condução e de comutação dos semicondutores MOSFET e IGBT. O terceiro capítulo apresenta o desenvolvimento do circuito de potência e de comando, onde são apresentados as simulações, os cálculos de perdas para cada semicondutor e a construção da PCB. O quarto capítulo mostra os resultados experimentais, onde são apresentadas as formas de onda obtidas a partir dos testes realizados em laboratório. Por fim, comenta-se os resultados teóricos, simulados, experimentais e realiza-se a comparação de perdas para cada semicondutor.

### 1.1 OBJETIVOS

O objetivo geral deste trabalho é estudar e projetar uma célula básica a capacitor chaveado com aplicação em dois tipos de semicondutores (MOSFET e IGBT), verificar o funcionamento do conversor e realizar um estudo acerca das perdas de condução e comutação.

Os objetivos específicos desse trabalho são:

- Estudar, modelar e simular através de *softwares* a célula básica a capacitor chaveado;

- Projetar o circuito de comando e de potência da célula básica;
- Avaliar os resultados teóricos com os obtidos em simulação e na prática;
- Apresentar os resultados da perda de condução e comutação para cada tecnologia de semicondutor de Silício;
- Realizar testes no sistema implementado e validar o estudo.

## 1.2 METODOLOGIA

Revisão bibliográfica, estudo através dos *datasheet* de cada componente a ser utilizado no projeto, simulação com o auxílio de *softwares* (análise da portadora e da moduladora através do circuito oscilador, integrador e comparador), dos circuitos de acionamento e dimensionamento dos resistores e capacitores do conversor. Estudar e realizar os ensaios experimentais para verificar a comprovação entre teoria e prática, analisar e apresentar os resultados referentes às perdas de condução e comutação do MOSFET e IGBT, realizar a comparação entre os dois e verificar qual deles possui as menores perdas para o circuito proposto neste trabalho, confrontando o modelo de cada componente com os resultados experimentais.

Utilizou-se o *software* psim® para simulação do circuito idealizado e o LTspice® para simulação utilizando os modelos fornecidos pelos fabricantes. Realizou-se os cálculos numéricos das perdas dos semicondutores a partir do MatLab®, nele utilizou-se o comando *polyfit* para gerar o polinômio das curvas fornecidas no *datasheet* e para realizar os cálculos das integrais.

## 2 FUNDAMENTAÇÃO TEÓRICA

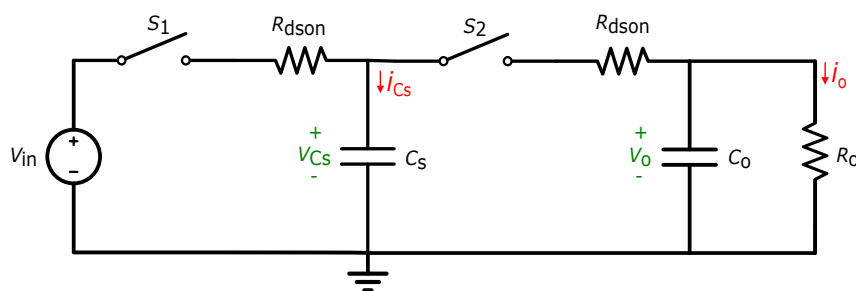
Neste capítulo é apresentada a base teórica do conversor CC-CC a capacitor chaveado (célula básica), assim como um breve estudo das perdas de condução e de comutação no MOSFET e no IGBT, com formas de ondas idealizadas.

### 2.1 CONVERSOR CC-CC A CAPACITOR CHAVEADO

A Figura 1 apresenta a célula básica a capacitor chaveado, no qual sua estrutura é composta por dois interruptores (semicondutores), um capacitor chaveado (flutuante), um capacitor de saída e uma carga resistiva, onde  $R_{dson}$  é a resistência interna de condução dos interruptores  $S_1$  e  $S_2$ .

O conversor a capacitor chaveado possui como principal característica a ausência de elementos indutivos, é composto apenas por semicondutores e capacitores. A célula básica a capacitor chaveado apresenta duas etapas de operação, uma em que a fonte de entrada fornece energia ao capacitor (etapa de carga) e a outra em que o capacitor entrega energia a fonte de saída (etapa de descarga). O objetivo do circuito é transferir energia elétrica da fonte de tensão  $V_{in}$  para o resistor de carga  $R_o$ , o capacitor  $C_o$  atua como filtro, proporcionando na saída uma tensão praticamente isenta de componentes alternados (BARBI, 2019).

Figura 1 – Célula básica a capacitor chaveado

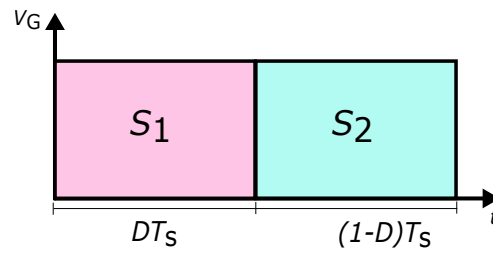


Fonte: Próprio autor

#### 2.1.1 Etapas de operação

A célula básica (fundamental) a capacitor chaveado apresenta duas etapas de operação. A Figura 2 apresenta os sinais de comando dos interruptores.

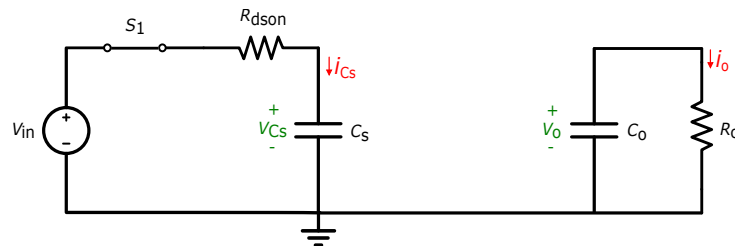
Figura 2 – Sinais de comando do interruptor



Fonte: Próprio autor

**Primeira etapa:** o interruptor  $S_1$  entra em condução e o capacitor chaveado se carrega através da fonte de entrada ( $V_{in}$  transfere energia), o interruptor  $S_2$  permanece bloqueado e o capacitor de saída fornece energia para a carga. A Figura 3 apresenta o circuito equivalente para a primeira etapa de condução ( $0 \leq t \leq DT_s$ ).

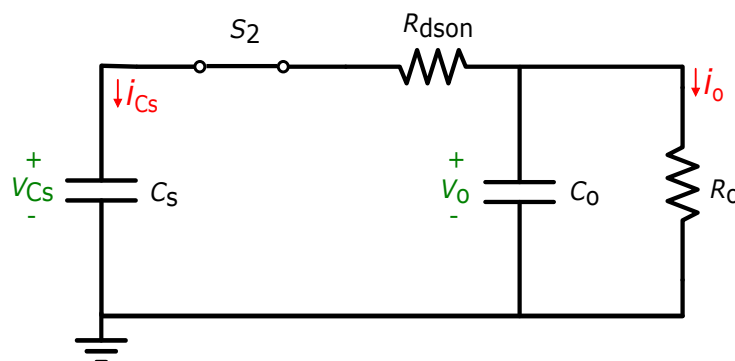
Figura 3 – Primeira etapa de operação



Fonte: Próprio autor

**Segunda etapa:** o interruptor  $S_1$  bloqueia e o  $S_2$  conduz, dessa forma, a fonte de alimentação é desconectada e o capacitor chaveado fornece energia para o capacitor de saída e para a carga, mantendo a tensão na saída. A Figura 4 apresenta o circuito equivalente da célula básica para a segunda etapa de condução ( $DT_s \leq t \leq T_s$ ).

Figura 4 – Segunda etapa de operação



Fonte: Próprio autor

Segundo (BARBI, 2019) a tensão na carga é dada através da Equação (2.1).

$$V_o = \frac{V_{in}R_o}{R_{eq} + R_o} \quad (2.1)$$

A resistência equivalente é dada através da Equação (2.2).

$$R_{eq} = \frac{V_{in} - V_o}{I_o} \quad (2.2)$$

Segundo (BARBI, 2019) o valor médio da corrente que circula na fonte  $V_o$  é definido pela Equação (2.3).

$$I_o = C_s \frac{\Delta V_{C_s}}{\Delta t} = C_s \left( \frac{V_b - V_a}{T_s} \right) \quad (2.3)$$

Em que, pode-se reescrever conforme a Equação (2.4).

$$I_o = C_s f_s (V_b - V_a) \quad (2.4)$$

O capacitor de saída pode ser dado através da Equação (2.5).

$$C_o = \frac{I_o(1-D)T_s}{\Delta V_o} \quad (2.5)$$

Substituindo a Equação (2.4) na Equação (2.2) obtém-se a Equação (2.6).

$$R_{eq} = \frac{V_{in} - V_o}{C_s f_s (V_b - V_a)} \quad (2.6)$$

Segundo (BARBI, 2019) a eficiência do circuito é dada através da Equação (2.7).

$$\eta = \frac{P_o}{P_i} \quad (2.7)$$

- Análises:

1.  $C_o \ll C_s$

Devido a capacitância de saída ser muito pequena em relação ao capacitor chaveado, ocorre elevados picos de corrente na troca de etapa. A constante de tempo na segunda etapa é bem menor do que na primeira etapa. Na primeira etapa o circuito RC é formado por  $R_{dson}$  e por  $C_s$ , enquanto na segunda etapa o circuito RC é formado por  $R_{dson}$  e por  $C_s$ , em série com  $C_o$ , dessa forma, a capacitância equivalente fica próxima de  $C_o$ . Neste caso, após as tensões dos capacitores se igualarem, a corrente da carga circula majoritariamente pelo capacitor de maior capacitância, devido ao fato de que a variação de tensão sobre os capacitores é igual dentro de um mesmo intervalo de tempo.

## 2. $C_o \gg C_s$

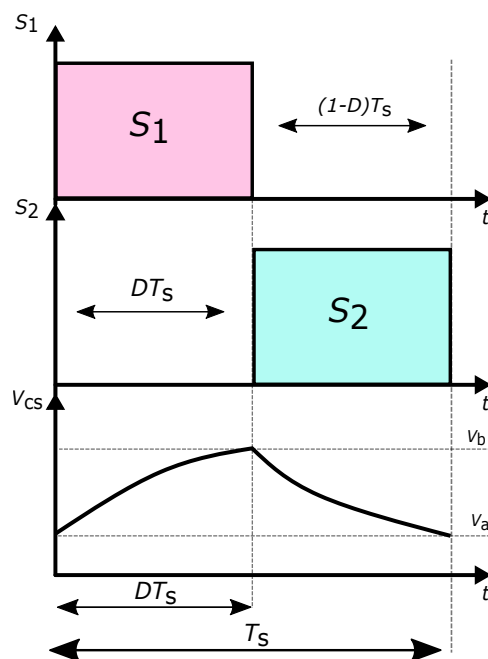
Na célula básica a capacitor chaveado, a tensão no capacitor de saída depende da tensão de entrada, da resistência do circuito e do tamanho do capacitor de saída em relação ao capacitor fluante, então neste caso a ondulação da tensão de saída é muito pequena, fazendo com que  $C_o$  forneça uma corrente constante para a carga no valor de  $\frac{V_o}{R_o}$ . Quando o interruptor é aberto, a tensão no capacitor de saída cai rapidamente, o que resulta em uma queda de tensão na carga, além disso, a constante de tempo é maior, fazendo com que a tensão no capacitor de saída diminua lentamente.

### 2.1.2 Operação e formas de onda

A análise apresentada nesta seção considera o caso em que  $C_o \gg C_s$ . A Figura 5 apresenta as formas de onda na tensão do capacitor chaveado durante a comutação dos interruptores, em que  $S_1$  é o sinal de comando do interruptor 1,  $S_2$  do interruptor 2 e  $V_{Cs}$  é a tensão no capacitor chaveado. Para analisar o circuito é necessário resolver equações diferenciais que representam as correntes e tensões do circuito (BARBI, 2019). A ondulação de tensão no capacitor chaveado é dada através da Equação (2.8).

$$\Delta V_{Cs} = V_b - V_a \quad (2.8)$$

Figura 5 – Forma de onda do capacitor chaveado e comutação dos interruptores



Fonte: Próprio autor

O capacitor é carregado e descarregado em um período  $T_s$  de comutação, dessa forma, em cada etapa de operação forma-se um circuito RC em que a constante de tempo ( $\tau$ ) é dada através da Equação (2.9)

$$\tau = (R_{dson} + RSE)C_s \quad (2.9)$$

Dessa forma, conforme (BRUNEL, 2013) obtém-se a Equação (2.10).

$$V_a = V_o(1 - e^{-\frac{(1-D)T_s}{\tau}}) + V_b(e^{-\frac{(1-D)T_s}{\tau}}) \quad (2.10)$$

De maneira análoga, a Equação (2.11).

$$V_b = V_{in}(1 - e^{-\frac{DT_s}{\tau}}) + V_a e^{-\frac{DT_s}{\tau}} \quad (2.11)$$

Manipulando algebricamente encontra-se a Equação (2.12).

$$V_b - V_a = \frac{(V_{in} - V_o)(-1 + e^{-\frac{DT_s}{\tau}})(-1 + e^{-\frac{(1-D)T_s}{\tau}})}{1 - e^{-\frac{T_s}{\tau}}} \quad (2.12)$$

Em que  $V_b$  é a tensão inicial do capacitor chaveado na etapa 2 e  $V_a$  é a tensão inicial do capacitor chaveado na etapa 1. Segundo (BRUNEL, 2013) a variação de carga no capacitor ( $\Delta Q$ ) está relacionada com a corrente média da carga e o período de comutação, conforme apresentada na Equação (2.13).

$$\Delta Q = I_o DT_s \quad (2.13)$$

Em regime permanente, o valor médio das tensões nos capacitores são constantes, o capacitor de saída fornece a corrente de saída durante a etapa 1. O capacitor chaveado recebe carga da fonte de entrada durante a etapa 1 para que, durante a etapa 2 possa recarregar o capacitor de saída e fornecer a corrente de saída para a carga.

$$\Delta Q_{C_s} = \Delta Q_{C_o} + I_o(1 - D)T_s = I_o T_s \quad (2.14)$$

A variação de carga de um capacitor é dada através da Equação (2.15).

$$\Delta Q_{C_s} = C \Delta V_{C_s} \quad (2.15)$$

Substituindo a Equação (2.12) e a Equação (2.14) na Equação (2.15) obtém-se a equação que determina o comportamento da célula unitária em regime permanente.

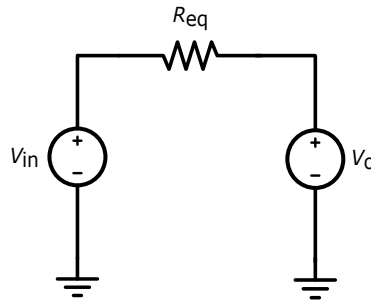
$$V_o = V_{in} - (I_o R_{eq}) \quad (2.16)$$

Conforme (BARBI, 2019), o valor normalizado da resistência equivalente (parametrizada) é dado através da Equação (2.17).

$$\overline{R_{eq}} = \frac{R_{eq}}{R_{dson}} = \frac{1 - e^{-\frac{1}{f_s \tau}}}{f_s \tau (-1 + e^{-\frac{D}{f_s \tau}}) (-1 + e^{-\frac{(1-D)}{f_s \tau}})} \quad (2.17)$$

O circuito equivalente da célula básica a capacitor chaveado é apresentado na Figura 6

Figura 6 – Circuito equivalente da célula básica operando em regime permanente



Fonte: Próprio autor

Dessa forma, os interruptores  $S_1$  e  $S_2$ , as resistências  $R_{dson}$  e o capacitor chaveado são modelados a partir de uma resistência equivalente. Conforme (BARBI, 2019), a partir da Equação (2.18) obtemos o circuito equivalente e o ganho estático de tensão do conversor ( $M_{VCC}$ ).

$$M_{VCC} = \frac{V_o}{V_{in}} = \frac{1}{1 + \frac{R}{R_{eq}}} \quad (2.18)$$

Idealmente, a resistência equivalente tende a zero e o ganho estático do conversor tende a 1. Na prática, a resistência equivalente influencia no ganho estático e, quanto maior ela for (em relação a resistência da carga) menor será o ganho estático do conversor.

A resistência equivalente varia com a razão cíclica e sempre será mínima em  $D = 0,5$  independente de  $f_s \tau$ , pois nesse ponto de operação o conversor opera de maneira simétrica (SILVA, 2018). É possível verificar que a resistência equivalente muda de acordo com a constante de tempo do circuito, dessa forma, a próxima seção aborda os modos de carga.

### 2.1.3 Modos de carga

Os modos de carga são as diferentes formas de operação do conversor a capacitor chaveado de acordo com a constante de tempo do conversor.

**Carga completa:** a constante de tempo é pelo menos dez vezes menor que o período de chaveamento, o circuito RC formado em cada etapa de operação possui uma dinâmica rápida, as correntes possuem elevados valores de pico que circulam pelos semicondutores e pelo capa-



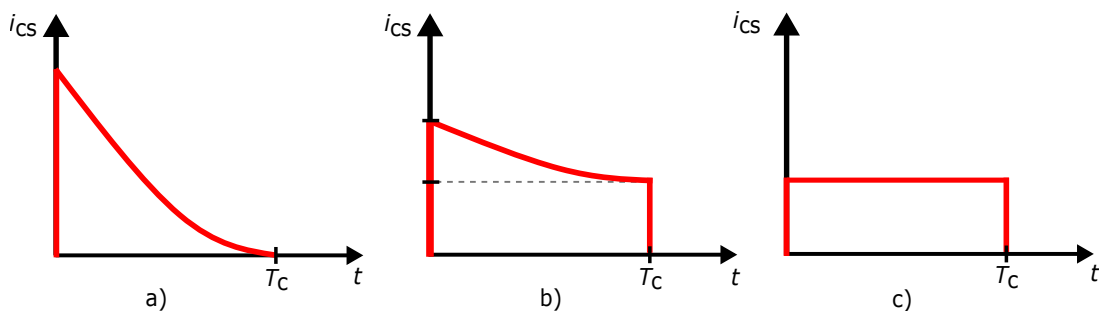
chaveado. Inviável para aplicações de alta potência pois os picos de corrente provocam interferências eletromagnéticas, possui elevadas perdas de condução e o aumento da resistência equivalente de saída reduz o ganho estático do conversor.

**Carga parcial:** a constante de tempo é consideravelmente maior que o período de chaveamento, as correntes que circulam pelo capacitor chaveado e pelos semicondutores possuem baixos valores de pico, baixo valor eficaz de corrente nos semicondutores em relação ao modo de carga completa, resistência equivalente de saída é muito baixa (perdas de condução reduzidas). Para atingir esse modo de carga é necessário ter uma frequência de chaveamento ou um capacitor chaveado muito elevado.

**Carga constante:** o período de chaveamento é muito menor que a constante de tempo, as correntes que circulam pelo capacitor chaveado e pelos semicondutores possuem baixos valores de pico (são praticamente constantes), baixo valor eficaz de corrente nos semicondutores em relação ao modo de carga completa, modo de carga considerado ótimo para aplicações de potências mais elevadas.

A Figura 7 apresenta a corrente do capacitor chaveado a) em carga completa, b) em carga parcial e c) em carga constante.

Figura 7 – Modos de carga da célula básica a capacitor chaveado



Fonte: Próprio autor.

De acordo com (SILVA, 2018), os modos de operação são definidos a partir do período de chaveamento e da constante de tempo, conforme apresentado na Tabela 1.

Tabela 1 – Intervalo dos módulos de operação do capacitor chaveado

Modo de operação	Intervalo
Carga completa	$0 \leq f_s \tau \leq 0,1$
Carga Parcial	$0,1 \leq f_s \tau \leq 1,44$
Carga constante	$1,44 \leq f_s \tau \leq \infty$

Fonte: (SILVA, 2018)

## 2.2 SEMICONDUTORES DE POTÊNCIA

O Transistor de efeito de campo (MOSFET) dispõe de três terminais sendo os terminais de potência denominadas de *drain* e *source*, e o terminal de comando de *gate* (FISCH, 2018). É um semiconductor totalmente controlado, através de uma tensão aplicada entre o *gate* e o *source*, que possui uma alta impedância de entrada. De maneira ideal, o MOSFET está bloqueado quando não tem tensão positiva *gate-source*, impedindo a circulação da corrente de *drain*. As variações da tensão aplicada entre o *gate* e *source* refletem-se em variações da resistência efetiva entre *drain* e *source*, o que implica em variações na corrente de *drain* (MELLO; INTRATOR, 1980). O MOSFET entra em condução quando uma tensão superior a tensão de *threshold* é aplicada no terminal *gate-source*, fazendo com que a resistência de condução ( $R_{dson}$ ) seja idealmente nula, com isso a corrente de *drain* começa a circular (ao aplicar uma tensão reversa entre *drain-source* a condução ocorre em sentido contrário). Possui três regiões: de bloqueio, ativa e resistiva.

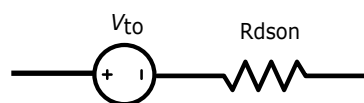
O transistor bipolar de porta isolada (IGBT) é um dispositivo controlado por tensão que possui alta eficiência e rápido chaveamento, resulta da combinação da estrutura MOS com a estrutura bipolar. Para a condução direta é necessário aplicar simultaneamente tensões positivas entre *gate-emissor* e coletor-emissor, o bloqueio ocorre quando a tensão do *gate-emissor* for menor que o valor de limiar (TEODOSIO et al., 2021). A característica de saída do IGBT é controlada através da tensão aplicada entre *gate-emissor* e é dada pela corrente de coletor em função da tensão coletor-emissor, tomando como parâmetro a tensão *gate-emissor*. Como interruptor de potência, o IGBT deve operar na região de saturação para apresentar uma baixa queda de tensão em estado de condução.

Conforme (SOARES, 2017), para qualquer semiconductor, a perda de condução pode ser obtida através da Equação (2.19).

$$P_{cond} = \frac{1}{T_S} \int V(t)i(t)dt \quad (2.19)$$

A Figura 8 apresenta o circuito de qualquer semiconductor em condução, em que  $V_{to}$  é a tensão de saturação e a  $R_{dson}$  é a resistência de condução.

Figura 8 – Circuito equivalente de qualquer semiconductor em condução



Fonte: Próprio autor

Conforme (BRIDI, 2019) a potência dissipada durante o chaveamento do interruptor podem ser divididas em:

- Perdas relacionadas a sobreposição de corrente e tensão durante a entrada e saída de condução (*Overlap*);
- Perdas capacitivas de entrada em condução;
- Perdas ocasionadas devido a recuperação reversa do diodo.

Para qualquer semicondutor, a perda de comutação pode ser obtida através da Equação (2.20).

$$P_{com} = \frac{1}{T_s} E_{tot} \quad (2.20)$$

No conversor a capacitor chaveado o transistor sempre opera como interruptor, isto é, ou ele funciona na região de corte (sem condução de corrente, funcionando como uma chave aberta), ou na região de saturação (chave fechada, com máxima condução de corrente e mínima tensão entre os terminais de saída) (KARDEK; RODRIGUES, 2015).

### 2.2.1 Perdas no MOSFET Ideal

As perdas de condução do MOSFET estão associadas ao valor eficaz da corrente, isso ocorre porque o seu modelo ideal equivalente em condução é dado por uma simples resistência de valor  $R_{dson}$  (FISCH, 2018). As perdas de condução do MOSFET aumentam conforme a temperatura e estão relacionadas ao valor eficaz de  $i_s$ .

$$P_{conducao} = R_{dson} i_{srms}^2 \quad (2.21)$$

O modelo ideal de condução do MOSFET está apresentado na Figura 9, em que  $R_{dson}$  depende da temperatura e seu valor pode ser encontrado através do *datasheet* conforme fabricante. O modelo aqui apresentado é idealizado, em alguns casos é necessário utilizar um modelo mais completo e não linear, conforme abordado na Seção 2.2.3 e estudado no Capítulo 3.

Figura 9 – Modelo ideal de condução do MOSFET



Fonte: Próprio autor

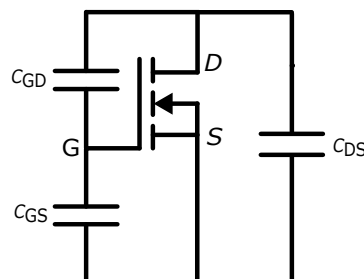
Conforme (PERRET, 2009) a variação da resistência em função da temperatura pode ser obtida a partir da Equação (2.22).

$$R_{dson}(T_j) = R_{dson}(T_C) \left( \frac{T_j}{T_{jo}} \right)^\alpha \quad (2.22)$$

Em que,  $T_j$  é a temperatura de junção,  $T_C$  é a temperatura de encapsulamento e  $\alpha$  é um coeficiente que varia de acordo com a tensão *drain-source*.

Quando o MOSFET parte da condição de bloqueio para condução, ou vice-versa, ocorre uma transição simultânea de corrente e de tensão (sobreposição entre tensões e correntes na entrada e na saída de condução), resultando em perdas de potência no componente. Os tempos em que ocorrem as sobreposições são determinantes para o cálculo das perdas durante a comutação, esses tempos são proporcionais às cargas e descargas de capacitâncias intrínsecas do semiconductor (SARTORI, 2009). A Figura 10 apresenta as capacitâncias parasitas deste semiconductor.

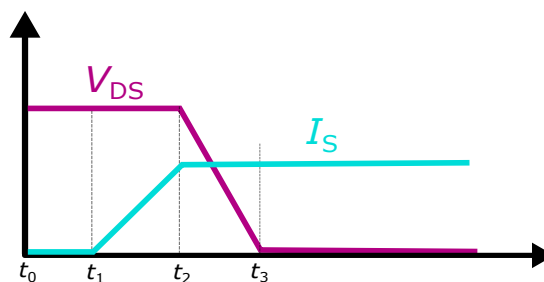
Figura 10 – Capacitâncias parasitas do MOSFET



Fonte: Próprio autor

Figura 11 apresenta as formas de onda ideais relativas à entrada em condução do MOSFET (análise referente a Figura 10).

Figura 11 – Formas de onda relativas a entrada em condução do MOSFET



Fonte: Próprio autor

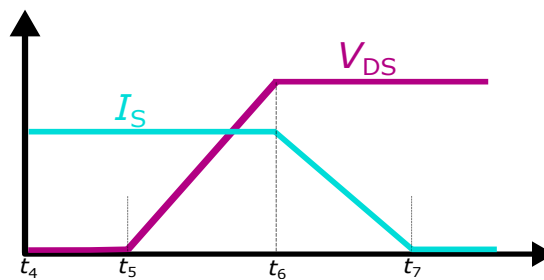
Quando a tensão de *gate* atingir o valor da tensão de *threshold* a corrente começa a circular pelo *drain*, a tensão do *drain* continua constante até que o capacitor de entrada se carregue por

completo ( $t_2$ ) e a tensão sobre a chave começa a diminuir, em  $t_3$  o MOSFET entra em condução e a tensão cai a um valor igual ao produto  $i_s$  por  $R_{dson}$ . O tempo de condução é dado por  $t_{on} = t_3 - t_1$  e o tempo de subida é dado por  $t_r = t_2 - t_1$ . As perdas por entrada em condução são obtidas a partir da Equação (2.23).

$$P_{on} = \frac{i_s}{2} V_{in} f_s (t_3 - t_1) \quad (2.23)$$

A Figura 12 apresenta as formas de onda ideais relativas ao bloqueio do MOSFET (análise referente a Figura 10).

Figura 12 – Formas de onda relativas ao bloqueio do MOSFET



Fonte: Próprio autor

Quando o interruptor é comandado a bloquear ( $t_5$ ), a tensão de *drain* sobre ele começa a aumentar e a corrente se mantém constante. Em  $t_6$  a tensão sobre o interruptor fica constante e a corrente de *drain* diminui bruscamente até atingir o valor zero ( $t_7$ ). Na sequência, o MOSFET bloqueia.

Segundo (SARTORI, 2009) e (LERSCH, 2022) o intervalo de tempo  $t_0$  a  $t_2$  representa a carga consumida pela capacitância  $C_{GS}$ , o período entre  $t_2$  e  $t_3$  representa a carga consumida pela capacitância  $C_{GD}$ , de  $t_3$  a  $t_4$  o MOSFET entra em condução, de  $t_4$  a  $t_5$  a tensão de *gate* começa a diminuir, de  $t_5$  a  $t_6$  a tensão  $V_{DS}$  aumenta, o capacitor  $C_{GD}$  se carrega e mantém a corrente da chave ( $i_s$ ), de  $t_6$  a  $t_7$  a tensão  $V_{DS}$  se estabiliza e  $i_s$  diminui a medida que  $C_{GS}$  descarrega, de  $t_7$  a  $t_8$  toda a carga de  $C_{GS}$  se descarrega e  $i_s$  é nula. O tempo de bloqueio é dado por  $t_{off} = t_7 - t_5$  e o tempo de descida é dado por  $t_f = t_7 - t_6$ . As perdas no bloqueio são obtidas a partir da Equação (2.24).

$$P_{off} = \frac{i_s}{2} V_{in} f_s (t_7 - t_5) \quad (2.24)$$

Dessa forma, as perdas totais de comutação do MOSFET podem ser obtidas através da Equação (2.25).

$$P_{com} = \frac{i_s}{2} V_{in} f_s (t_7 - t_5 + t_3 - t_1) \quad (2.25)$$

As perdas totais no MOSFET são obtidas através da Equação (2.26).

$$P_{tot} = P_{cond} + P_{on} + P_{off} \quad (2.26)$$

### 2.2.2 Perdas no IGBT (carga resistiva) - Ideal

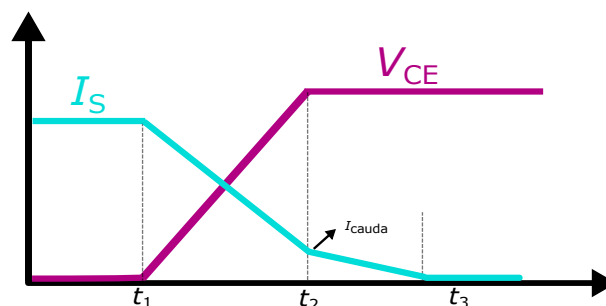
A entrada em condução do IGBT apresenta o mesmo comportamento do MOSFET, porém com valores diferentes para as cargas do capacitor  $C_{GS}$  e  $C_{GD}$  (DAMASCENO, 2006) da Figura 10, a diferença é que na saída de condução o IGBT dissipa mais energia do que o MOSFET devido a corrente de cauda do IGBT. A variação de corrente produz uma variação de menor proporção na queda da tensão  $V_{CE}$ , a presença simultânea de corrente e tensão produz as perdas de condução. A Equação (2.27) apresenta a equação da perda de condução para um modelo ideal.

$$P_{cond} = V_{CE} i_{smed} \quad (2.27)$$

Quando a tensão de *gate* atinge o valor da tensão de limiar a corrente da chave  $i_s$  aumenta e se estabiliza no valor nominal (sem considerar a recuperação reversa do diodo) e a tensão  $V_{CE}$  sofre uma queda. As perdas por entrada em condução são obtidas a partir da Equação (2.23) e as perdas no bloqueio são obtidas através da Equação (2.24), conforme (MORITZ, 2014) as perdas por entrada em condução e bloqueio são obtidas a partir da integração das curvas de corrente da chave e tensão coletor-emissor.

De maneira análoga, quando o IGBT bloqueia a corrente na chave  $i_s$  diminui,  $V_{CE}$  cresce até o seu valor máximo e estabiliza no seu valor nominal, conforme apresentado na Figura 13.

Figura 13 – Formas de onda relativas ao bloqueio do IGBT

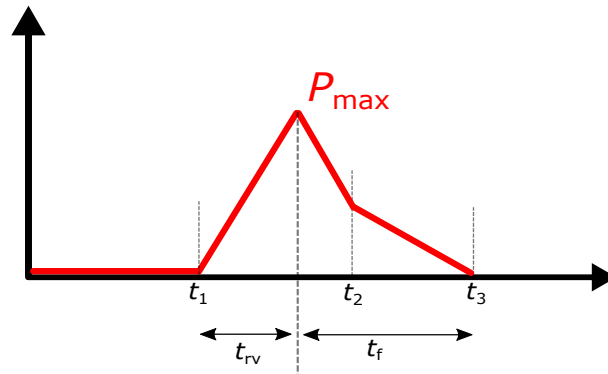


Fonte: Próprio autor

A Figura 14 apresenta o gráfico da potência no instante em que o IGBT bloqueia, em que  $t_{rv}$  é o intervalo de tempo que a potência instantânea leva para ir de zero até o valor máximo e  $t_f$  do valor máximo até zero. Conforme (SARTORI, 2009) na etapa de bloqueio é necessário

considerar o efeito da corrente de cauda, na qual, apresenta um decaimento mais lento quando comparada com a corrente  $i_s$ .

Figura 14 – Forma de onda da potência instantânea do IGBT no instante de bloqueio



Fonte: Próprio autor

### 2.2.3 Estudo analítico das perdas nos semicondutores

Utiliza-se para este estudo os dados fornecidos em *datasheet* pelos fabricantes, dessa forma, realiza-se a parametrização da curva e a partir de *software* numérico obtém-se as perdas de condução e comutação para cada semicondutor. Baseia-se na metodologia proposta por Drofenik e Kolar (DROFENIK; KOLAR, 2005), cuja energia dissipada na condução e na comutação é aproximada a partir de um polinômio de ordem  $n$ .

Quando um dispositivo semicondutor está conduzindo determinada quantidade de corrente, há uma queda de tensão entre seus terminais, dessa forma, o produto da queda de tensão pela corrente é denominada perda de condução.

No bloqueio, o IGBT apresenta uma corrente devido à recombinação de portadores minoritários (corrente de cauda), em função desta corrente o parâmetro de maior influência nas perdas em comutação do IGBT é a corrente de emissor ( $i_s$ ) que circula pelo semicondutor. Dessa forma, o *datasheet* do fabricante fornece uma curva que demonstra o comportamento das perdas totais nas comutações em função da corrente que circula pelo dispositivo (SARTORI, 2009).

Realiza-se o estudo das perdas de condução e comutação para o MOSFET:

- A partir do gráfico  $i_s \times V_{DS}$  obtidas no *datasheet* do fabricante é realizado a parametrização da curva. Com o polinômio  $V_{DS}(i_s(t))$  realiza-se a integral da Equação (2.19) no período de chaveamento para obter a perda de condução de cada interruptor.

- A partir do gráfico  $E_{total}x i_s$  também obtidos pelo *datasheet* do fabricante, realiza-se a parametrização da curva. Com o polinômio  $E_{total}(i_s(t))$  realiza-se a integral da Equação (2.20) no período de chaveamento para obter a perda de comutação de cada chave.

De maneira análoga, o mesmo processo é realizado com o IGBT.



### 3 CONSTRUÇÃO DO PROTÓTIPO

Neste capítulo apresenta-se o desenvolvimento do circuito de potência e comando a partir das especificações de projeto propostas no trabalho e o cálculo analítico das perdas de condução e comutação do MOSFET e IGBT. Por fim, apresenta-se simulações referentes ao circuito de potência, uma de maneira ideal e outra de maneira não idealizada, em que considera-se os modelos de cada interruptor, as perdas  $R_{dson}$  do MOSFET e as  $RSE$  dos capacitores chaveado e de saída.

#### 3.1 PROJETO DO CIRCUITO DE POTÊNCIA

Com o objetivo de aplicar as equações apresentadas no trabalho e realizar a comparação entre teoria, simulação e prática, propôs-se o desenvolvimento da célula básica a capacitor chaveado com MOSFET e IGBT operando no modo de carga completa. As especificações de projeto encontram-se na Tabela 2.

Tabela 2 – Especificação de projeto

Componentes	Valores
Corrente de saída	2 A
Razão Cíclica	0,5
Ondulação de tensão	1% $V_o$
Tensão de entrada	100 V
Frequência de comutação	30 kHz
Potência de saída	200 W
Capacitor chaveado	68 $\mu F$
Capacitor de saída	33 $\mu F$

Fonte: Próprio autor

Calculou-se o capacitor de saída a partir da Equação (2.5), conforme apresentado na Equação (3.1).

$$C_o = \frac{2 \cdot (1 - 0,5) \frac{1}{30 \cdot 10^3}}{1\% \cdot 100} = 33,3 \mu F \quad (3.1)$$

Utilizou-se  $C_o = 33 \mu F$  por questões de valores ofertados comercialmente, considerou-se o capacitor chaveado 2 vezes o valor do capacitor de saída, dessa forma, encontrou-se comercialmente  $C_s = 68 \mu F$ . O desenvolvimento do protótipo apresentado neste trabalho baseou-se nos dados fornecido acima. Realizou-se o dimensionamento dos componentes com o objetivo

de verificar o funcionamento da célula básica a capacitor chaveado e analisar as perdas dos interruptores na especificação proposta. A Tabela 3 apresenta os componentes escolhidos para o projeto.

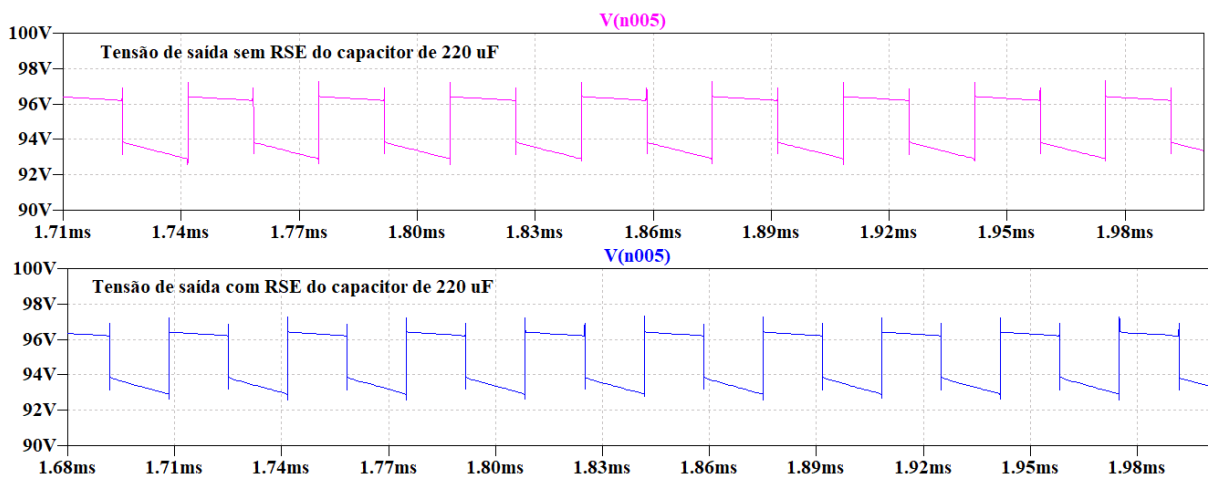
Tabela 3 – Componentes escolhidos

Componentes	Marca	Valores	Part number
Capacitor eletrolítico	Epcos	68 $\mu F$ 400 VCC	B43501A9686M000 A
Capacitor eletrolítico	Nippon	33 $\mu F$ 450 VCC	EKXJ451ELL330MK30S
MOSFET	Infineon	9 A 650 V	IPW60R170CFD7
IGBT	Infineon	15 A 650 V	IKA15N65H5

Fonte: Próprio autor.

Utilizou-se um capacitor de 220  $\mu F$  em paralelo com a fonte de tensão com o objetivo de diminuir a ondulação da tensão de entrada. Não houve necessidade de considerar a RSE desse capacitor devido ao seu baixo valor ( $RSE = 49 m\Omega$ ), pois após simulações verificou-se que essa RSE não gerou mudanças significativas nos resultados, conforme apresentado na Figura 15.

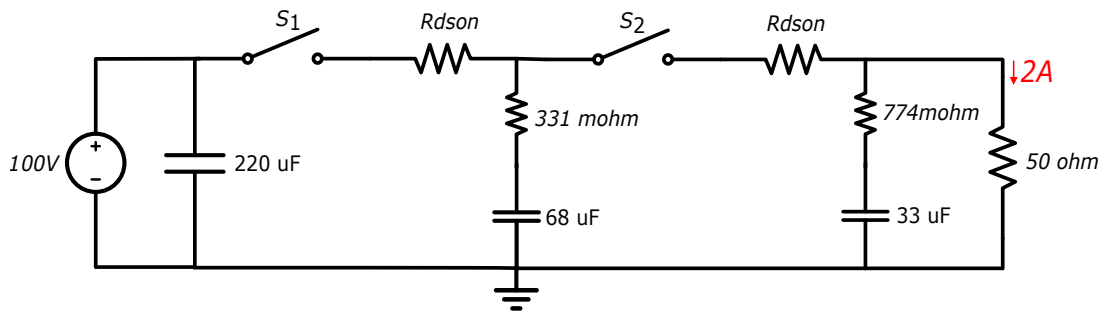
Figura 15 – Simulação da tensão de saída do circuito de potência com e sem RSE do capacitor de 220  $\mu F$



Fonte: Próprio autor

Para análises de projeto considerou-se a resistência de condução do MOSFET e a resistência série-equivalente do capacitor flutuante e de saída (RSE). Obteve-se o valor de  $R_{dson}$  do MOSFET a partir do datasheet do fabricante e o valor de RSE a partir de um medidor digital com ponte RLC para valores na frequência de 30 kHz. A Figura 16 apresenta o circuito de potência utilizado na análise desse trabalho.

Figura 16 – Representação do circuito de potência não idealizado do trabalho



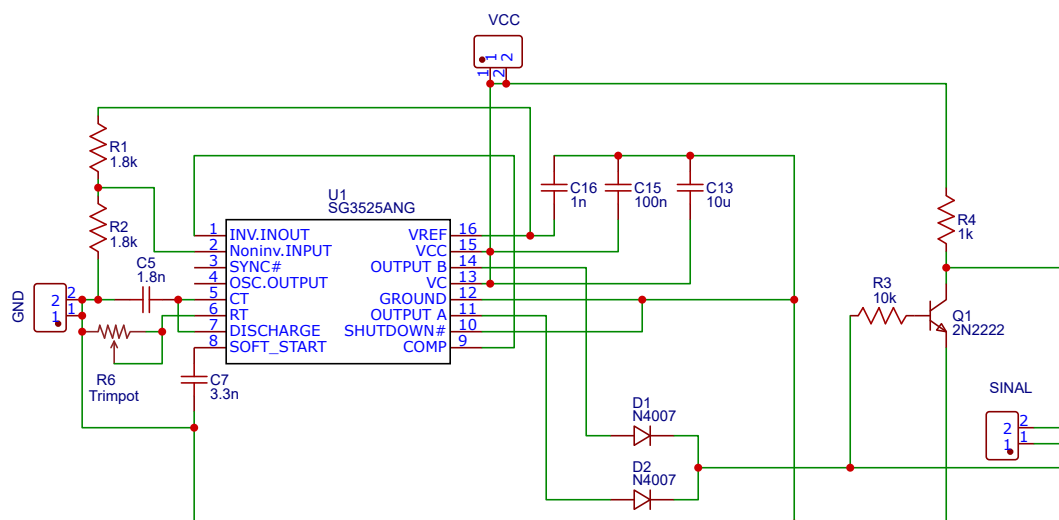
Fonte: Próprio autor.

- $R_{dson}$  do MOSFET ( $125^{\circ}C$ ) -  $170\ m\Omega$
- RSE de  $C_s$  -  $331\ m\Omega$
- RSE de  $C_o$  -  $774\ m\Omega$

### 3.2 PROJETO DO CIRCUITO DE COMANDO

Projetou-se o circuito de comando com o intuito de gerar dois sinais PWM, para que em conjunto com o *gate-driver* realize o comando dos interruptores do conversor proposto neste trabalho. A Figura 17 apresenta o circuito de comando, projetado para gerar dois sinais PWM complementares com *duty cycle* de 50% cada com tensão de 15 V.

Figura 17 – Circuito de comando do trabalho



Fonte: Próprio autor

Para gerar os dois sinais PWM a serem enviados para o *driver* utilizou-se o CI3525. Neste CI, a frequência de oscilação é dada através da Equação (3.2).

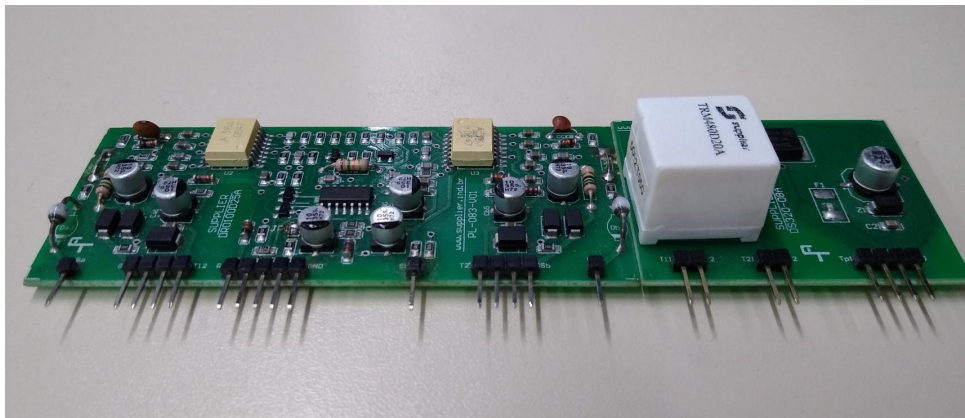
$$f_{osc} = \frac{1}{C_T(0,7R_T + 3R_D)} \quad (3.2)$$

Fixou-se o valor de  $C_T$  e, sabendo que a frequência de oscilação proposta no projeto é de 30 kHz, realizou-se o ajuste de  $R_T$  a partir de um trimpot. Utilizou-se dois diodos, um para cada saída de sinal, com o objetivo de fazer com que a razão cíclica variasse de zero a um. Na sequência, utilizou-se de um BJT com o intuito de obter sinais complementares. O diagrama de blocos e as funções dos pinos do SG3525 podem ser vistos no Anexo B.

### 3.3 DRIVER

O *driver* está entre o circuito de comando e potência, desta forma, neste trabalho o *driver* recebe o sinal PWM que é gerado a partir do circuito de comando e realiza a comutação entre as chaves do circuito de potência. Principais funções: amplificar os níveis de tensão e de corrente para acionar os semicondutores e realizar a proteção deles quando detectado um curto-circuito. Utilizou-se o resistor de tempo morto ( $R_{TD}$ ) do *driver* para evitar que os interruptores entrem em condução ao mesmo tempo. O esquemático do *driver* e da fonte está apresentado no Anexo A. O driver utilizado para enviar os pulsos para o MOSFET e IGBT é DRO100D25A (*driver* duplo isolado), fabricado pela Supplier. Ele comanda os dois interruptores da Figura 16 de maneira alternada e com pulsos isolados. O *driver* é utilizado juntamente com a fonte de alimentação chaveada de dois canais DS320-08A também da Supplier. A Figura 18 apresenta o *driver* e a fonte utilizados neste trabalho.

Figura 18 – *Driver* e fonte utilizados no trabalho



Fonte: Próprio autor.

O *driver* DRO100D25A de dois canais independentes e isolados possui proteção contra baixa tensão de alimentação nos secundários dos optocopladores, proteção de curto-circuito dos transistores de potência, através do monitoramento da tensão entre coletor e emissor e permite o intertravamento entre os dois canais, com tempo morto ajustável através da substituição do resistor  $R_{TD}$  (SUPPLIER, 2012). Este *driver* é capaz de comutar duas chaves independentes em uma frequência de comutação de até 100 kHz e com uma tensão de bloqueio de até 1200 V.

### 3.4 SIMULAÇÕES E CÁLCULOS

Neste tópico, realiza-se o estudo de perdas nos semicondutores através da análise teórica, conforme apresentado em 2.2.3. Através dos dados de tensão e corrente na chave obtidos no *datasheet* do fabricante calcula-se por aproximação polinomial a perda de condução e, a partir da aproximação polinomial dos dados de energia e corrente na chave calcula-se as perdas de comutação.

#### 3.4.1 Cálculo de perdas do MOSFET na célula básica

Na primeira proposta utilizou-se o MOSFET IPW60R170CFD7 nas duas posições de interruptores. A Tabela 4 apresenta algumas características básicas retiradas do *datasheet* do fabricante (INFINEON, 2017), em que  $T_C$  é a temperatura do encapsulamento.

Tabela 4 – Especificações do MOSFET IPW60R170CFD7

Parâmetro	Valor
Máxima tensão <i>drain-source</i>	650 V
Máximo valor médio de corrente no <i>drain</i> ( $T_C = 25^\circ C$ )	14 A
Máximo valor pulsado de corrente no <i>drain</i> ( $T_C = 25^\circ C$ )	51 A
Máximo valor médio de corrente no diodo ( $T_C = 25^\circ C$ )	14 A
Máxima potência dissipada ( $T_C = 25^\circ C$ )	75 W
Resistência de condução	170 mΩ
Tempo de subida	15 ns
Tempo de descida	9 ns
Tempo de atraso ao ligar	31 ns
Tempo de atraso ao desligar	68 ns

Fonte: próprio autor

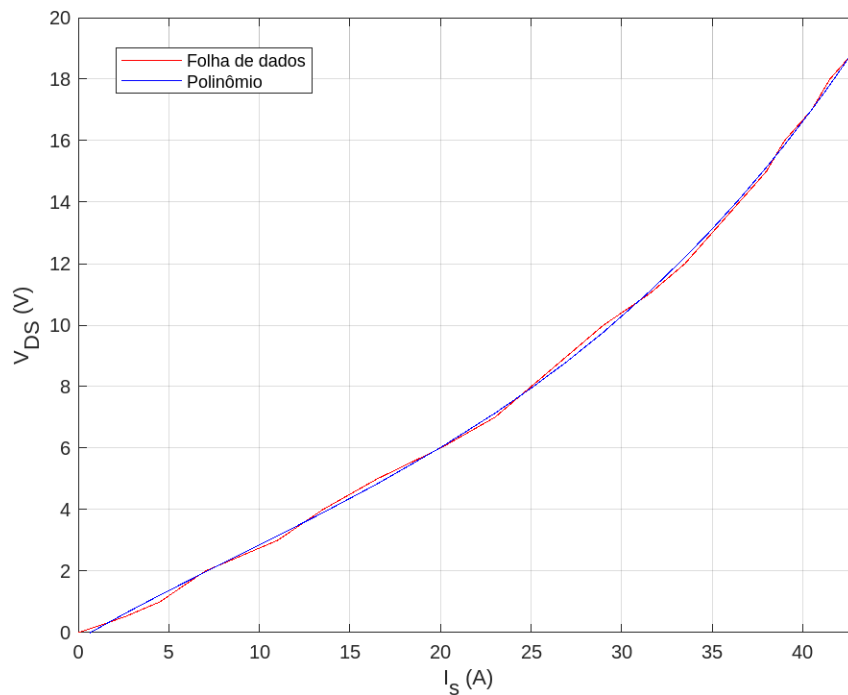
Com o objetivo de estimar as perdas de condução dos interruptores utilizou-se a curva  $i_s \times V_{DS}$  para temperatura de junção ( $T_j$ ) de  $125^\circ C$  obtida no *datasheet* fornecido pelo fabricante, para  $V_{GS} = 20 V$ , método utilizado por (SOARES, 2017) e (BATSCHAUER, 2011), proposto por Drofenik e Kolar, apresentado em 2.2.3. Os pontos de  $V_{DS}$  foram coletados e multiplicados

pelos seus respectivos valores de  $i_s$ , com isso, obteve-se a potência instantânea dissipada pelo MOSFET para cada valor de  $i_s$ . Em seguida, realizou-se a interpolação da curva através da função *polyfit* do *software* MatLab® e chegou-se em um polinômio de terceira ordem, conforme apresentado na Equação (3.3).

$$V_{DS}(i_s(t)) = 2 \cdot 10^{-4} i_s^3 - 4,5 \cdot 10^{-3} i_s^2 + 3,347 \cdot 10^{-1} i_s - 2,119 \cdot 10^{-1} \quad (3.3)$$

Para fins de validação, apresenta-se na Figura 19 uma comparação entre a curva  $V_{DS}xi_s$  obtida diretamente do *datasheet* do IPW60R170CFD7 e a curva obtida através do polinômio apresentado na Equação (3.3).

Figura 19 – Comparação entre as curvas  $V_{DS}xi_s$  obtidas através do *datasheet* do IPW60R170CFD7 e do polinômio da Equação (3.3)



Fonte: Próprio autor.

Para estimar as perdas de comutação das chaves é preciso realizar a interpolação através de um polinômio da curva  $E_{total}xi_s$ , porém, o *datasheet* do IPW60R170CFD7 não disponibiliza essa curva. Dessa forma, é necessário utilizar a Equação (2.25) apresentada na seção 2.2.2 para  $V_{in} = 100 V$ ,  $t_{on} = 46 ns$  e  $t_{off} = 77 ns$ , obtendo-se  $P_{com\_S1} = 358,70 mW$  e  $P_{com\_S2} = 324,12 mW$ .

Para calcular as perdas de condução é necessário obter a equação que representa a corrente. Considerando o interruptor 1 da Figura 16, em um período de chaveamento a corrente ( $i_{s1}$ ) é dada através da Equação (3.4), em que  $V_a$  é a tensão inicial no capacitor chaveado.

$$i_{s1}(t) = \frac{V_{in} - V_a}{R_{dson} + RSE} e^{-\frac{t}{\tau}} \quad (3.4)$$

Conforme (BRUNEL, 2013) a etapa de carga é iniciada através de um circuito de primeira ordem. Substituindo a Equação (3.4) no polinômio da Equação (3.3) encontra-se o valor relativo de cada valor assumido por  $i_s$  ao longo de  $0 < t < DT_s$ . Dessa forma, a potência instantânea dissipada pelo MOSFET  $S_1$  durante a condução é dada através da Equação (3.5)

$$P_{cond\_S1} = \frac{1}{T_s} \int_0^{DT_s} V_{DS}(i_{s1}(t)) \cdot i_{s1}(t) dt \quad (3.5)$$

Resolvendo a integral de forma numérica obtém-se a perda de condução do MOSFET  $S_1$ , conforme a Equação (3.6).

$$P_{cond\_S1} = 1,19 \text{ W} \quad (3.6)$$

Com as perdas de condução e comutação obtidas anteriormente, as perdas totais em  $S_1$  do MOSFET são dadas através da Equação (3.7).

$$P_{tot\_S1} = P_{cond\_S1} + P_{com\_S1} = 1,19 + 358,70 \cdot 10^{-3} = 1,55 \text{ W} \quad (3.7)$$

Analisando a chave 2 do conversor proposto neste trabalho, a corrente ( $i_{s2}$ ) em um período de chaveamento  $T_s$  é dada através da Equação (3.8), em que  $V_b$  é a tensão inicial no capacitor chaveado.

$$i_{s2}(t) = \frac{V_o - V_b}{R_{dson} + RSE} e^{-\frac{t}{\tau}} \quad (3.8)$$

Novamente, substituindo a Equação (3.8) no polinômio da Equação (3.3) obtém-se o valor relativo de cada valor assumido por  $i_s$  ao longo de  $DT_s < t < T_s$ . Dessa forma, a potência instantânea dissipada pelo MOSFET  $S_2$  durante a condução é dada através da Equação (3.9)

$$P_{cond\_S2} = \frac{1}{T_s} \int_{DT_s}^{T_s} V_{DS}(i_{s2}(t)) \cdot i_{s2}(t) dt \quad (3.9)$$

Resolvendo a integral de forma numérica obtém-se a perda de condução do MOSFET  $S_2$ , conforme a Equação (3.10).

$$P_{cond\_S2} = 1,23 \text{ W} \quad (3.10)$$

Com as perdas de condução e comutação obtidas anteriormente, as perdas totais na chave 2 do MOSFET é dada através da Equação (3.11).

$$P_{tot\_S2} = P_{cond\_S2} + P_{com\_S2} = 1,23 + 324,12 \cdot 10^{-3} = 1,55 \text{ W} \quad (3.11)$$

### 3.4.2 Cálculo de perdas do IGBT na célula básica

Na segunda proposta utilizou-se o IGBT IKA15N65H5 nas duas posições de interruptores, este semiconductor é indicado para operar em frequências entre 30 kHz a 100 kHz. A Tabela 5 apresenta algumas características básicas retiradas do *datasheet* do fabricante (INFINEON, 2015), em que  $T_C$  é a temperatura do encapsulamento

Tabela 5 – Especificações do IGBT IKA15N65H5

Parâmetro	Valor
Máxima tensão coletor-emissor	650 V
Máximo valor médio de corrente no coletor ( $T_C = 25^\circ\text{C}$ )	14 A
Máximo valor pulsado de corrente no coletor ( $T_C = 25^\circ\text{C}$ )	45 A
Máximo valor médio de corrente no diodo ( $T_C = 25^\circ\text{C}$ )	12,3 A
Máxima potência dissipada ( $T_C = 25^\circ\text{C}$ )	33,3 W
Tensão coletor-emissor de saturação ( $T_C = 25^\circ\text{C}$ )	1,65 V
Tempo de subida	7 ns
Tempo de descida	10 ns
Tempo de atraso ao ligar	17 ns
Tempo de atraso ao desligar	160 ns

Fonte: Próprio autor.

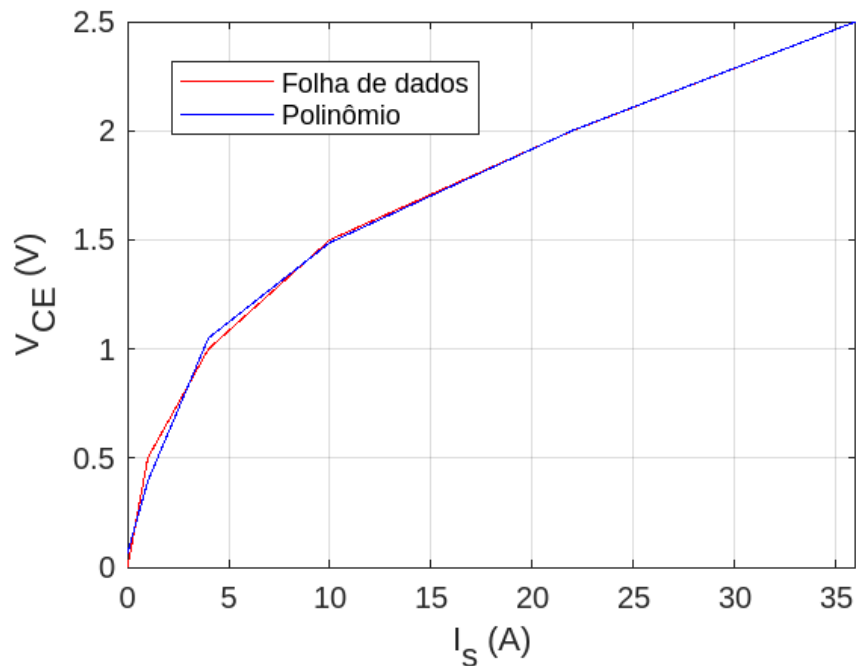
Para obter as perdas de condução, realizou-se os cálculos referente ao IGBT de maneira análoga aos cálculos utilizados no MOSFET. Com o objetivo de estimar as perdas de condução das chaves utilizou-se a curva  $i_s \times V_{CE}$  para temperatura de junção ( $T_j$ ) de  $150^\circ\text{C}$  obtida no *datasheet* fornecido pelo fabricante, para  $V_{GE} = 20 \text{ V}$ . Os pontos de  $V_{CE}$  foram coletados e multiplicados pelos seus respectivos valores de  $i_s$ , com isso, obteve-se a potência instantânea dissipada pelo IGBT durante a condução ( $P_{cond}$ ) para cada valor de  $i_s$ , gerando uma curva  $V_{CE} \times i_s$ . Em seguida, realizou-se a interpolação da curva através da função *polyfit* do *software* MatLab® e chegou-se em um polinômio de terceira ordem, conforme apresentado na Equação (3.12).

$$V_{CE}(i_s) = 1,4 \cdot 10^{-3} i_s^3 - 3,38 \cdot 10^{-2} i_s^2 + 3,602 \cdot 10^{-1} i_s + 6,63 \cdot 10^{-2} \quad (3.12)$$

Para fins de validação, apresenta-se na Figura 20 uma comparação entre a curva  $V_{CE} \times i_s$  obtida diretamente do *datasheet* do IKA15N65H5 e a curva obtida através do polinômio apresentado na Equação (3.12).



Figura 20 – Comparação entre as curvas  $V_{DS}x i_s$  obtidas através do *datasheet* do IKA15N65H5 e do polinômio da Equação (3.12)



Fonte: Próprio autor.

De maneira análoga, para estimar as perdas de comutação das chaves realizou-se a interpolação através de um polinômio de segunda ordem da curva  $E_{total}x i_s$ . A Figura 21 mostra a comparação entre a curva obtida a partir do *datasheet* do fabricante e a curva obtida através do polinômio resultante da interpolação  $E_{total}x i_s$  apresentado na Equação (3.13).

$$E_{total}(i_s(t)) = 2 \cdot 10^{-4} i_s^2 + 2,64 \cdot 10^{-2} i_s + 3,64 \cdot 10^{-2} \quad (3.13)$$

Substituindo a Equação (3.4) no polinômio da Equação (3.12), tem-se que a perda de condução no IGBT é dada através da Equação (3.14).

$$P_{cond\_S1} = 7,45 \text{ W} \quad (3.14)$$

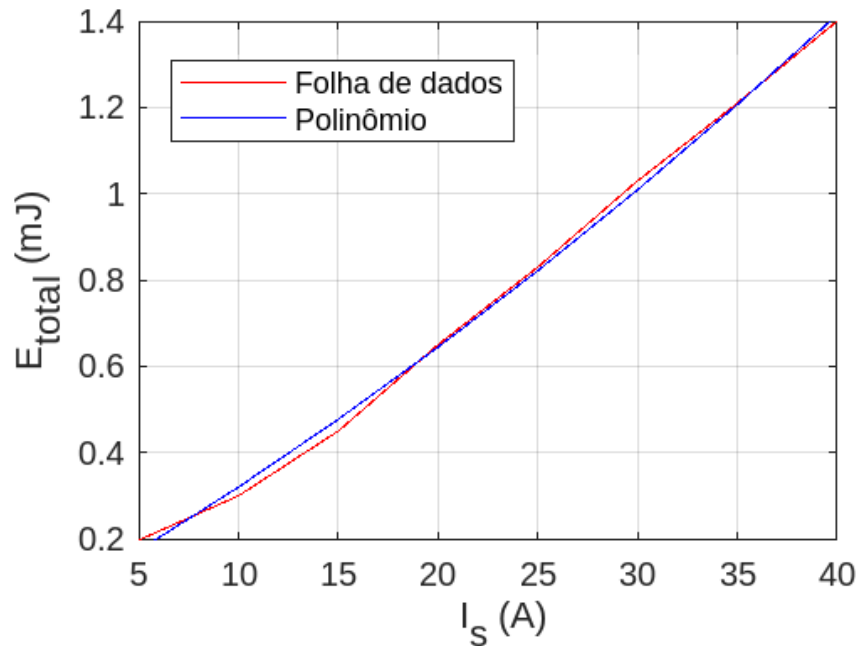
Substituindo a Equação (3.4) no polinômio apresentado na Equação (3.13) encontra-se a perda de comutação do IGBT, apresentada da Equação 3.15.

$$P_{com\_S1} = 568,15 \text{ mW} \quad (3.15)$$

Com as perdas de condução e comutação obtidas anteriormente, as perdas totais no interruptor do IGBT são dadas através da Equação (3.16).

$$P_{tot\_S1} = P_{cond\_S1} + P_{com\_S1} = 7,45 + 568,15 \cdot 10^{-3} = 8,02 \text{ W} \quad (3.16)$$

Figura 21 – Comparação entre as curvas  $E_{total}xI_s$  obtidas através do *datasheet* do IKA15N65H5 e do polinômio da Equação (3.13)



Fonte: Próprio autor.

Novamente, substituindo a Equação (3.8) no polinômio da Equação (3.12) obtém-se a a perda de condução no interruptor 2, conforme Equação 3.17.

$$P_{cond\_S2} = 10,82 \text{ W} \quad (3.17)$$

Substituindo a Equação (3.8) no polinômio apresentado na Equação (3.13) encontra-se as perdas de comutação do interruptor 2, conforme Equação 3.18.

$$P_{com\_S2} = 578,44 \text{ mW} \quad (3.18)$$

Com as perdas de condução e comutação obtidas anteriormente, as perdas totais no interruptor 2 é dada através da Equação (3.19).

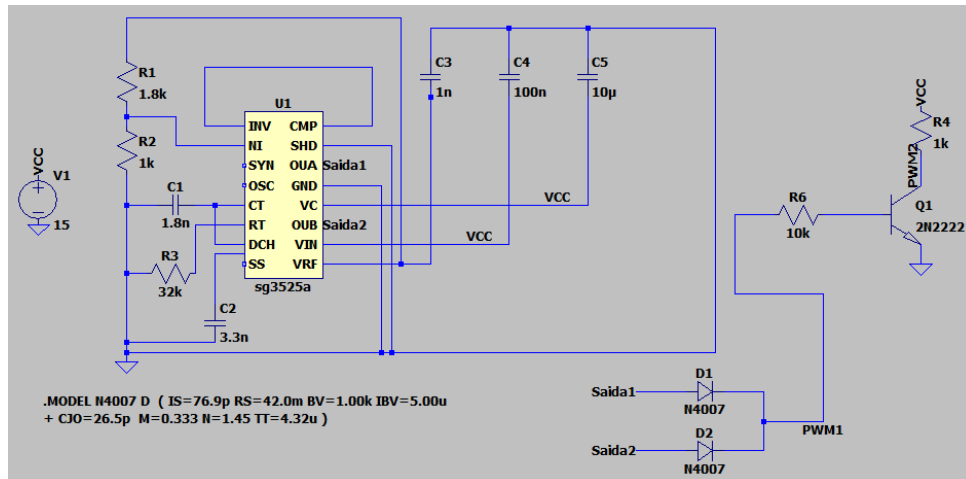
$$P_{tot\_S2} = P_{cond\_S2} + P_{com\_S2} = 10,82 + 578,44 \cdot 10^{-3} = 11,40 \text{ W} \quad (3.19)$$

### 3.4.3 Simulação do circuito de comando

Realizou-se a simulação do circuito de comando com o modelo do CI3525, dos diodos N4007 e do BJT 2N2222, conforme apresentado na Figura 22, com o objetivo de avaliar se o resultado da simulação representaria bem o resultado real, conforme apresentado no Capítulo 4.

Aplicou-se uma tensão de 15 V em  $V_c$  e  $V_{in}$  do SG3525 com o objetivo de gerar dois sinais PWM complementares de razão cíclica 0,5 variando de zero a 15V em uma frequência de 30 kHz.

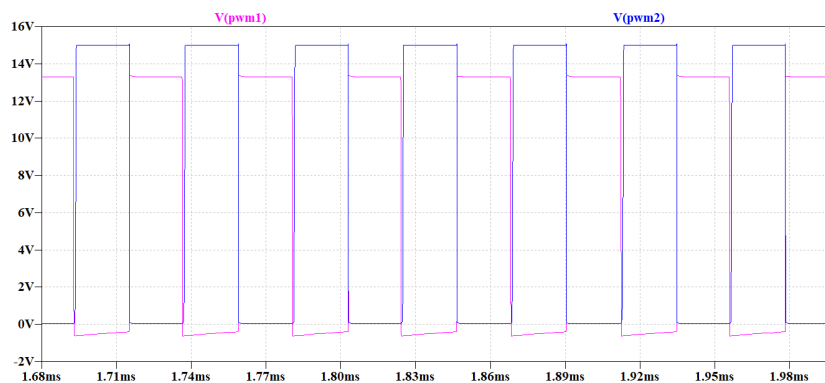
Figura 22 – Circuito de comando simulado no LTspice®



Fonte: Próprio autor.

A Figura 23 apresenta os sinais PWM1 e PWM2 obtidos em simulação, conforme observado o sinal PWM1 variou de -0,7 V à 14,3 V, o que não ocorre em PWM2 que variou de 0 V à 15 V. Isso ocorreu pois no sinal PWM2 a queda do diodo se anula com a tensão positiva de 0,7 V do BJT, já em PWM1 não utilizou-se de BJT ocorreu uma queda de 0,7 V na tensão de saída, dessa forma, a fonte de entrada varia de 0 à 15 V mas a fonte de saída varia de -0,7 à 14,3 V. No entanto, isso não influenciará no resultado do conversor pois, o sinal que sairá do *driver* será de 15 V cada, tensão suficiente para chavear tanto o MOSFET como o IGBT utilizado no projeto, o *driver* não sofrerá danos. O tempo morto entre os sinais é gerado através de  $R_{TD}$ , citado anteriormente.

Figura 23 – Formas de onda do circuito de comando simulado

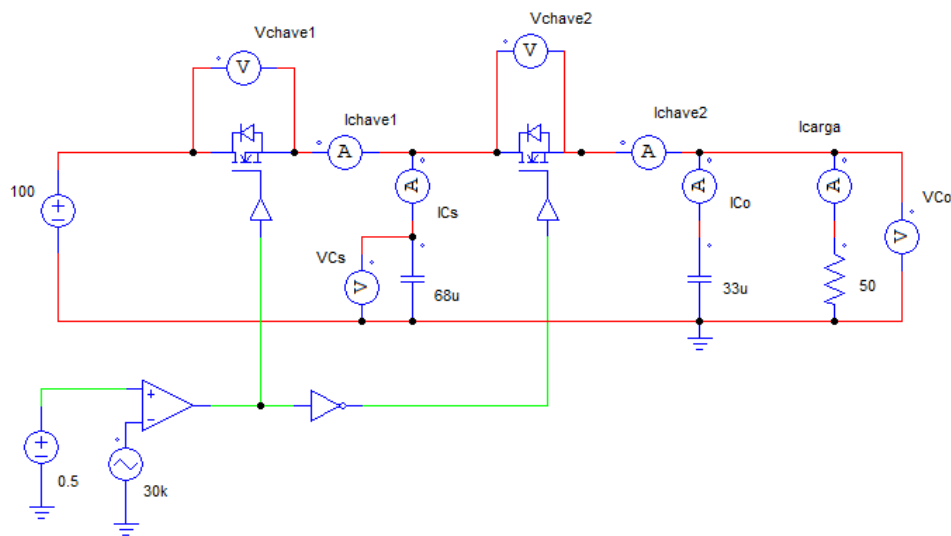


Fonte: Próprio autor

### 3.4.4 Simulação do circuito de potência idealizado

Nesta seção será apresentado o funcionamento da célula básica a capacitor chaveado de maneira idealizada, ou seja, sem considerar as RSE dos capacitores, a  $R_{dson}$  do MOSFET e os modelos dos semicondutores. A Figura 24 apresenta o circuito de potência simulado no software PSIM® para os dados de projeto apresentados na Tabela 2.

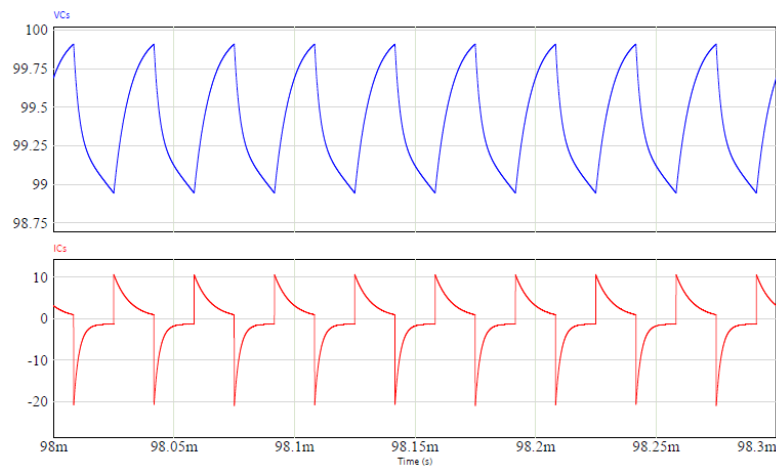
Figura 24 – Circuito de potência simulado (modelo ideal)



Fonte: Próprio autor

A Figura 25 apresenta a tensão (em azul) e a corrente (em vermelho) do capacitor chaveado para os dados de projeto apresentado na Tabela 2, obtidas a partir da simulação do circuito da Figura 24. É possível observar que o capacitor chaveado está carregando e descarregando em um período  $DT_s$  em que  $D = 0,5$  e  $T_s = \frac{1}{30kHz}$ , dessa forma, no momento em que o interruptor fecha a tensão inicial do capacitor chaveado cresce exponencialmente até atingir a tensão final, ou seja, na primeira etapa a fonte de entrada fornece energia para o capacitor e na segunda etapa o capacitor se descarrega exponencialmente fornecendo energia para a carga. De maneira análoga, a corrente do capacitor chaveado diminui exponencialmente em  $DT_s$  e aumenta em  $(1 - D)T_s$ , quando  $I_{Cs}$  é positiva o capacitor se carrega e sua tensão aumenta, quando  $I_{Cs}$  é negativa o capacitor é descarregado e então a sua tensão diminui. A corrente do capacitor flutuante é composta pela  $i_{s1}$  na primeira etapa e  $i_{s2}$  na segunda etapa. Além disso, observa-se que a tensão do capacitor chaveado é de 99,46 V e que a corrente eficaz do capacitor chaveado é de 5,3 A.

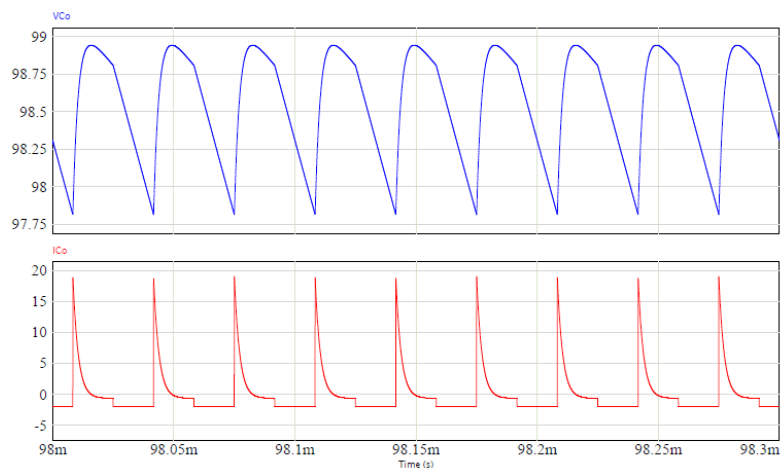
Figura 25 – Tensão (azul) e corrente (vermelho) do capacitor chaveado para uma célula básica ideal



Fonte: Próprio autor

A Figura 26 apresenta a tensão (em azul) e a corrente (em vermelho) do capacitor de saída (tensão na carga) para os dados de projeto apresentado na Tabela 2.

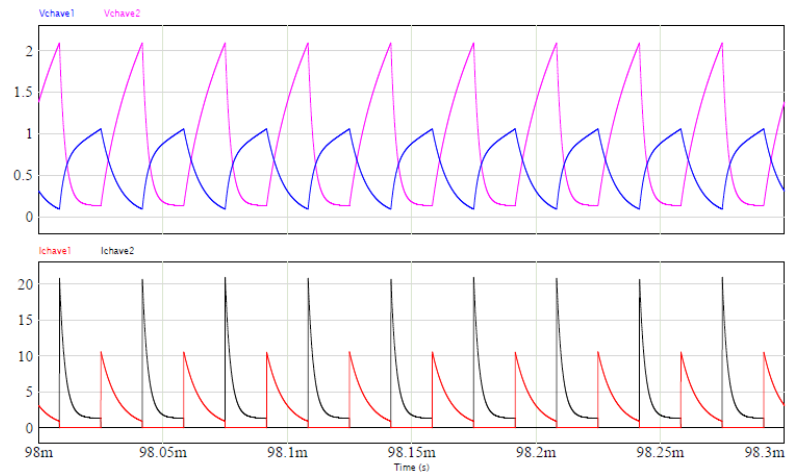
Figura 26 – Tensão (azul) e corrente (vermelho) do capacitor de saída para uma célula básica ideal



Fonte: Próprio autor

A Figura 27 apresenta a tensão da chave 1 (em azul), tensão da chave 2 (em rosa), corrente da chave 1 (em vermelho) e a corrente da chave 2 (em preto) para os dados de projeto apresentado na Tabela 2. Observa-se que os interruptores são complementares, ou seja, nunca estarão chaveando ao mesmo tempo. A tensão do interruptor 1 durante o bloqueio é de 2,11 V e no interruptor 2 é 1,67 V, a corrente eficaz do interruptor 1 é de 3,41 A e do interruptor 2 é de 4,13 A.

Figura 27 – Tensão e corrente nas chaves 1 e 2 para uma célula básica ideal



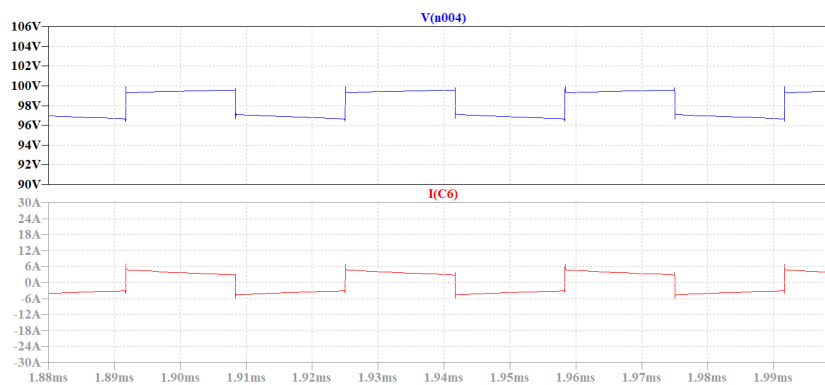
Fonte: Próprio autor

### 3.4.5 Simulação do circuito de potência com MOSFET IPW60R170CFD7

Nesta seção será apresentado o funcionamento da célula básica a capacitor chaveado considerando as RSE dos capacitores e o modelo do MOSFET IPW60R170CFD7, através do *software* LTspice®. Utilizou-se RSE do capacitor chaveado de  $331\text{ m}\Omega$ , RSE do capacitor de saída de  $774\text{ m}\Omega$  e a  $R_{dson}$  de  $170\text{ m}\Omega$ .

A Figura 28 apresenta a tensão (em azul) e a corrente (em vermelho) do capacitor flutuante para os dados de projeto apresentado na Tabela 2. Observa-se que o capacitor está carregando e descarregando em um período  $DT_s$  em que  $D = 0,5$  e  $T_s = \frac{1}{30\text{kHz}}$ . A tensão do capacitor chaveado é de  $98,42\text{ V}$ ,  $V_a = 97,06\text{ V}$ ,  $V_b = 99,44\text{ V}$  e a corrente eficaz do capacitor chaveado é de  $3,82\text{ A}$ .

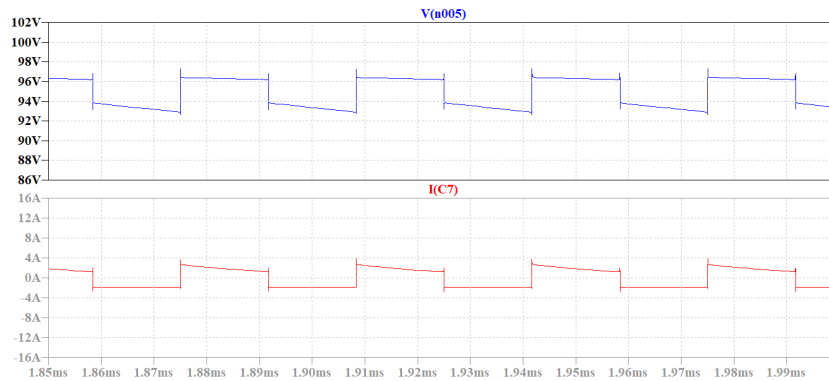
Figura 28 – Tensão e corrente do capacitor chaveado para uma célula básica não ideal utilizando o MOSFET IPW60R170CFD7



Fonte: Próprio autor

A Figura 29 apresenta a tensão (em azul) e a corrente (em vermelho) do capacitor de saída (tensão na carga) para os dados de projeto apresentado na Tabela 2.

Figura 29 – Tensão e corrente do capacitor de saída para uma célula básica não ideal utilizando o MOSFET IPW60R170CFD7

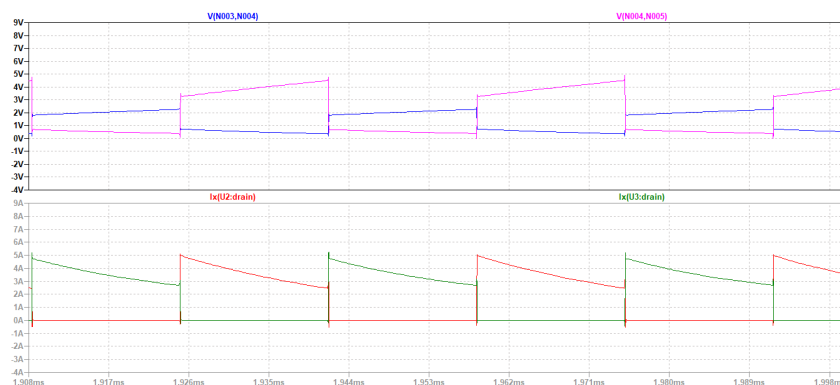


Fonte: Próprio autor

A partir da Figura 26 encontra-se que a tensão do capacitor de saída é de 94,84 V e a corrente eficaz do capacitor de saída é de 1,95 A. Ao comparar a Figura 25 com a Figura 28 e a Figura 26 com a Figura 29 fica evidente a diferença entre os resultados, isso deve-se ao fato de que quando a chave 2 está aberta, o capacitor de saída fornece corrente para a carga e essa corrente circula pela RSE do capacitor, o que causa a queda de tensão presente nas formas de onda da célula básica não ideal.

A Figura 30 apresenta a tensão da chave 1 (em rosa) comandada pelo PWM1, tensão da chave 2 (em azul) comandada pelo PWM2, corrente da chave 1 (em vermelho) e a corrente da chave 2 (em verde) para os dados de projeto apresentado na Tabela 2.

Figura 30 – Tensão e corrente nas chaves 1 e 2 para uma célula básica não ideal utilizando o MOSFET IPW60R170CFD7

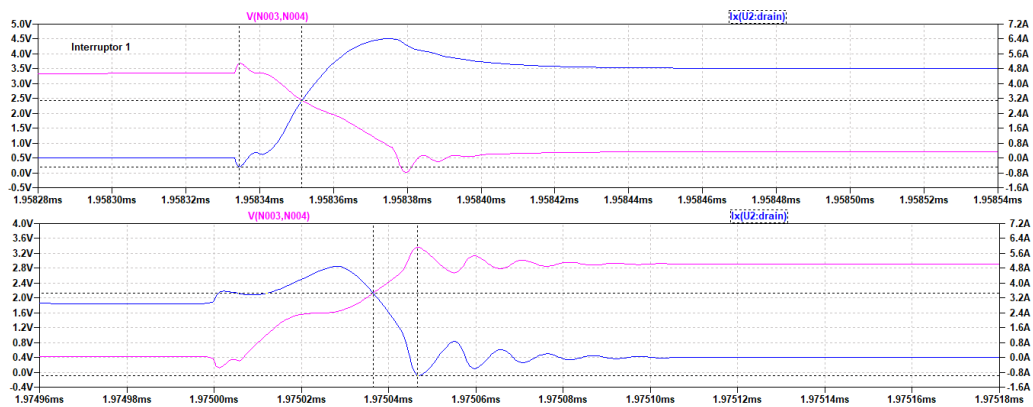


Fonte: Próprio autor.

A partir da Figura 30 encontra-se que a tensão do interruptor 1 é de 1,33 V, a tensão do interruptor 2 é de 2,35 V, a corrente eficaz do interruptor 1 é de 2,67 A e a corrente eficaz do interruptor 2 é de 2,44 A. No momento em que o interruptor 1 conduz, a tensão sobre ele aumenta e a corrente diminui, o mesmo ocorre com o interruptor 2. A corrente do capacitor chaveado circula pelo interruptor 1, de maneira análoga, a corrente do capacitor de saída circula pelo interruptor 2.

A Figura 31 apresenta o período da entrada em condução e bloqueio do interruptor 1, em rosa a tensão  $V_{DS}$  e em azul a corrente  $i_S$ .

Figura 31 –  $V_{DS}$  x  $i_S$  na entrada em condução e no bloqueio do interruptor 1 utilizando o MOSFET IPW60R170CFD7



Fonte: Próprio autor.

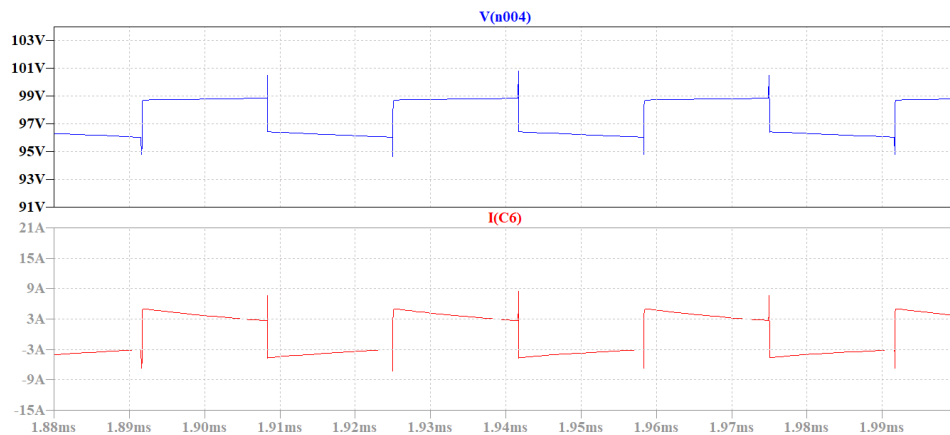
A partir da Figura 31 é possível observar que  $t_r = 18,34 \text{ ns}$  e  $t_f = 9,71 \text{ ns}$ . Realizou-se o mesmo procedimento para o interruptor 2, no qual obteve-se  $t_r = 15,12 \text{ ns}$  e  $t_f = 9,42 \text{ ns}$ .

### 3.4.6 Simulação do circuito de potência com IGBT IKA15N65H5

Nesta sessão será apresentado o funcionamento da célula básica a capacitor chaveado considerando as RSE dos capacitores e o modelo do IGBT IKA15N65H5, através do *software* LTspice®. A Figura 32 apresenta a tensão (em azul) e a corrente (em vermelho) do capacitor chaveado para os dados de projeto apresentado na Tabela 2. A partir dela é possível observar que o capacitor está carregando e descarregando em um período  $DT_s$ , os picos de tensão e corrente ocorrem pelos mesmos motivos apresentados anteriormente. A tensão no capacitor chaveado é de 97,55 V,  $V_a = 98,81 \text{ V}$ ,  $V_b = 96,38 \text{ V}$  e a corrente eficaz do capacitor chaveado é de 3,80 A.



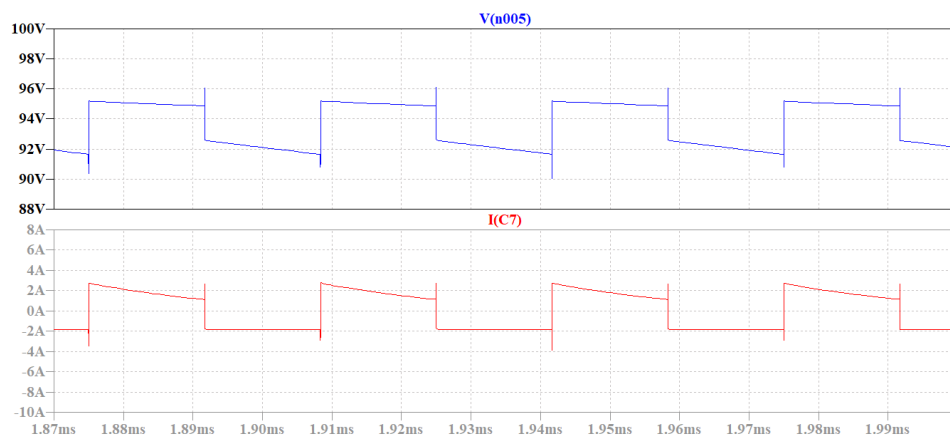
Figura 32 – Tensão e corrente do capacitor chaveado para uma célula básica não ideal utilizando o IGBT IKA15N65H5



Fonte: Próprio autor.

A Figura 33 apresenta a tensão (em azul) e a corrente (em vermelho) do capacitor de saída (tensão na carga) para os dados de projeto apresentado na Tabela 2.

Figura 33 – Tensão e corrente do capacitor de saída para uma célula básica não ideal utilizando o IGBT IKA15N65H5

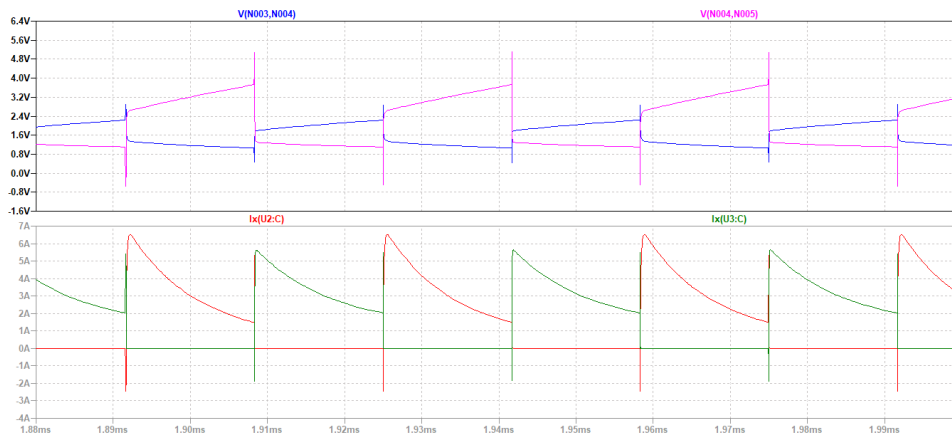


Fonte: Próprio autor.

A partir da Figura 33 observa-se que a tensão no capacitor de saída é de 93,62 V e a corrente eficaz do capacitor de saída é de 1,97 A.

A Figura 34 apresenta a tensão do interruptor 1 (em rosa), tensão do interruptor 2 (em azul), corrente do interruptor 1 (em vermelho) e a corrente do interruptor 2 (em verde) para os dados de projeto apresentado na Tabela 2.

Figura 34 – Tensão e corrente nos interruptores 1 e 2 para uma célula básica não ideal utilizando o IGBT IKA15N65H5

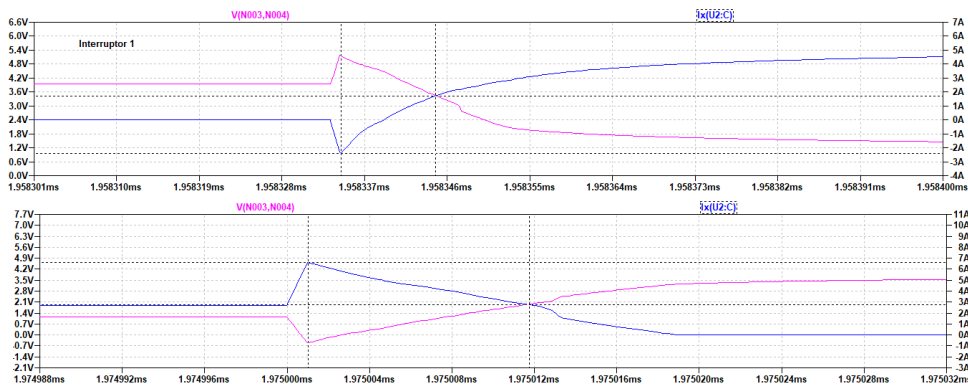


Fonte: Próprio autor.

A partir da Figura 34 observa-se que a tensão no interruptor 1 é de 1,77 V, a tensão no interruptor 2 é de 2,53 V, a corrente eficaz no interruptor 1 é de 2,47 A e a corrente eficaz no interruptor 2 é de 2,54 A.

A Figura 35 apresenta o período da entrada em condução e bloqueio do interruptor 1, em rosa a tensão  $V_{DS}$  e em azul a corrente  $i_s$ .

Figura 35 –  $V_{DS}$  x  $i_s$  na entrada em condução e no bloqueio do interruptor 1 utilizando o IGBT IKA15N65H5



Fonte: Próprio autor.

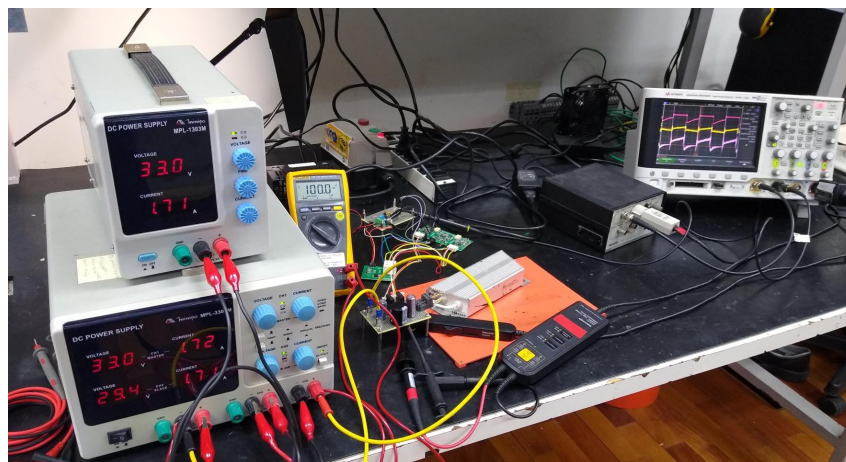
A partir da Figura 35 é possível observar que  $t_r = 8,44 \text{ ns}$  e  $t_f = 10,73 \text{ ns}$ . Realizou-se o mesmo procedimento para o interruptor 2, no qual obteve-se  $t_r = 10,44 \text{ ns}$  e  $t_f = 13,28 \text{ ns}$ .

## 4 RESULTADOS EXPERIMENTAIS

Neste capítulo são apresentados os experimentos realizados na célula básica do conversor CC-CC a capacitor chaveado, o objetivo é realizar a comparação entre a teoria, simulação e prática.

A Figura 36 apresenta a bancada experimental utilizada para testes do protótipo.

Figura 36 – Bancada experimental



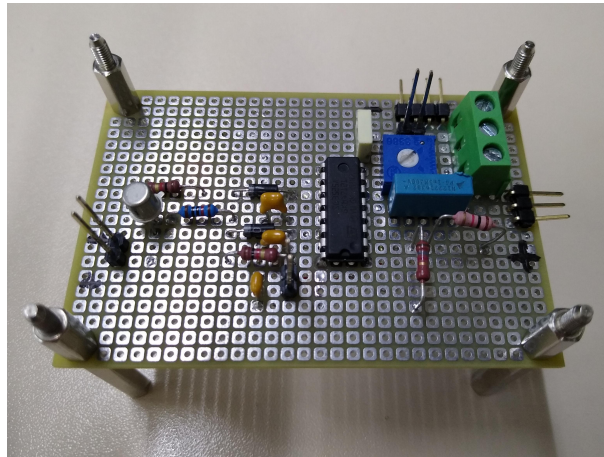
Fonte: Próprio autor.

Equipamentos utilizados:

- Fonte CC Minipa MPL-1303M;
- Fonte CC minipa MPL-3303M;
- Multímetro Fluke 175 True-RMS;
- Osciloscópio Keysight DSO2014A;
- Osciloscópio Keysight DSOX1204G;
- Ponteira diferencial de tensão Tektronix P5210A - Atenuação 100 V;
- Ponteira de corrente Tektronix TCP2020 - Atenuação 100 mV/A.

A Figura 37 apresenta a estrutura do circuito de comando utilizado para comandar as chaves (MOSFET e IGBT) da célula básica a capacitor chaveado.

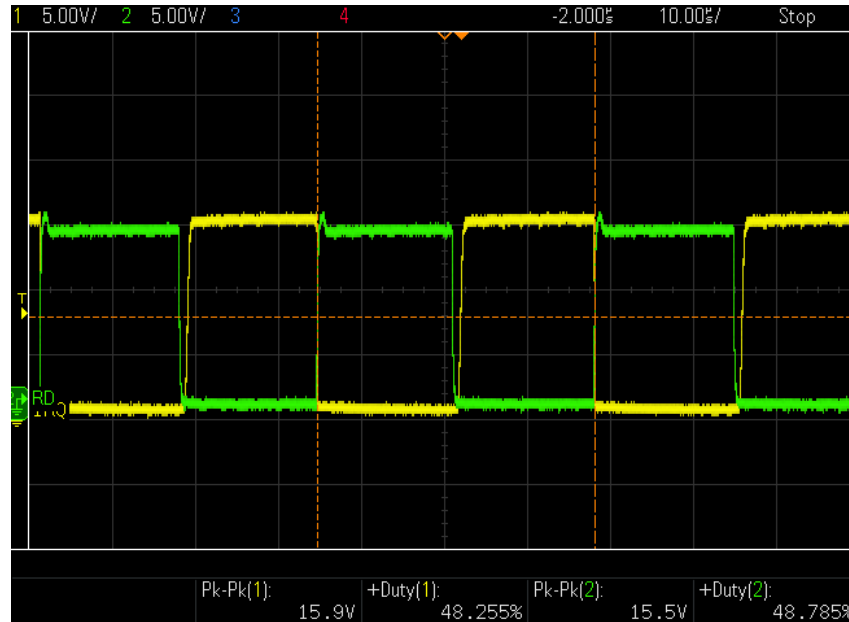
Figura 37 – Protótipo do circuito de comando



Fonte: Próprio autor.

A partir das formas de onda apresentadas na Figura 38 é possível observar que o sinal PWM1 varia de  $-0,3$  à  $15,5$  V com ciclo de trabalho de  $48,785\%$  e, o sinal PWM2 varia de  $0$  à  $15,9$  V com ciclo de trabalho de  $48,255\%$ , período de  $33,562 \mu s$  e tempo morto de  $1,20 \mu s$ .

Figura 38 – Tensão de saída do circuito de comando (PWM1 em verde e PWM2 em amarelo)



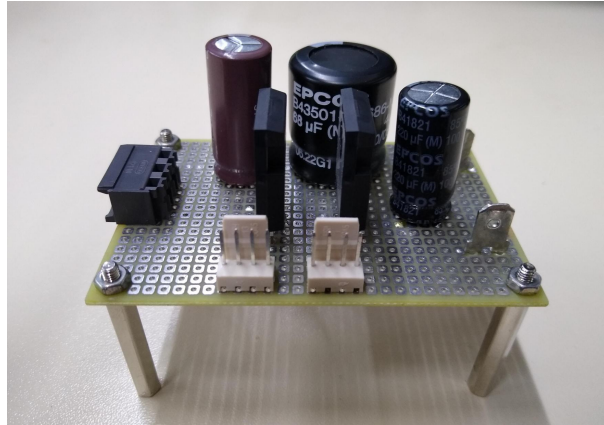
Fonte: Próprio autor.

#### 4.1 RESULTADOS EXPERIMENTAIS UTILIZANDO MOSFET

Os resultados experimentais apresentados foram obtidos com o conversor operando com  $100$  V de entrada,  $96$  V de saída, em frequência de chaveamento de  $29,9$  kHz, com ciclo de

trabalho de 48% e um resistor de carga de  $54 \Omega$ . A Figura 39 apresenta a estrutura do conversor utilizando MOSFET.

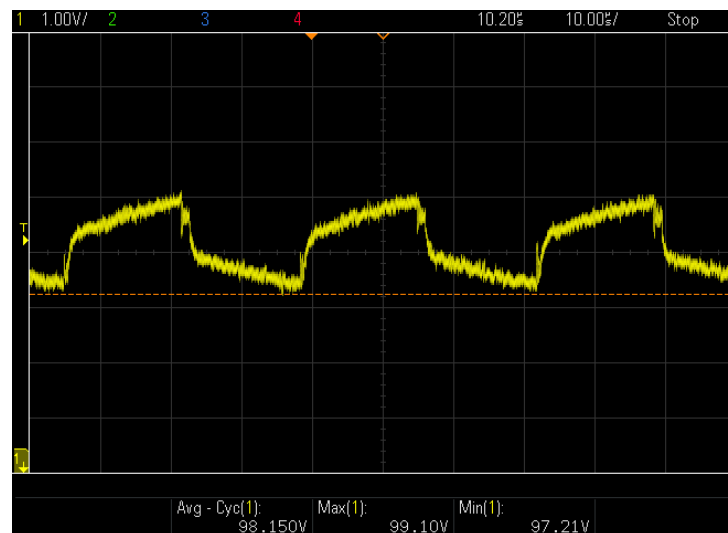
Figura 39 – Protótipo da célula básica com MOSFET IPW60R170CFD7



Fonte: Próprio autor

O primeiro resultado apresentado corresponde à tensão do capacitor chaveado, conforme Figura 40. É possível observar que a tensão do capacitor chaveado é de  $96,35 \text{ V}$ , sendo  $V_a = 95,11 \text{ V}$  e  $V_b = 97,20 \text{ V}$ , em que  $V_a$  é a tensão inicial e  $V_b$  tensão final do capacitor chaveado.  $V_a$  cresce exponencialmente até atingir o valor de  $V_b$ .

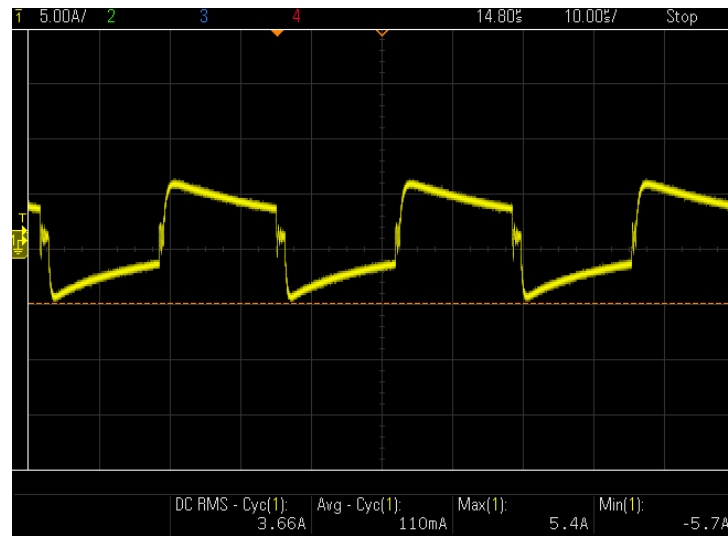
Figura 40 – Tensão do capacitor chaveado experimental utilizando o MOSFET IPW60R170CFD7



Fonte: Próprio autor

A forma de onda da corrente do capacitor chaveado está apresentada na Figura 41. É possível observar que o valor eficaz da corrente é  $3,66 \text{ A}$ .

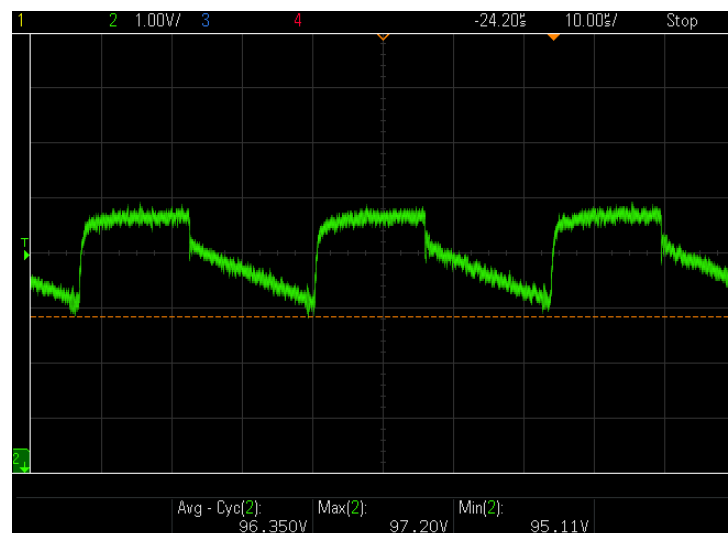
Figura 41 – Corrente do capacitor chaveado experimental utilizando o MOSFET IPW60R170CFD7



Fonte: Próprio autor

A forma de onda da tensão do capacitor de saída (tensão na carga) está apresentada na Figura 42. É possível observar que a tensão de saída do conversor é de 96,35 V, sendo a tensão inicial 95,11 V e a tensão final 97,20 V.

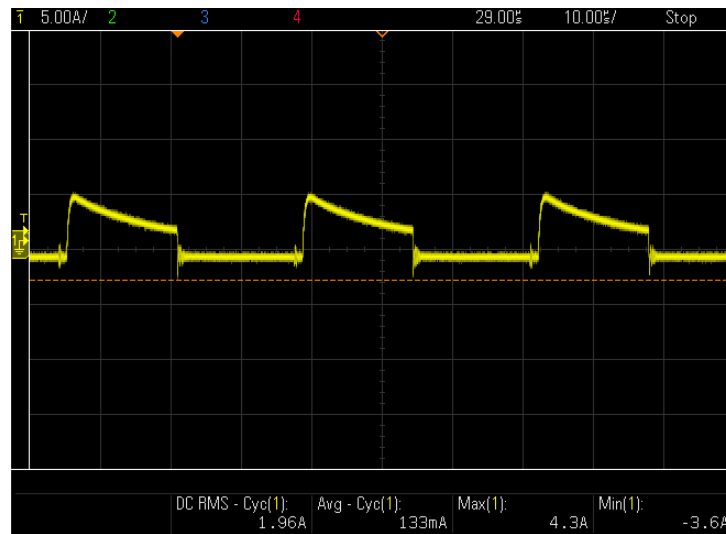
Figura 42 – Tensão do capacitor de saída experimental utilizando o MOSFET IPW60R170CFD7



Fonte: Próprio autor

A forma de onda da corrente do capacitor de saída está apresentada na Figura 43. É possível observar que o valor eficaz da corrente é 1,96 A.

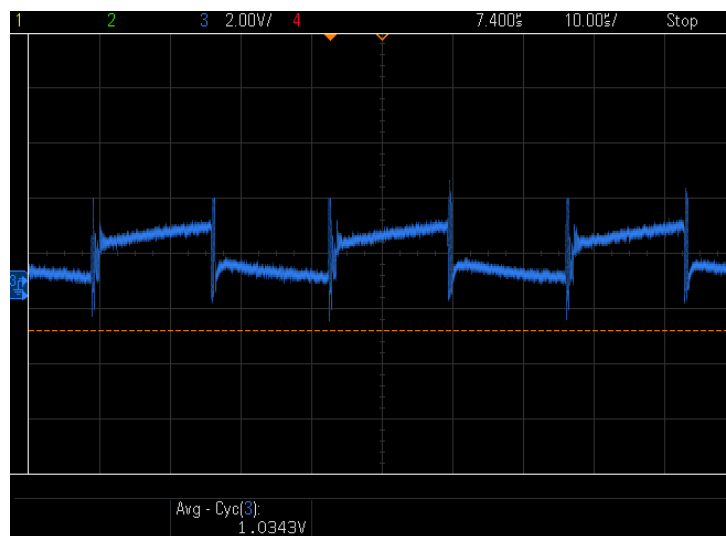
Figura 43 – Corrente do capacitor de saída experimental utilizando o MOSFET IPW60R170CFD7



Fonte: Próprio autor

A forma de onda da tensão no interruptor 1 está apresentada na Figura 44. É possível observar que a tensão é de 1,03 V.

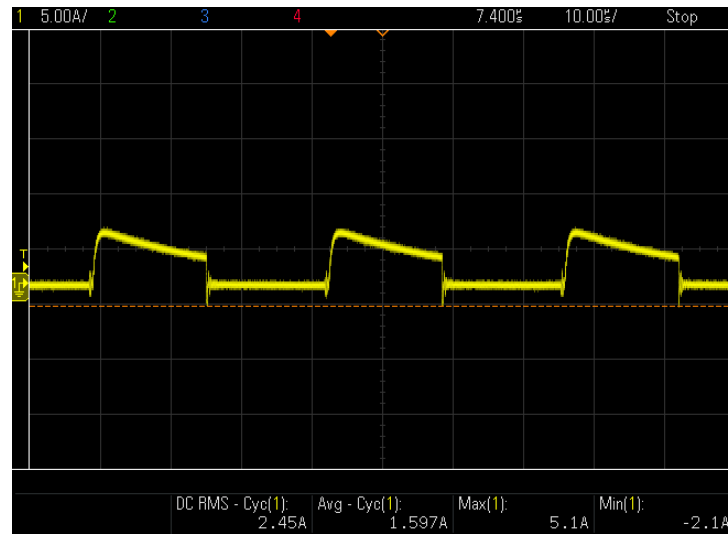
Figura 44 – Tensão no interruptor experimental utilizando o MOSFET IPW60R170CFD7



Fonte: Próprio autor

A forma de onda da corrente no interruptor 1 está apresentada na Figura 45. É possível observar que a corrente RMS é de 2,45 A.

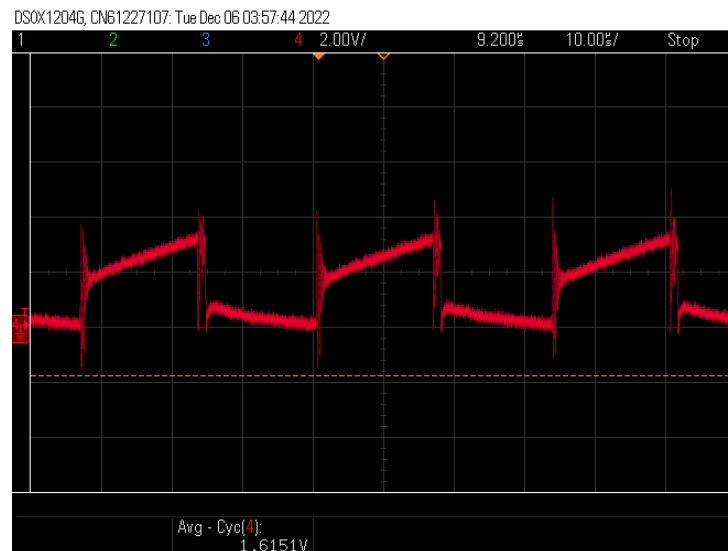
Figura 45 – Corrente no interruptor 1 experimental utilizando o MOSFET IPW60R170CFD7



Fonte: Próprio autor

A forma de onda da tensão no interruptor 2 está apresentada na Figura 46. É possível observar que a tensão é 1,61 V.

Figura 46 – Tensão no interruptor 2 experimental utilizando o MOSFET IPW60R170CFD7

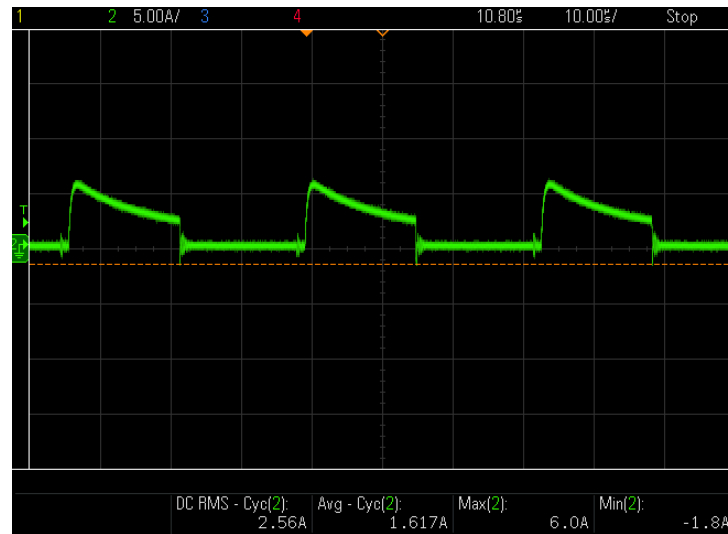


Fonte: Próprio autor

A forma de onda da corrente no interruptor 2 está apresentada na Figura 47. É possível observar que a corrente RMS é de 2,56 V.



Figura 47 – Corrente no interruptor 2 experimental utilizando o MOSFET IPW60R170CFD7



Fonte: Próprio autor

No experimento obteve-se  $t_r = 18,37 \text{ ns}$  e  $t_f = 9,81 \text{ ns}$  para o interruptor 1 e  $t_r = 16,13 \text{ ns}$  e  $t_f = 9,53 \text{ ns}$  para o interruptor 2.

A Tabela 7 apresenta a comparação entre os valores simulados e experimentais obtidos com o uso do MOSFET para comutação das chaves da célula básica a capacitor chaveado.

Tabela 6 – Comparação dos resultados simulados e experimentais com o uso do MOSFET IPW60R170CFD7

Medida	Simulado	Experimental	Erro
Tensão capacitor chaveado	98,42 V	96,35 V	2,10%
Tensão capacitor de saída	94,84 V	96,35 V	1,60%
Corrente RMS no capacitor chaveado	3,82 A	3,66 A	4,19%
Corrente RMS no capacitor de saída	1,95 A	1,96 A	0,51%
Corrente RMS no interruptor 1	2,67 A	2,45 A	8,24%
Corrente RMS no interruptor 2	2,44 A	2,56 A	4,92%

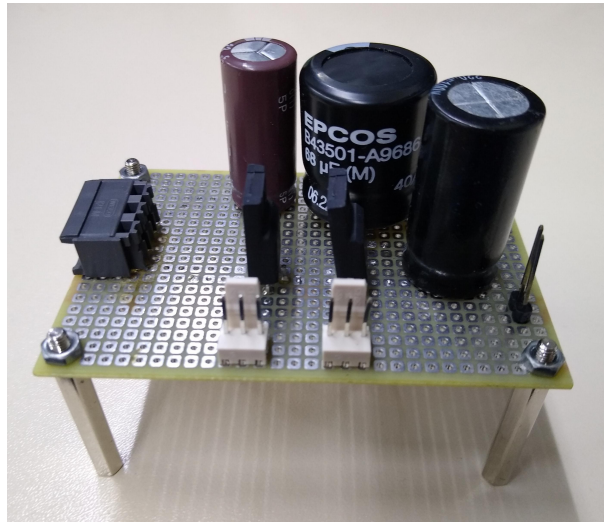
Fonte: Próprio autor

A partir da tabela apresentada conclui-se que os resultados estão dentro do esperado. O resultado simulado e experimental são semelhantes, devido ao fato de ter sido considerado a RSE do capacitor chaveado e a RSE do capacitor de saída na simulação, no entanto, os resultados teóricos e experimentais possuem uma pequena divergência devido ao fato de que a RSE do capacitor de saída não foi considerada, nos cálculos considerou-se apenas a RSE do capacitor chaveado.

## 4.2 RESULTADOS EXPERIMENTAIS UTILIZANDO IGBT

Os resultados experimentais apresentados foram obtidos com o conversor operando com 100 V de entrada, 98,5 V de saída e um resistor de carga de 54  $\Omega$ . A Figura 48 apresenta a estrutura do conversor utilizando IGBT.

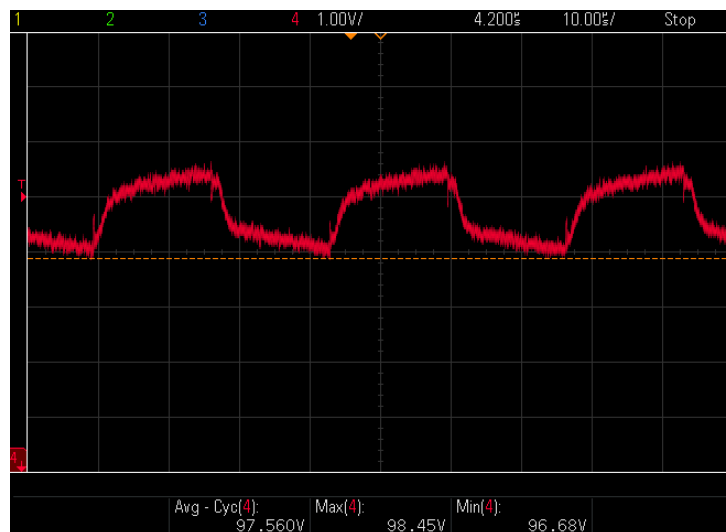
Figura 48 – Protótipo da célula básica com IGBT IKA15N65H5



Fonte: Próprio autor

A forma de onda do capacitor chaveado está apresentada na Figura 49. É possível observar que a tensão do capacitor chaveado é de 97,56 V, sendo  $V_a = 96,68$  V e  $V_b = 98,45$  V.

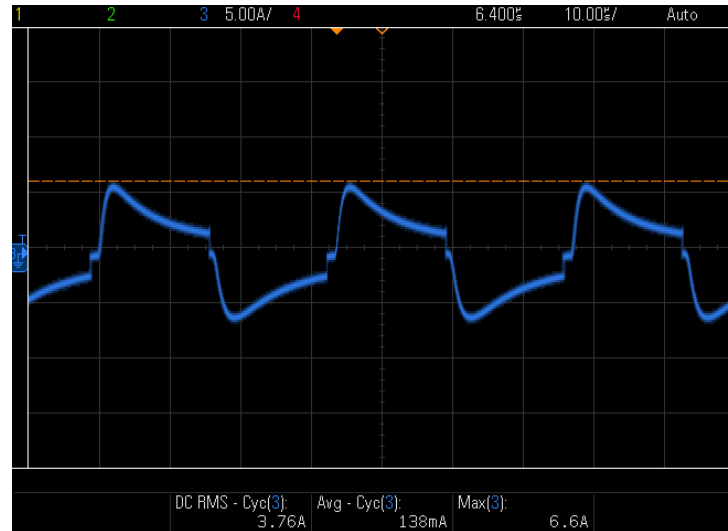
Figura 49 – Tensão do capacitor chaveado experimental utilizando o IGBT IKA15N65H5



Fonte: Próprio autor

A forma de onda da corrente do capacitor chaveado está apresentada na Figura 50. É possível observar que a corrente RMS é de 3,76 A.

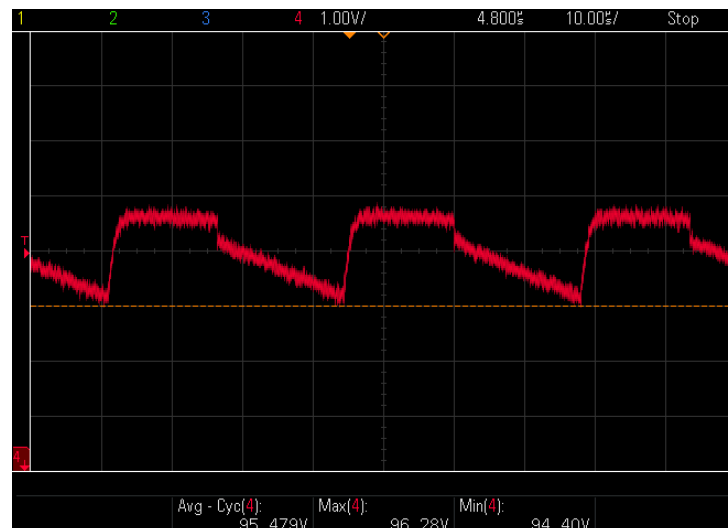
Figura 50 – Corrente do capacitor chaveado experimental utilizando o IGBT IKA15N65H5



Fonte: Próprio autor

A forma de onda da tensão do capacitor de saída está apresentada na Figura 51. É possível observar que a tensão de saída do conversor é de 95,48 V, sendo a tensão inicial 94,40 V e a tensão final 96,28 V.

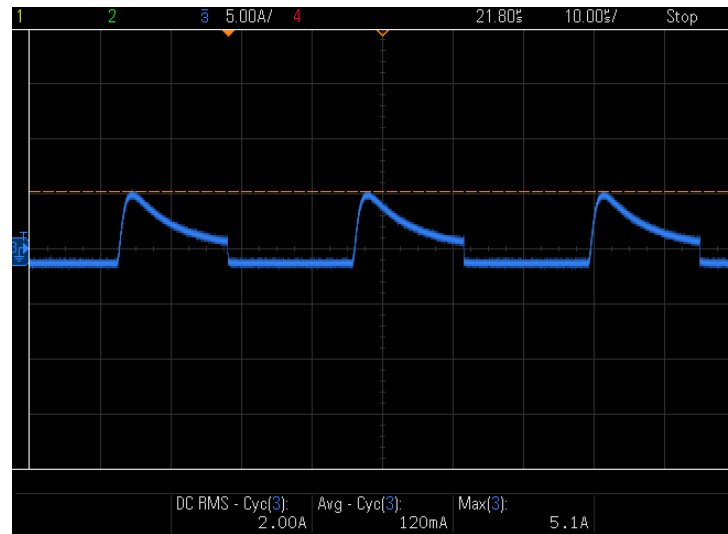
Figura 51 – Tensão do capacitor de saída experimental utilizando o IGBT IKA15N65H5



Fonte: Próprio autor

A forma de onda da corrente do capacitor de saída está apresentada na Figura 52. É possível observar que a corrente RMS é de 2,00 A.

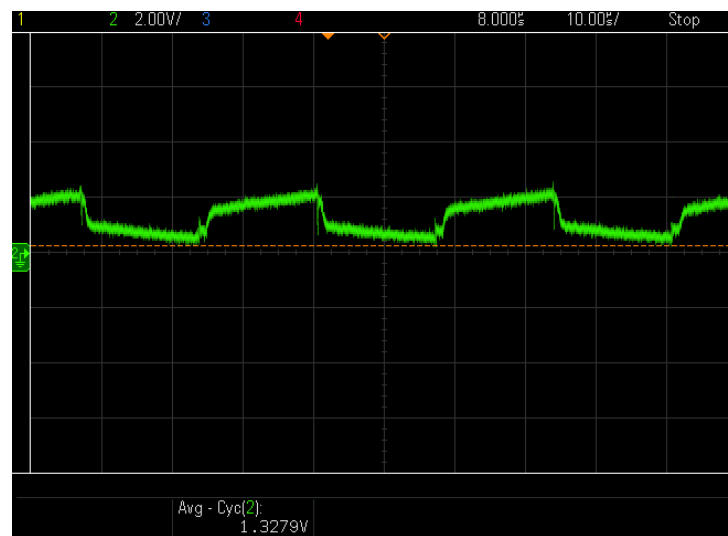
Figura 52 – Corrente do capacitor de saída experimental utilizando o IGBT IKA15N65H5



Fonte: Próprio autor

A forma de onda da tensão no interruptor 1 está apresentada na Figura 53. É possível observar que a tensão é 1,33 V.

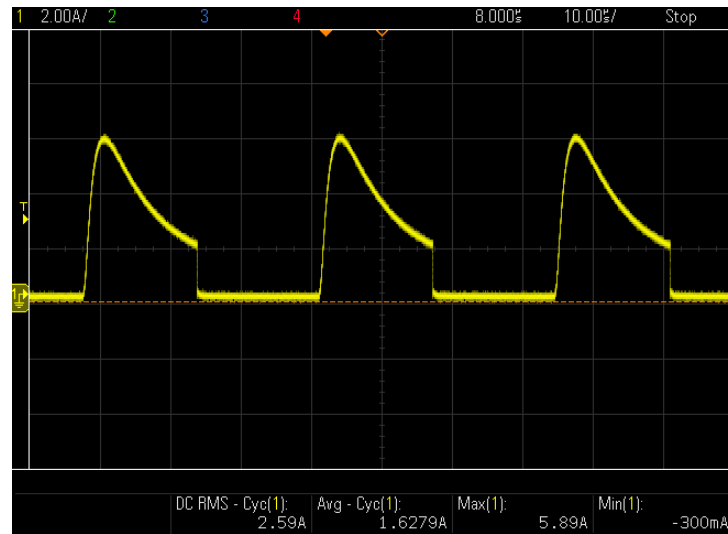
Figura 53 – Tensão no interruptor 1 experimental utilizando o IGBT IKA15N65H5



Fonte: Próprio autor

A forma de onda da corrente no interruptor 1 está apresentada na Figura 54. É possível observar que a corrente RMS é de 2,59 A.

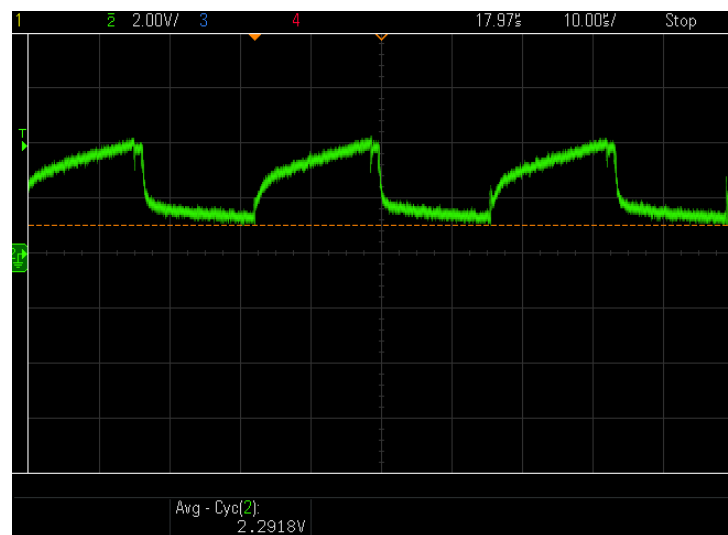
Figura 54 – Corrente no interruptor 1 experimental utilizando o IGBT IKA15N65H5



Fonte: Próprio autor

A forma de onda da tensão no interruptor 2 está apresentada na Figura 55. É possível observar que a tensão é 2,29 V.

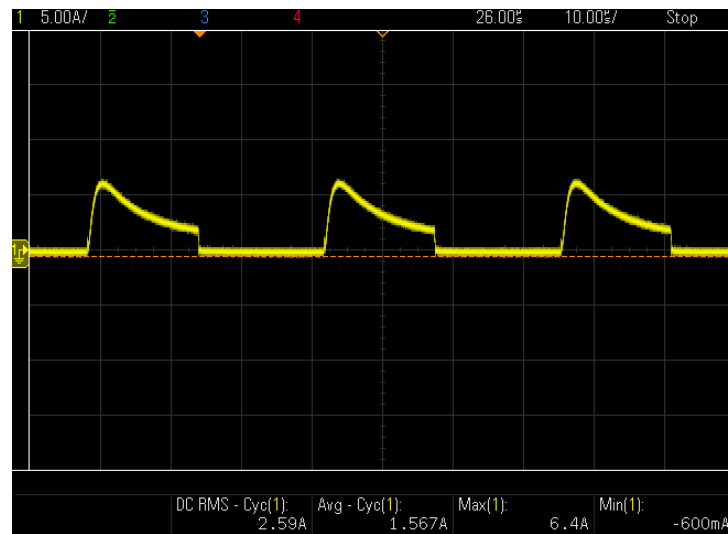
Figura 55 – Tensão no interruptor 2 experimental utilizando o IGBT IKA15N65H5



Fonte: Próprio autor

A forma de onda da corrente no interruptor 2 está apresentada na Figura 56. É possível observar que a corrente RMS é de 2,59 V.

Figura 56 – Corrente no interruptor 2 experimental utilizando o IGBT IKA15N65H5



Fonte: Próprio autor

No experimento obteve-se  $t_{on} = 26,03 \text{ ns}$  e  $t_{off} = 187,13 \text{ ns}$  para o interruptor 1 e  $t_{on} = 27,07 \text{ ns}$  e  $t_{off} = 154,80 \text{ ns}$  para o interruptor 2. O tempo no instante de bloqueio ( $t_{off}$ ) do MOSFET é muito menor quando comparado com o IGBT, isso ocorre devido ao fato de que o IGBT apresenta a corrente de cauda durante o bloqueio,

A Tabela 7 apresenta a comparação entre os valores simulados e experimentais obtidos com o uso do IGBT para comutação dos interruptores da célula básica a capacitor chaveado.

Tabela 7 – Comparação dos resultados simulados e experimentais com o uso do IGBT IKA15N65H5

Medida	Simulado	Experimental	Erro
Tensão capacitor chaveado	97,55 V	97,56 V	0,01%
Tensão capacitor de saída	93,62 V	95,48 V	1,99%
Corrente RMS no capacitor chaveado	3,80 A	3,76 A	1,05%
Corrente RMS no capacitor de saída	1,97 A	2,00 A	1,52%
Corrente RMS no interruptor 1	2,47 A	2,59 A	4,88%
Corrente RMS no interruptor 2	2,53 A	2,59 A	2,37%

Fonte: Próprio autor

De maneira análoga ao ocorrido no MOSFET, os resultados para o IGBT são coerentes e estão dentro do esperado. Novamente, ocorreu a divergência entre a teoria e a prática devido a RSE do capacitor de saída que não foi considerada nos cálculos de perdas.

### 4.3 COMPARAÇÃO DOS SEMICONDUTORES

As perdas de condução para o MOSFET experimental nos dois interruptores foram obtidas a partir do valor da corrente RMS do interruptor multiplicado pelo valor da  $R_{ds(on)}$ , no IGBT obteve-se a perda de condução através da multiplicação dos valores práticos da corrente média  $i_s$  e de  $V_{CE}$ . As perdas de comutação experimental foram obtidas a partir da função matemática do osciloscópio Keysight DSO2014A (no qual multiplicou  $i_s$  por  $V_{DS}$  para o MOSFET e  $i_s$  por  $V_{CE}$  para o IGBT), em seguida utilizou-se a função potência para realizar o cálculo das perdas de comutação para ambos interruptores. Com o objetivo de conferir o resultado obtido através do osciloscópio, retirou-se os dados em arquivo .csv e a partir dos dados utilizou-se o Excel para plotar o gráfico de tensão e corrente em função do tempo, posteriormente realizou-se os cálculo para obter a perda de comutação.

A Tabela 8 apresenta a comparação entre os valores teóricos, simulados e experimentais para as perdas de condução e de comutação do MOSFET utilizado como interruptor para o funcionamento do conversor proposto neste trabalho referente a  $S_1$ .

Tabela 8 – Comparação teórica, simulada e experimental das perdas do MOSFET IPW60R170CFD7 (interruptor 1)

Perdas	Teórico	Simulado	Experimental	Erro (Teórico x Experimental)
Condução	1,19 W	1,25 W	1,27 W	6,72%
Comutação	358,70 mW	361,6 mW	391,74 mW	8,43%
Totais	1,54 W	1,61 W	1,66 W	7,79%

Fonte: Próprio autor

De maneira análoga, a Tabela 9 apresenta as perdas de condução e comutação do MOSFET referente ao interruptor 2.

Tabela 9 – Comparação teórica, simulada e experimental das perdas do MOSFET IPW60R170CFD7 (interruptor 2)

Perdas	Teórico	Simulado	Experimental	Erro (Teórico x Experimental)
Condução	1,23 W	1,24 W	1,25 W	1,62%
Comutação	324,12 W	335,68 W	339,07 W	4,61%
Totais	1,55 W	1,58 W	1,59 W	2,58%

Fonte: Próprio autor

A Tabela 10 apresenta a comparação entre os valores teóricos, simulados e experimentais para as perdas de condução e de comutação do IGBT.

Tabela 10 – Comparação teórica, simulada e experimental das perdas do IGBT IKA15N65H5 (interruptor 1)

Perdas	Teórico	Simulado	Experimental	Erro (Teórico x Experimental)
Condução	7,45 W	8,21 W	8,30 W	11,4%
Comutação	568,15 mW	598,02 mW	617,79 mW	8,73%
Totais	8,02 W	8,81 mW	8,92 W	11,22%

Fonte: Próprio autor

De maneira análoga, a Tabela 11 apresenta as perdas de condução e comutação do IGBT referente ao interruptor 2.

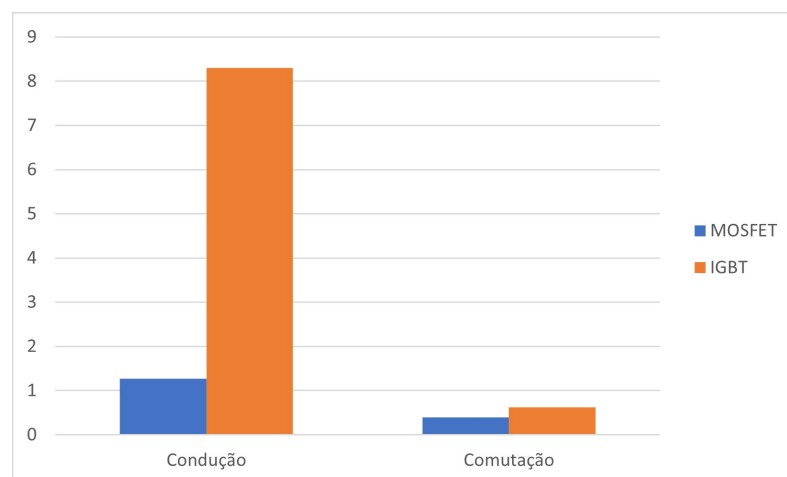
Tabela 11 – Comparação teórica, simulada e experimental das perdas do IGBT IKA15N65H5 (interruptor 2)

Perdas	Teórico	Simulado	Experimental	Erro (Teórico x Experimental)
Condução	10,82 W	11,45 W	11,67 W	7,86%
Comutação	578,44 mW	613,41 mW	629,44 mW	8,82%
Totais	11,39 W	12,06 W	12,30 W	7,99%

Fonte: Próprio autor

Com o objetivo de facilitar a comparação entre as perdas, A Figura 57 apresenta um gráfico de barras no qual apresenta as perdas de condução e comutação experimental referente ao interruptor 1.

Figura 57 – Perdas experimentais do interruptor 1



Fonte: Próprio autor

Ao comparar os semicondutores utilizados na célula básica proposta neste trabalho, observa-se que o MOSFET utilizado apresenta menores perdas de condução e comutação em relação ao IGBT. Comparando os valores teóricos e experimentais, verifica-se que o erro percentual encontrado está em torno de 11,5%, esse erro ocorre devido ao fato de não ter sido considerado



todas as não idealidades nos cálculos teóricos. O interruptor 1 do MOSFET apresentou 1,55  $W$  de perdas totais e o interruptor 2 apresentou 1,23  $W$ . Já o interruptor 1 do IGBT apontou 8,02  $W$  de perdas totais e o interruptor 2 apontou 10,82  $W$ . Portanto, no projeto proposto é mais interessante utilizar o MOSFET, por possuir menores perdas.

## 5 CONSIDERAÇÕES FINAIS

Neste trabalho realizou-se o estudo e desenvolvimento da célula básica de um conversor CC-CC a capacitor chaveado com o uso do MOSFET e do IGBT na frequência de comutação 30 kHz, através de cálculos, simulações e construção de uma placa para o circuito de comando e outras duas para o circuito de potência. Além disso, realizou-se o comparativo entre os semicondutores com o objetivo de verificar as perdas por condução e comutação. A partir das análises obtidas neste trabalho observou-se qual dos semicondutores estudados apresentou menores perdas para uso em capacitor chaveado para baixas frequências, ao comparar os resultados conclui-se que o MOSFET possui um maior rendimento em relação ao IGBT.

Os principais objetivos deste trabalho foram alcançados, realizou-se a implementação do circuito de potência e de comando, o estudo das perdas dos semicondutores MOSFET e IGBT e a construção do protótipo a partir dos dados de projeto proposto.

Observou-se em simulação que os resultados experimentais ficariam mais próximos das curvas apresentadas na Subseção 3.4.4 ao colocar um capacitor filme ou cerâmico de baixa capacitância (em torno de  $0,1 \mu F$ ) em paralelo com o capacitor de saída, este fato faz com que a corrente que circularia pela RSE circule pelo capacitor colocado em paralelo, reduzindo a RSE do capacitor de saída, no entanto, não realizou-se nenhum teste na prática com capacitor filme ou cerâmico em paralelo para validar a simulação.

Sugere-se para estudos futuros a implementação desta célula básica com uso de outros semicondutores, como por exemplo, o GaN (nitreto de gálio) no qual será preciso outro circuito de controle e *driver*, pois é necessário um circuito de comando imune a ruídos. Sugere-se também realizar um estudo com a célula proposta através do MOSFET e IGBT com uma maior frequência de comutação, uma maior tensão de entrada e variação do *duty cycle*, com o objetivo de verificar a eficiência do conversor e das chaves nas quais serão estudadas. Por fim, sugere-se a implementação da célula básica a capacitor chaveado com capacitor filme ou cerâmico para realizar a comparação entre a teoria, simulação e prática.

## REFERÊNCIAS BIBLIOGRÁFICAS

- BARBI, I. **Conversores a capacitor chaveado**. Florianópolis: Edição do autor, 2019.
- BATSCHAUER, A. **Inversor multiníveis híbrido trifásico baseado em módulos meia-ponte**. Tese (Doutorado) — Universidade Federal de Santa Catarina, Florianópolis, 2011.
- BRIDI, E. **Metodologia de otimização de conversores estáticos com paralelismo de células Boost aplicado à célula a combustível**. Dissertação (Mestrado) — Universidade Federal de Santa Maria, Santa Maria, 2019.
- BRUNEL, G. **Estudo de conversores a capacitores chaveados**. Dissertação (Mestrado) — Universidade Federal de Santa Catarina, Florianópolis, 2013.
- DAMASCENO, D. **Metodologia de projeto de conversores Boost para correção de fator de potência aplicada a sistemas ininterruptos de energia**. Dissertação (Mestrado) — Universidade Federal de Santa Maria, Santa Maria, 2006.
- DROFENIK, U.; KOLAR, J. **A General Scheme for Calculating Switching- and Conduction-Losses of Power Semiconductors in Numerical Circuit Simulations of Power Electronic Systems**. IPEC, 2005.
- FISCH, L. **Transistor MOSFET de potência**. 2018. <<https://eletronicadepotencia.com/transistor-mosfet-de-potencia>>. Acesso em: 21/11/2021.
- INFINEON. **IGBT IKA15N65H5**. 2015. <[https://www.infineon.com/dgdl/Infineon-IKA15N65H5-DS-v02\\_01-EN.pdf?fileId=db3a30433af5291e013af9937b565d76](https://www.infineon.com/dgdl/Infineon-IKA15N65H5-DS-v02_01-EN.pdf?fileId=db3a30433af5291e013af9937b565d76)>. Acesso em: 07/10/2021.
- INFINEON. **MOSFET IPW60R170CFD7**. 2017. <[https://www.infineon.com/dgdl/Infineon-IPW60R170CFD7-DS-v02\\_01-EN.pdf?fileId=5546d4625e763904015ea46190b731e6](https://www.infineon.com/dgdl/Infineon-IPW60R170CFD7-DS-v02_01-EN.pdf?fileId=5546d4625e763904015ea46190b731e6)>. Acesso em: 07/10/2021.
- KARDEK, A.; RODRIGUES, C. **Eletrônica de potência e acionamentos elétricos**. Ouro Preto, 2015.
- LERSCH, T. **Estudo e análise comparativa em chaves semicondutoras em acionamentos de motores elétricos**. Monografia (Engenharia Elétrica) — Universidade Federal de Santa Maria, Santa Maria, 2022.
- MELLO, H.; INTRATOR, E. **Dispositivos semicondutores**. 4. ed. Rio de Janeiro: Livros técnicos e científicos, 1980.
- MORITZ, R. **Estudo de perdas por comutação, condução e cálculo térmico de um inversor trifásico de dois níveis**. Joinville: Universidade do Estado de Santa Catarina, 2014.
- MOTOROLA. **SG3525**. 1996. <<https://www.alldatasheet.com/datasheet-pdf/pdf/5632/MOTOROLA/SG3525.html>>.
- PERRET, R. **Power electronics semiconductor devices**. Londres: Wiley, 2009.

SARTORI, H. **Uma nova metodologia de projeto para otimização do volume do conversor Boost PFC**. Dissertação (Mestrado) — Universidade Federal de Santa Maria, Santa Maria, 2009.

SILVA, R. **Fonte auxiliar alimentada em média tensão baseada na integração do conversor forward com células de capacitor chaveado**. Dissertação (Mestrado) — Universidade Federal de Santa Catarina, Florianópolis, 2018.

SOARES, M. **Conversor CC-CC isolado em média frequência baseado em inversor NPC e retificador multipulsos**. Dissertação (Mestrado) — Universidade do Estado de Santa Catarina, Joinville, 2017.

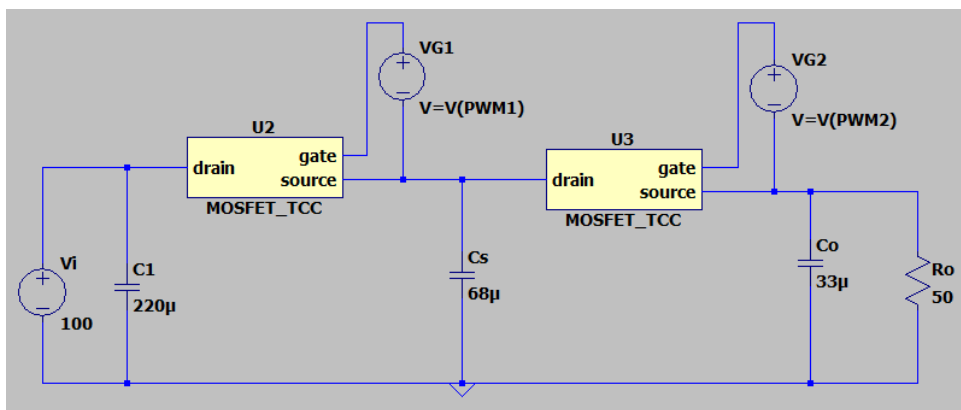
SUPPLIER. **Driver duplo isolado DRO100D25A**. 2012. <[http://www.supplier.ind.br/produtos\\_img/dro100d25a\\_11012016112230.pdf](http://www.supplier.ind.br/produtos_img/dro100d25a_11012016112230.pdf)>. Acesso em: 23/10/2021.

TEODOSIO, C.; MOURA, G.; GARNIER, G.; SZENDRODI, R. **O IGBT (Insulated Gate Bipolar Transistor)**. 2021. <[https://www.gta.ufrj.br/grad/01\\_1/igtb/Pagina\\_IGBT.htm](https://www.gta.ufrj.br/grad/01_1/igtb/Pagina_IGBT.htm)>. Acesso em: 17/11/2021.

## APÊNDICE A - ESQUEMÁTICO DAS SIMULAÇÕES

O esquemático do circuito de potência com MOSFET do projeto proposto no trabalho é apresentado na Figura 58.

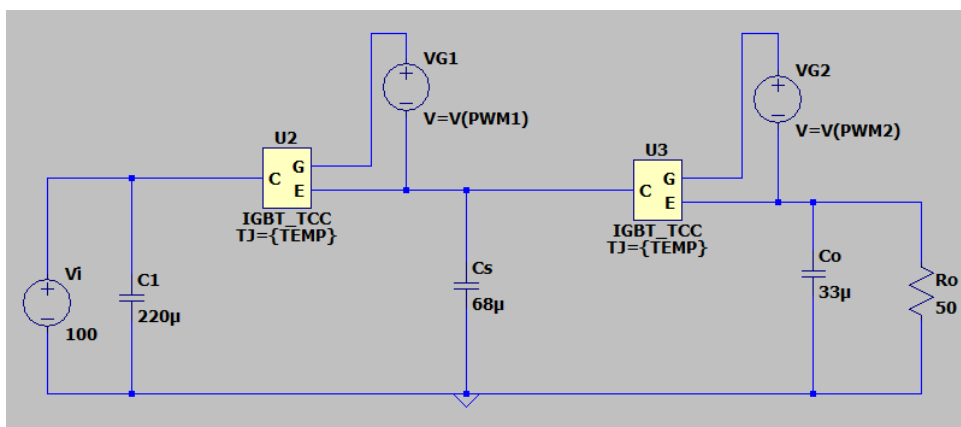
Figura 58 – Circuito de potência simulado com MOSFET



Fonte: Próprio autor.

O esquemático do circuito de potência com IGBT do projeto proposto no trabalho é apresentado na Figura 60.

Figura 59 – Circuito de potência simulado com IGBT

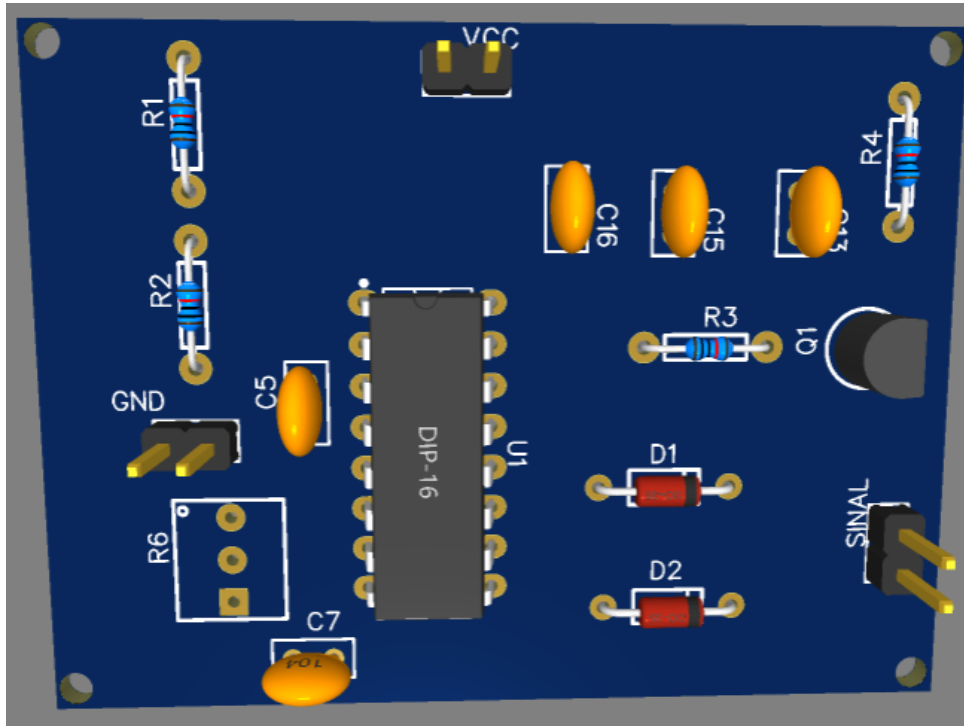


Fonte: Próprio autor.

## APÊNDICE B - LAYOUT DO CIRCUITO DE COMANDO

O *layout* do circuito de comando desenvolvido no trabalho é apresentado na Figura 60.

Figura 60 – Layout do circuito de comando

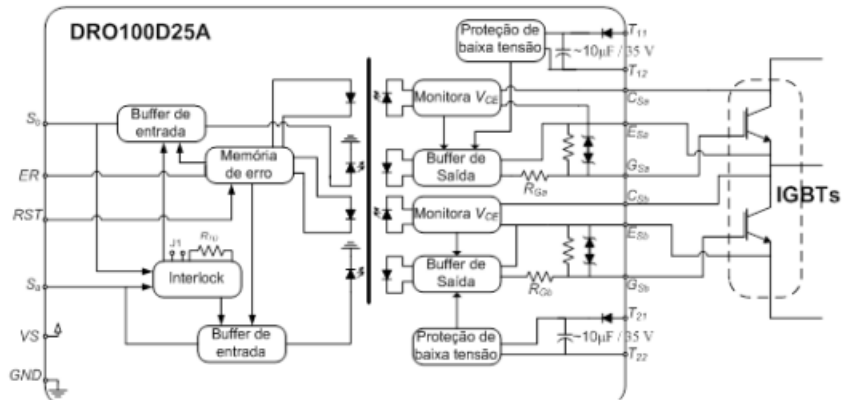


Fonte: Próprio autor.

## ANEXO A – Driver duplo isolado Supplier

Os dados a seguir são as características obtidas do *datasheet* (SUPPLIER, 2012). O circuito de funcionamento do driver DRO100D25A está apresentado na Figura 61.

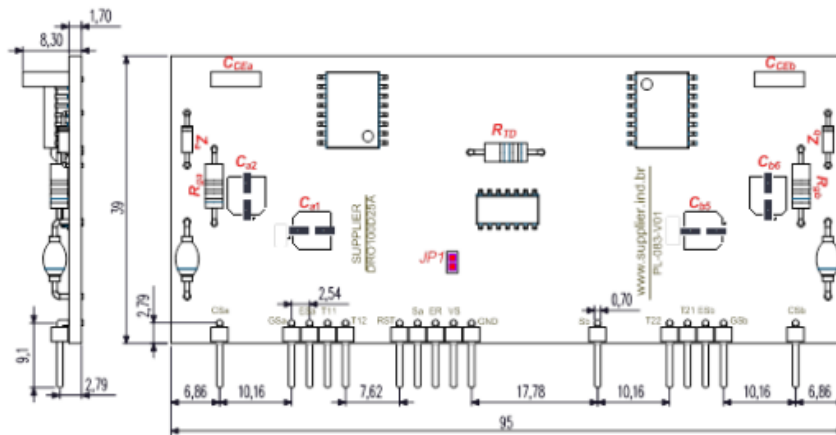
Figura 61 – Circuito de funcionamento DRO100D25A



Fonte: (SUPPLIER, 2012)

O esquemático do driver DRO100D25A está apresentado na Figura 62.

Figura 62 – Esquemático DRO100D25A

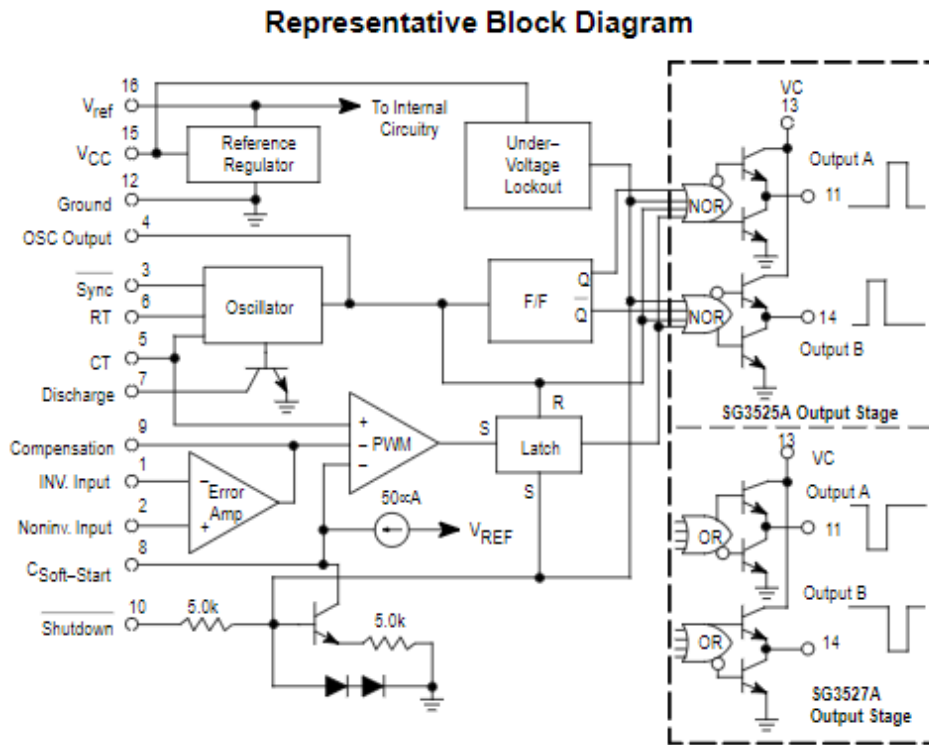


Fonte: (SUPPLIER, 2012)

## ANEXO B – SG3525

Os dados a seguir são as características obtidas do *datasheet* (MOTOROLA, 1996). O diagrama de blocos do SG3525 é demonstrado na Figura 63.

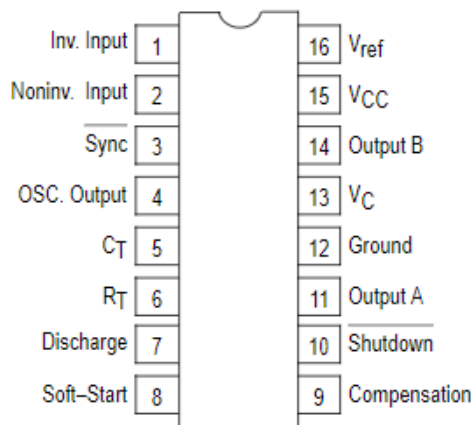
Figura 63 – Diagrama de blocos SG3525



Fonte: (MOTOROLA, 1996)

Os pinos do SG3525 são indicados na Figura 64.

Figura 64 – Pinos do SG3525



Fonte: (MOTOROLA, 1996)



O CI SG3525A possui como principais características:

- Operação: 8 V a 35 V;
- Tensão de referência: 5,1 V (ajustada para 1%);
- Faixa de oscilação: 100 Hz a 500 kHz;
- Controle de tempo morto ajustável;
- Partida suave interna;
- Saída dupla;
- Terminal de sincronização do oscilador separado.